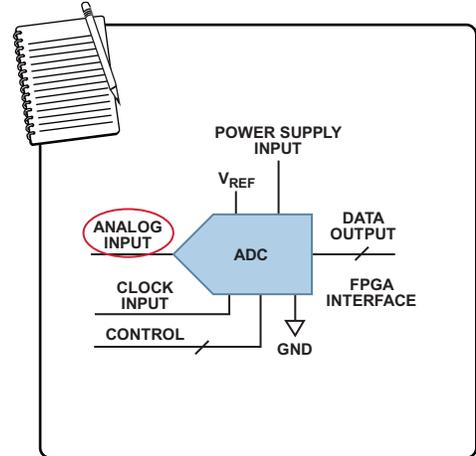


高速ADC模拟输入接口考虑

ADI公司应用工程部

引言

采用高速模数转换器(ADC)的系统设计非常困难, 本笔记简要介绍基本设计考虑。



The Applications Engineering Notebook Educational Series

目录

基本输入接口考虑	2
输入阻抗	2
输入驱动	2
带宽和通带平坦度	2
噪声	2
失真	3
输入架构类型	4
缓冲和无缓冲架构的特征	4
无缓冲ADC	4
缓冲ADC	6
变压器耦合前端	8
变压器建模	8
变压器基础	8

了解变压器性能	9
幅度与相位不平衡	9
有源耦合前端网络	11
差分信号示例	11
频域和时域性能示例	12
抗混叠滤波器考虑	13
注意事项	14
数据转换器的有用公式	15
有效位数(ENOB)	15
信纳比(SINAD)	15
总谐波失真(THD)	15
理论信噪比(SNR)	15
定义/术语	15

修订历史

2012年4月—修订版0至修订版A

修改图26

2012年2月—修订版0: 初始版

基本输入接口考虑

采用高输入频率、高速模数转换器(ADC)的系统设计是一项具挑战性的任务。ADC输入接口设计有6个主要条件：输入阻抗、输入驱动、带宽、通带平坦度、噪声和失真。

输入阻抗

输入阻抗是设计的特征阻抗。ADC的内部输入阻抗取决于ADC架构的类型，ADC供应商会在数据手册或产品页面上提供这一数据。电压驻波比(VSWR)与输入阻抗密切相关，衡量目标带宽内反射到负载中的功率量。该参数设置实现ADC满量程输入所需的输入驱动电平，因此很重要。当源阻抗与负载阻抗相等时，发生最大功率传输。

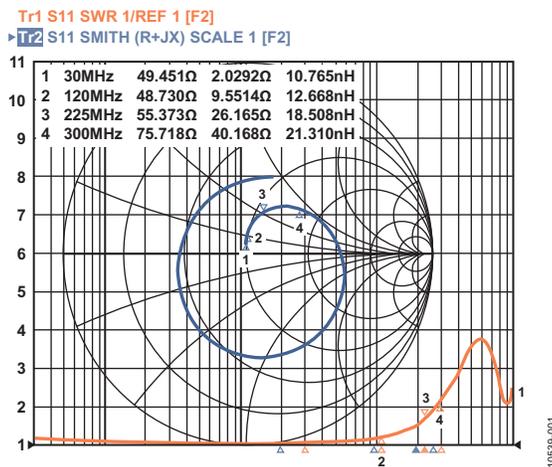


图1. 网络分析仪上的输入Z/VSWR

图1所示的例子为利用网络分析仪测得的一个前端网络的输入阻抗和VSWR曲线。输入阻抗是设计的特征阻抗。大多数情况下，它是50Ω，但特定设计可能需要不同的阻抗。

VSWR是一个无量纲参数，反映的是在目标带宽内，有多少功率被反射到负载中。该参数设置实现ADC满量程输入所需的输入驱动电平，因此很重要。注意，频率越高，则将ADC输入驱动至满量程所需的驱动功率或增益越大。

输入驱动

输入驱动与带宽特性相关，可设置特定应用所需的系统增益。输入驱动电平应在前端设计开始之前确定，取决于所选的前端器件，如滤波器、变压器和放大器等。

带宽和通带平坦度

带宽是系统要使用的频率范围。通带平坦度是指定带宽内的波动量；引起波动的原因可能是纹波效应，或者是巴特沃兹滤波器的慢速滚降特性。通带平坦度通常小于1 dB，对于设置整体系统增益至关重要。

噪声

信噪比(SNR)和失真要求对ADC的选择有帮助，因而一般在设计早期确定。转换器看到的噪声量与其自己的噪声量之比即为SNR。SNR与带宽、信号质量(抖动)和增益相关。提高增益也会提高与之相关的噪声成分。

失真

失真由无杂散动态范围(SFDR)来衡量，SFDR指rms满量程与峰值杂散频谱成分的rms值之比。SFDR主要受两个因素的控制。第一个因素是前端平衡质量的线性度，它主要与二次谐波失真有关。第二个因素是所需的增益和输入匹配。较高的增益要求会提高匹配难度。此外，高增益要求会压缩ADC内部器件的裕量，从而提高非线性度，而且由于有更多功率经过外部无源器件，它们的非线性度也会提高。这种效应一般被视为三次谐波。

图2显示了一个理想12位ADC的4096点FFT的输出以及一些基本运算。理论SNR为74 dB。噪声分布在奈奎斯特带宽。FFT会增加处理增益，因为它处理的是小“仓”，小仓的宽度等于采样频率除以FFT点数。对于4096点FFT，处理增益为33 dB。这就像使模拟频谱分析仪的带宽变窄一样。

实际FFT噪底等于SNR加上处理增益，如图2所示。上述条件下的FFT噪底等于 $74 + 33 = 107$ dBFS。在某些系统中，会对多个独立FFT的结果求平均值，这不会降低FFT噪底，只是减小噪声成分的幅度变化。

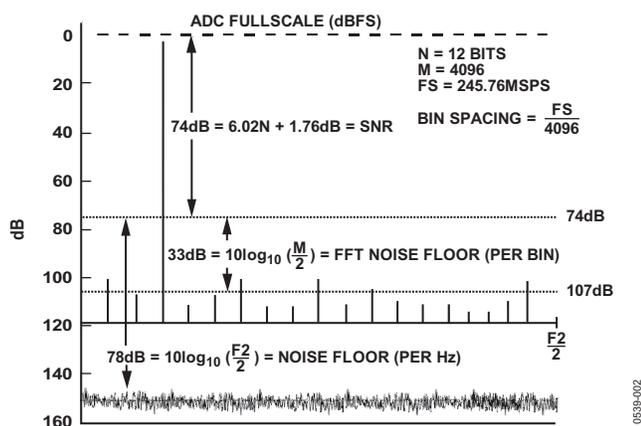


图2. 理想12位ADC的噪底，使用4096点FFT

输入架构类型

有两类ADC架构可供选择：缓冲型和无缓冲型。

缓冲和无缓冲架构的特征

缓冲架构的基本特征如下：

- 高线性度缓冲器，但需要更高的功率
- 更易设计输入网络与高阻抗缓冲器接口，因为它提供固定的输入端接电阻
- 缓冲器提供采样电容与输入网络之间的隔离，电荷注入瞬变更小

无缓冲架构的基本特征如下：

- 输入阻抗由开关电容设计设置
- 功耗较低
- 输入阻抗随时间变化(采样时钟 - 采样保持器)
- 来自采样电容的电荷注入反射回输入网络

无缓冲ADC

开关电容ADC(见图3)就是一类无缓冲ADC。无缓冲ADC的功耗通常远低于缓冲ADC，因为前者的外部前端设计直接连到ADC的内部采样保持(SHA)网络。

这种方法有两个缺点。第一是输入阻抗随着时间和模式而变化。第二是电荷注入会反射回ADC的模拟输入端，可能导致滤波器建立问题。

当模拟输入频率改变，以及SHA从采样模式变为保持模式时，无缓冲ADC的输入阻抗也会变化。必须使输入与ADC采样模式匹配，如图4所示。

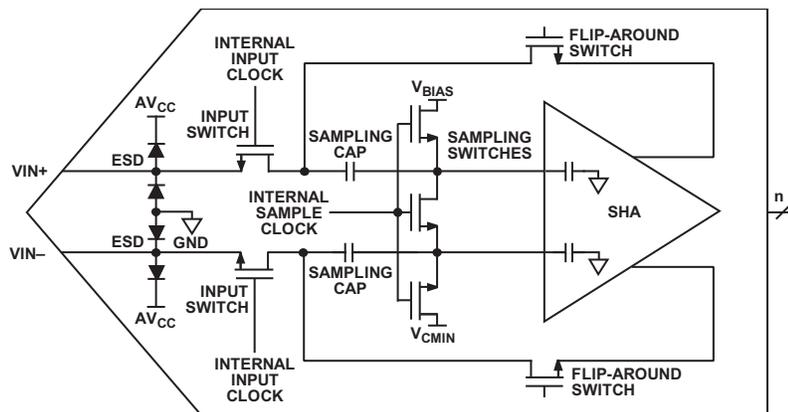


图3. 开关电容ADC

10539-403

缓冲ADC

缓冲输入ADC(见图9)更易于使用,因为输入阻抗是固定值。隔离缓冲器抑制了电荷注入尖峰,因而开关瞬变显著降低。缓冲器由内部双极晶体管级组成,具有固定的输入端接电阻。

与开关电容ADC不同,此端接电阻不随模拟输入频率而变化,因此驱动电路的选择得以简化。缓冲输入级的缺点是ADC的功耗较高。然而,由于它经过专门设计,具有非常好的线性度和低噪声特性,因此在ADC的全部额定带宽内,输入阻抗都是恒定的。

设计抗混叠滤波器(AAF)时应当注意,过多的元件可能会导致容差不匹配,进而产生偶数阶失真。电感并非特性相同,不同电感的响应可能大不相同。廉价、低质量的电感一般表现不佳。此外,有时很难在电感上实现良好的焊接连接,这就会引起失真。务必将AAF的阻带区间规定为平坦的,因为宽带噪声仍有可能折回带内(见图10)。

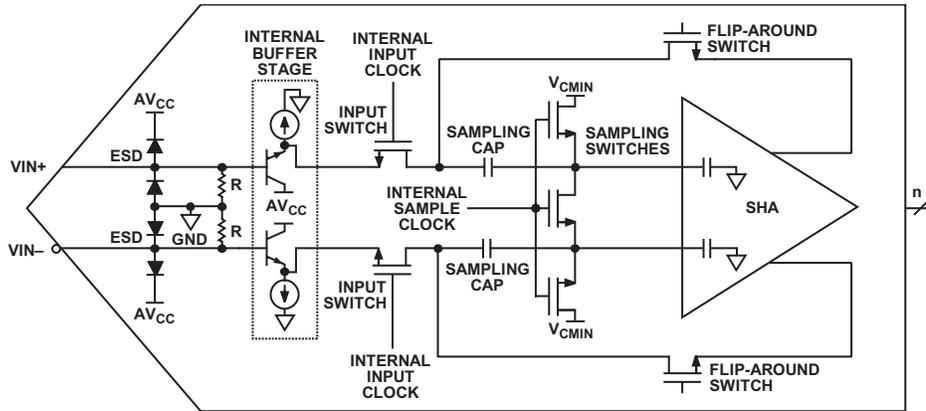


图9. 缓冲输入ADC

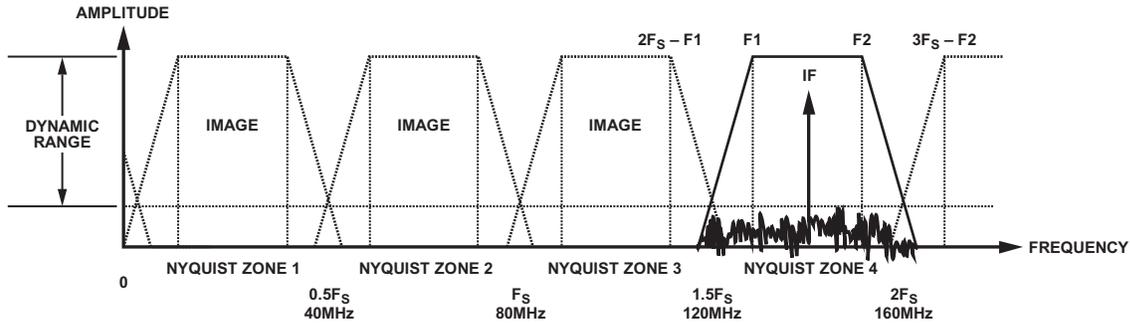


图10. 抗混叠滤波器

多数转换器具有很宽的模拟输入带宽。如果不使用AAF，混叠会降低动态范围。AAF应按照等于或略大于目标信号带宽的要求进行设计。滤波器的阶数和类型取决于所需的阻带抑制和通带纹波。AAF在ADC的整个带宽内应具有充分的阻带抑制性能。

图11说明了阻带抑制在AAF设计中的重要性。注意，转换器带宽(红色曲线所示)远大于要采样的频带。因此，噪声和杂散可能会折回要采样的带内频率中。注意淡蓝曲线和粉红曲线，其中滤波器响应出现在阻带抑制区间。还应注意深绿或橙色曲线，阻带抑制保持恒定。

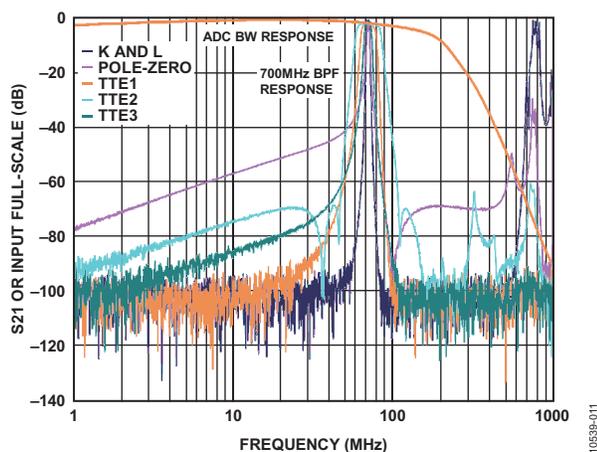


图11. AAF响应与ADC带宽响应

变压器耦合前端

一般说来，变压器耦合前端能够驱动较高中频而无显著损耗，具有更宽的带宽，功耗更低，并能提供固有的交流耦合。多匝比率变压器还能提供无噪声增益。另一方面，设计具有较高阻抗/匝数比的变压器耦合前端可能很困难，因为这会降低带宽、幅度，引起相位不平衡，有时还会使通带纹波性能下降。

将变压器用于ADC前端时，必须记住：任何两个变压器都不会完全相同，即使其数据手册看起来一样。例如，1:1阻抗比并不意味着次级端阻抗为50 Ω。要么使用数据手册中的回波损耗数据，要么利用ENA测量。变压器数据手册上的带宽一般应减半使用，因为变压器通常是在理想条件下利用PCB提取技术测量。增益大于1:1阻抗比的变压器，其带宽更低，而且更难使用。当频率高于150 MHz时，由于变压器固有的相位不平衡，HD2开始升高。为解决这个问题，应使用两个变压器，或者使用一个更好的变压器。

变压器建模

变压器建模可能很难。变压器具有许多不同的特性，例如：电压增益和阻抗比、带宽和插入损耗、幅度和相位不平衡、回波损耗等。变压器特性随着频率而变化。

图13以示例形式给出了ADC应用中变压器建模的初始步骤。然而，每个参数变化均取决于所选的变压器。此外，虽然变压器模型能够让我们很好地了解带宽和阻抗与频率的关系，但除了在系统中测试变压器以外，没有什么好的办法来测量线性度。

变压器基础

匝数比、电流比、阻抗比和信号增益均是变压器的特性。

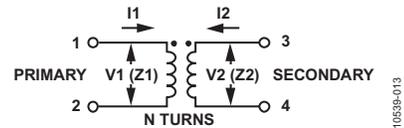


图12. 变压器基础

匝数比n定义原边电压与副边电压之比。

匝数比

$$n = N1/N2$$

阻抗比是匝数比的平方。阻抗比

$$n^2 = Z1/Z2$$

电流比是与匝数比成反比。信号增益与阻抗比相关。

$$20 \log (V2/V1) = 10 \log (Z2/Z1)$$

如果一个变压器的电压增益为3 dB，则其阻抗比为1:2。这很好，因为数据转换器是电压器件。电压增益无噪声！

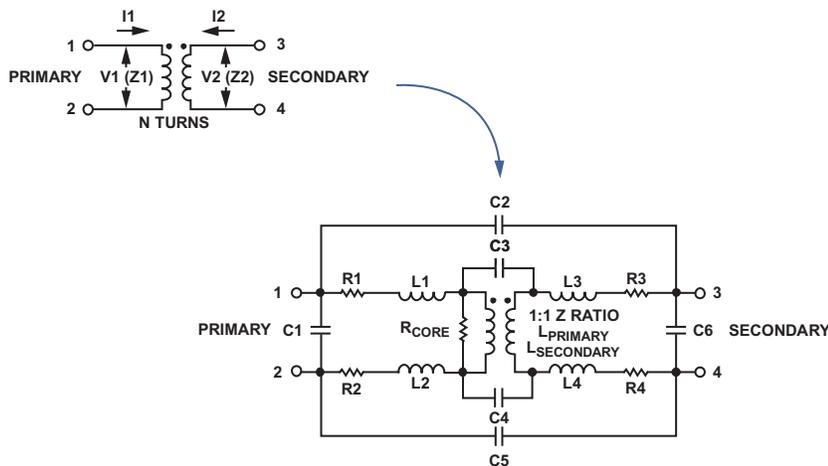


图13. 变压器建模

了解变压器性能

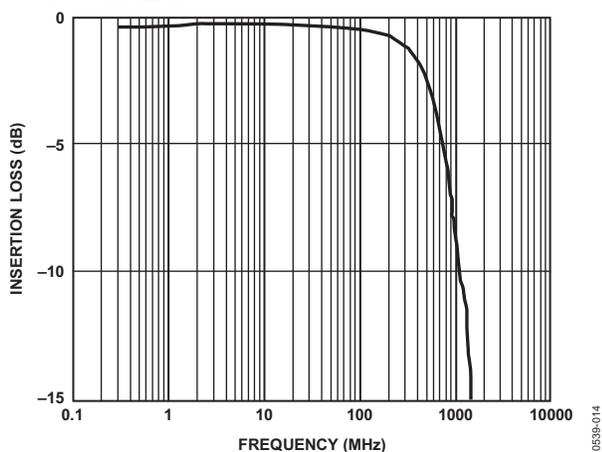


图14. 插入损耗与频率的关系

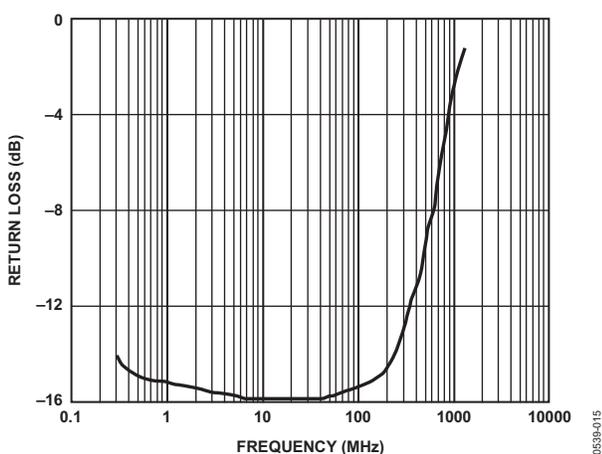


图15. 回波损耗与频率的关系

可以将变压器简单地视作通带滤波器，这种特征可以帮助您确定变压器在一定频率内的损耗。

插入损耗是数据手册中最常见的测量指标，但它不是唯一的考虑因素。

回波损耗是当副边端接时原边看到的有效阻抗。例如，假设您有一个理想的1:2阻抗变压器，当副边端接100 Ω时，您会期望50 Ω阻抗反射到原边。但是，事实可能并非如此。原边上的反射阻抗取决于频率。一般来说，随着阻抗比的上升，回波损耗的变化也随之提高。

幅度与相位不平衡

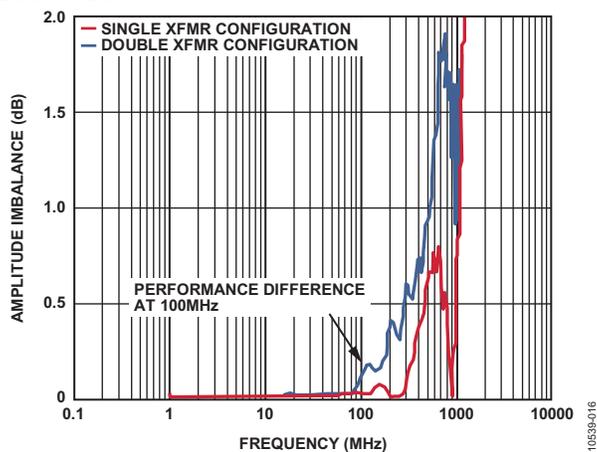


图16. 幅度不平衡与频率的关系

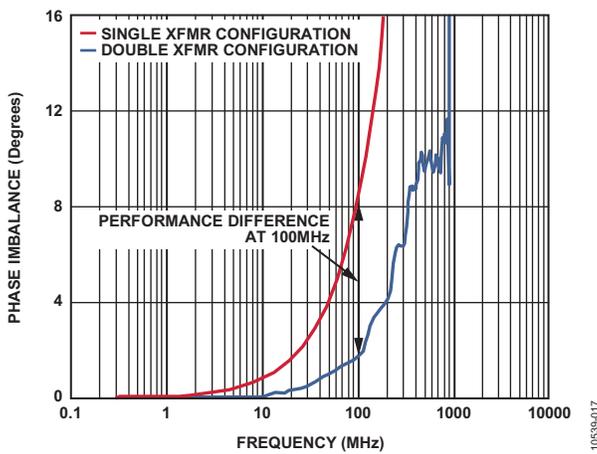


图17. 相位不平衡与频率的关系

使用变压器时，幅度和相位不平衡是关键的性能指标。当电路设计要求非常高的中频频率(100MHz以上)时，设计人员可根据这两项特性，估计非线性度可能有多大。频率提高时，变压器的非线性度也会提高。相位不平衡通常占主要地位，它相当于偶数阶失真，或更高的二次谐波。红色曲线所示为单变压器配置，蓝色曲线所示为双变压器配置。

针对设计选择变压器的最佳办法是收集本笔记所述的所有特性。多数制造商都会提供这些数据，不过有时候可能未在数据手册上明确说明。另外，用户也可以利用网络分析仪测量变压器的性能。

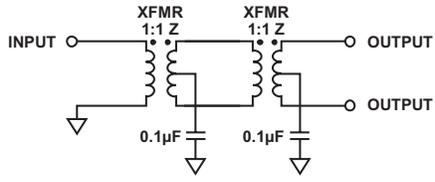


图18. 双变压器配置

10539-018

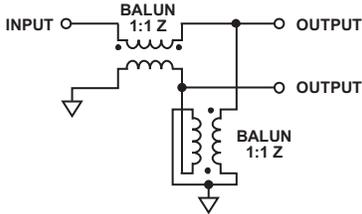


图19. 双巴伦配置

10539-019

增加第二变压器后，第一变压器的内核电流重新分配，以便重新平衡跨越原边和副边耦合的寄生电容。这将能最大程度地降低ADC看到的相位不平衡(相当于二次谐波失真)。

双变压器配置一般用在输入频率高于100 MHz的高频应用中。根据输入频率，有人可能会考虑使用双巴伦配置，因为巴伦变压器一般适用于更高的带宽。如果不使用双变压器配置，也可以选择性能更好的变压器。

有源耦合前端网络

大多数有源耦合前端网络使用放大器。

针对交流和直流耦合应用选择放大器时，应考虑以下几点：

- 共模问题，工作电压低至1 V_{CM}
- 电源问题(输入范围是多少？输出范围是多少？)
- 某些放大器只能用于交流耦合
- 输出端串联电阻使放大器保持稳定(5 Ω至10 Ω)
- 遵守数据手册中的布局布线指南：消除第二层上的地以保持低输出电流，并且避免振荡。

- 使用数据手册推荐的输出负载。有时候该负载值是一个固定电阻，而不是网络阻抗的乘积。
- 对于电流反馈放大器，务必阅读数据手册。数据手册给出了推荐的反馈电阻，该值决定放大器的稳定性。

差分信号示例

图20中的示例概要说明了差分信号。一个常见问题是：1.8 V ADC如何采样一个2 V p-p正弦波信号？本例说明了如何通过差分信号来实现这一点。注意转换器模拟输入的共模电压(CMV)的重要性。为了正确、精准地进行信号采样，CMV必须存在并且鲁棒。

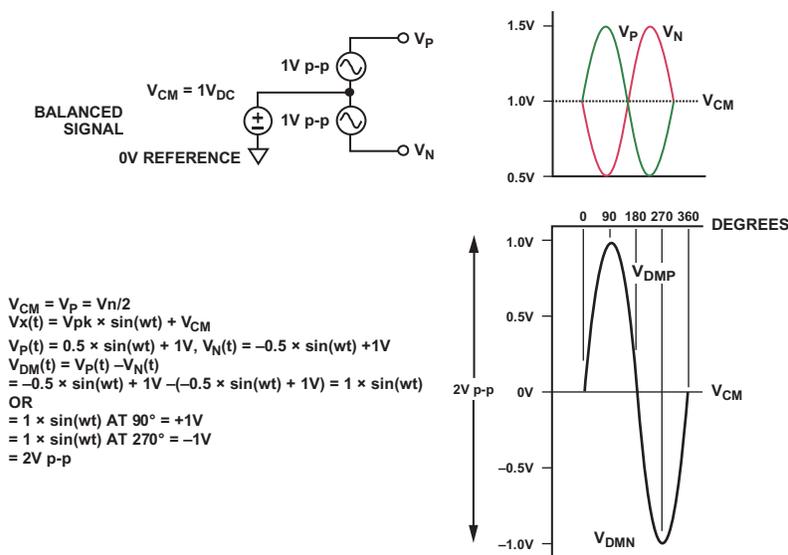


图20. 差模与共模信号示例

频域和时域性能示例

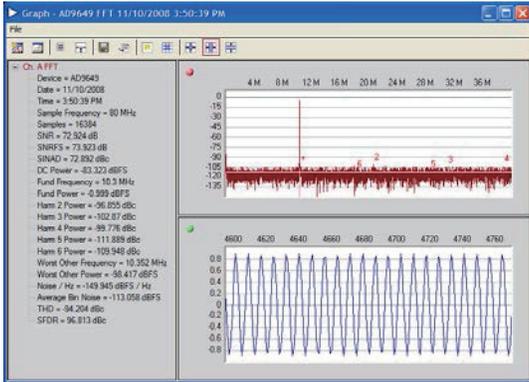


图21. AD9649 FFT/TD典型性能

图21显示了施加正确的输入信号时，频域和时域性能的典型示例。注意噪声平坦并且SNR和SFDR性能良好。

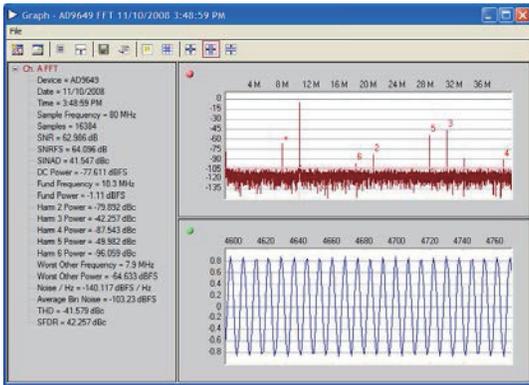


图22. AD9649 FFT/TD, 两路模拟输入上的共模电压未偏置/悬空

施加正确的信号幅度时，如果ADC模拟输入引脚上的共模电压悬空，就可能发生失真。注意图21和图22中SNR和SFDR性能的差异。输入信号在1 V信号摆幅附近浮动，以正或负方式削波。

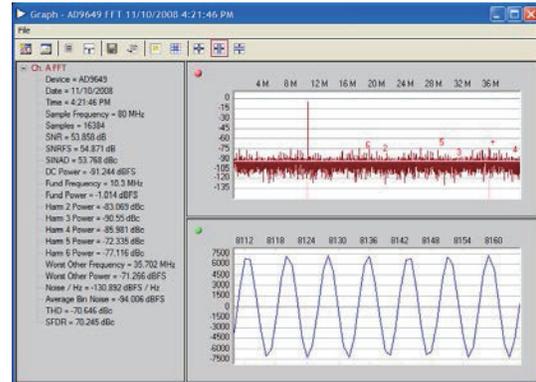


图23. AD9649 FFT, 两路模拟输入上的共模电压太高(>0.9 V)

施加正确的信号幅度时，如果ADC模拟输入引脚上的共模电压太高(本例中 >0.9 V)，就可能发生失真。注意与图21中的基线性能相比，图23中SNR和SFDR性能的差异。虽然输入信号正确，但如果CMV高于适当的值，信号就会被迫以正或负方式削波。

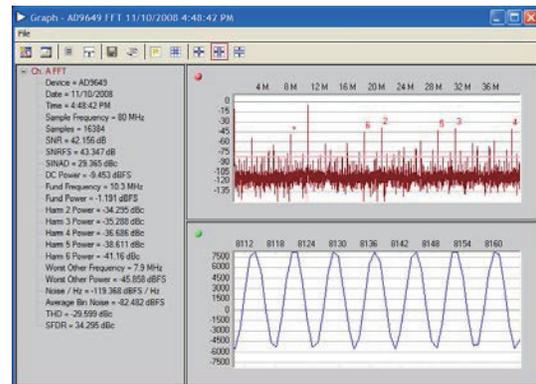


图24. AD9649 FFT, 两路模拟输入上的共模电压不匹配

图24中，施加正确的信号幅度时，如果ADC模拟输入引脚上的共模电压不匹配(本例中，二者均不是0.9 V)，就可能发生失真和偏移。注意与图21中的基线性能相比，SNR和SFDR性能的差异。本例中，CMV高于或低于标称值，信号被迫以正或负方式削波。另外应注意信号如何偏移，而不是处于时域图的中央。

抗混叠滤波器考虑

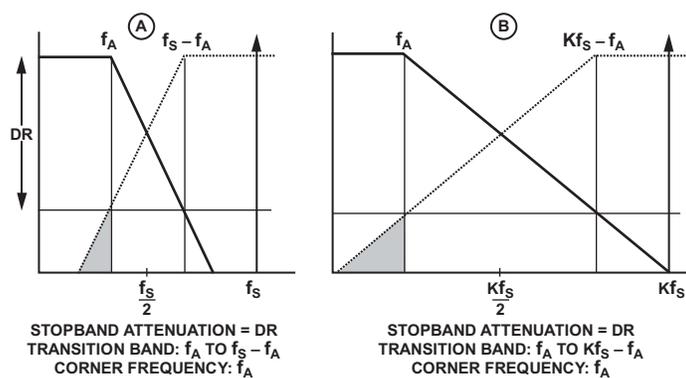


图25. 过采样降低对基带抗混叠滤波器的要求

图25说明一个基带信号的抗混叠滤波器要求，信号最高频率为 f_a ，所需动态范围为 DR 。这是最差情况条件，因为它假设满量程信号可能出现在目标带宽以外，但这样的情况非常少。不过，这是一个很好的起点。

虚线区域表示目标带宽以外的信号可能会限制动态范围。对滤波器的要求可能相当高，特别是如果 F_s 不是远大于 $2f_a$ ，如图25(A)所示。

举例来说，CD音频的采样速率为44.1 kSPS，音频的最大带宽为20 kHz。这种情况下， $f_s - f_a = 24.1$ kHz。要在20 kHz到24.1 kHz的过渡带内实现60 dB的阻带衰减，几乎是不可能的，尤其是在音频应用要求线性相位的情况下。

因此，许多系统依赖图25(B)所示的过采样方法来降低对模拟抗混叠滤波器的要求。 Σ - Δ 型转换器就是一个很好的过采样例子。DAC的输出通过所谓“抗镜像”滤波器滤波，它所起的作用在本质上与ADC前端中的抗混叠滤波器相同。

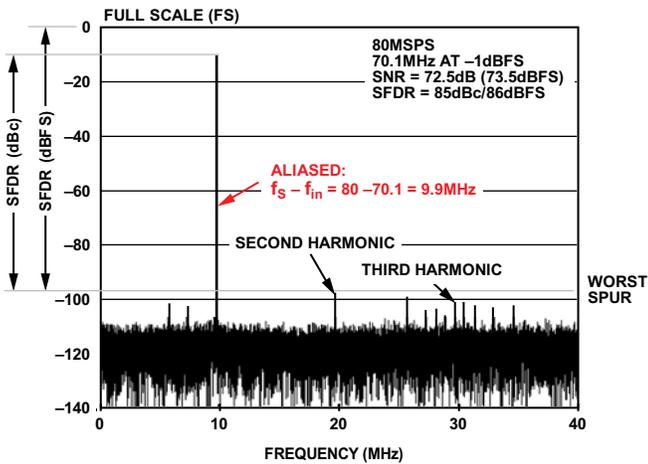


图26. AD9644 14位、80 MSPS ADC SFDR(70.1 MHz输入)

图26显示一个70.1 MHz信号由AD9644以80 MSPS的速率采样。注意在FFT频谱中，由于混叠，70.1 MHz信号实际上出现在 $80 - 70.1 = 9.9$ MHz。本例中，SFDR约为85 dBc或86 dBFS。dBc表示相对于载波信号的测量结果，dBFS则表示相对于满量程载波信号或0 dBFS的测量结果。

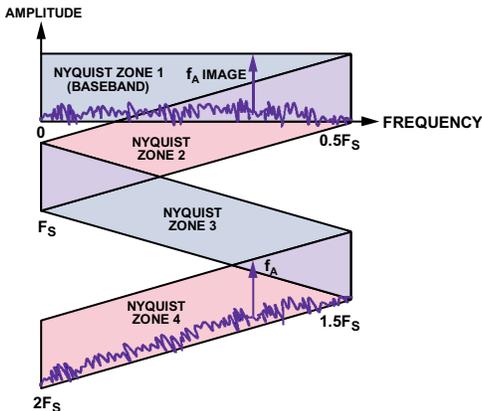


图27. 在 F_s 采样的欠采样模拟信号 f_a 的镜像
(混叠)位于 $|\pm K F_s \pm f_a|$, $K = 1, 2, 3 \dots$

图27中绘出了奈奎斯特区，说明了IF信号如何折回到基带。一般认为IF信号位于第一奈奎斯特区以上的任何奈奎斯特区，第一奈奎斯特区或 $F_s/2$ 是基带。

注意事项

放大器驱动前端的主要特性如下：

- 可以保留信号的直流成分
- 在前一级与ADC之间提供约40 dB到60 dB的隔离
- 需要增益时更容易处理，而且与增益带宽积的关系不大
- 固有噪声与信号一起被放大
- 通带纹波较少
- 可将单端信号转换为差分
- 带宽通常低于变压器，但会随着时间而提高

决定使用无源(变压器或巴伦)还是有源(放大器)ADC前端模拟输入时，重要考虑事项如下：

对于放大器驱动的输入

- 交流或直流耦合
- 提高良好的隔离
- 增益设置可远程控制
- 限制ADC性能，也就是说SNR会降低

对于变压器驱动的输入

- 仅限交流耦合
- 提高的隔离很糟糕
- 固定增益
- 不限制ADC性能，也就是说SNR不会降低

数据转换器的有用公式

$$\text{噪底}(-dB) = 6.02 \times n + 1.76 + 10 \times \log(N/2)$$

假设相干采样且无窗口(见表1)。

$$\text{噪底}(-dB) = 6.02 \times n + 10 \times \log(3 \times N/(p \times ENBW))$$

假设无相干采样且无窗口。

表1

FFT点数	12位	14位	16位
1024	101	113	125
2048	104	116	128
4096	107	119	131
8192	110	122	134
16384	113	125	137
32768	116	128	140
SNR (dB)	74.0	86.0	98.1

有效位数(ENOB)

$$ENOB (BITS) = (SINAD - 1.76 + 20 \times (FSR/ActualFSR))/6.02$$

信纳比(SINAD)

$$SINAD (dB) = -20 \times \log(\sqrt{10(-SNR \text{ W/O DIST}/10) + 10} \\ (THD/10))$$

总谐波失真(THD)

$$THD (-dB) = 20 \times \log(\sqrt{(10(-2ND \text{ HAR}/20))^2 + (10(- \\ 3RD \text{ HAR}/20))^2 + \dots (10(-6TH \text{ HAR}/20))^2})$$

理论信噪比(SNR)

$$RMS\text{信号} = (FSR/2)/\sqrt{2}$$

$$RMS\text{噪声} = Qn = q/\sqrt{12}$$

$$SNR (dB) = rms\text{信号}/rms\text{噪声} = 20 \times \log(2(n-1) \times \sqrt{6}) = \\ 6.02 \times n + 1.76$$

定义/术语

Fs = 采样速率(Hz)

Fin = 输入信号频率(Hz)

FSR = 满量程(V)

n = 位数 q = LSB大小

Qn = 量化噪声

LSB = 最低有效位 = FSR/2n

N = FFT点数

ENBW = 窗口函数的等效噪声带宽(例如, 四项Blackman-Harris窗口的ENBW = 2)