

# 使用集成式宽带DAC和 ADC中的多芯片同步功能 来确定上电相位

Mike Jones, 首席电气设计工程师 Michael Hennerich, 系统开发组软件工程经理 Pete Delos, 航空航天和防务部技术主管

## 简介

将多个数字信号处理(DSP)模块、宽带数模转换器(DAC)和宽带模 数转换器(ADC)集成到一个单片式芯片中,便无需再使用高功耗 FPGA资源,由此实现更小尺寸、更低功耗和包含更多通道的平 台,并以更高速率进行采样。这些集成电路(IC)除了提供此功 能外,还提供创新的多芯片同步(MCS)算法,使用户能在系统供 电或对系统进行软件修改时实现所有通道的已知(确定性) 相位。因此,这种确定性相位可以简化更广泛的系统级校准算 法,使连接至这些IC的前端网络的输出或输入上的所有通道实 现同步。本文提供了用于展示上述MCS功能的实验结果,同时 使用了多个数字转换器IC、时钟源、数字接口组成的I6通道接收 器/发射器平台。

## 高级系统框图

本测试使用的系统框图如图1所示,其中包含4个集成式DAC/ADC/ DSP IC,每个IC包含4个12 GSPS DAC、4个4 GSPS ADC、12个数字上变 频器(DUC)和12个数字下变频器(DDC)模块。DUC/DDC支持在数字域 中进行频率变换/插值/抽取。外部5000HHz时钟信号接到系统板 上作为参考时钟,然后使用参考时钟锁定的时钟缓冲器来生成 MCS所需的系统参考信号,以及基带处理器(BBP)的数字接口所需 的时钟。该系统也包含4个独立的锁相环(PLL)频率合成器,生成 所需的12 GHz源,根据共同的参考时钟为每一个数字转换器IC提 供时钟信号。RF前端与每个数字转换器输出/输入连接,生成经 过滤波和放大的信号,在前端和由终端启动的RF连接器之间传输。采用完整的电源分布解决方案。系统所需的所有电压都从 一个12 V电源生成。所有发射信号都在板底部传输,所有接收信 号则在板顶部传输,以实现最优的通道间隔离。

### 子阵列时钟树结构

如前所述,子阵列时钟树包含一个500 MHz参考源,该源被分割 并发送给四个独立的PLL频率合成器IC的参考输入,具体如图1所 示。这个500 MHz信号也被耦合(10 dB)和放大,并被发送至另一个 时钟缓冲器IC,该时钟缓冲器生成数字接口所需的系统参考时 钟(SYSREFs)和BBP时钟。这个时钟树需要达成三个目标,这是因 为:

- ▶ 它允许单个通道SYSREF发生延迟,以调整IC之间的走线长度 不匹配。
- 允许实施单个PLL/频率合成器相位调整,从而确保跨越各个 数字转换器IC时钟源进行同步,以补偿系统中的任何感应热 梯度。
- ▶ 使用户能够满足必要的对数字转换器IC的建立-保持要求。

上述的时钟树IC展示了可以利用这些芯片中的数字和模拟延迟 模块来修正软件和/或硬件中的各种板布局异常。时钟树可以在 每个IC相同的采样时钟周期内为所有需要的IC提供SYSREF脉冲。



图1.用于展示MCS和多通道校准算法的系统的高级框图。

#### 基带处理器的数字接口

这4个数字化IC分别与BBP建立一个JESD204B或JESD204C数字链路接 口。<sup>12</sup> 这个接口用于通过物理走线(SERDES),向BBP传输ADC和DAC 代码。这个接口使用的差分SERDES走线的数量被称为此链路的 通道数(L)。通过链路发送的转换器位分辨率被标记为N'。数据信 道(也被称为转换器)的数量被标记为M。对于本文中显示的 结果,其中使用了JESD204C链路,DAC一侧链路的M=16,N'=16, L=4,ADC一侧链路的M=8,N'=16,L=2。

在数字转换器IC和BBP之间发射和接收数据的速率被称为通道速率。硅芯片上的DSP模块(即DDC/DUC)允许用户按照与物理通道 不同的数据发送速率在数字转换器上采样。所以,通道速率由 每个数据路径上的数字抽取/插入数据速率决定。为此,我们使 用250 MSPS I/Q数据速率。对于JESD204C接口,通道速率被定义为:

 $LaneRate_{JESD204C} = \frac{(DataRate)(M)(N')66}{(L)64}$ 对于JESD204B接口,通道速率则被定义为.

 $LaneRate_{JESD204B} = \frac{(DataRate)(M)(N')10}{(L)8}$ 

对于本文显示的结果,对应的ADC和DAC侧JESD204C链路的通道速 率均为16.5 Gbps。

可以在不同的子类中建立每个JESD204B/JESD204C链路。我们根据 是否需要多芯片同步或确定性延迟来区分这些子类。所以,显 示的数据使用JESD204C子类1模式,并使用SYSREF信号来对齐在 系统的多个链路中发射的数字数据部分。更具体一点,在这个 JESD204C子类1模式中,SYSREF信号被用于对齐本地扩展多块时钟 (LEMC),该时钟的发射速率如下:

$$LEMC\_Rate_{JESD204C} = \frac{LaneRate_{JESD204C}(8)}{(66)KF}$$

其中F为每通道每JESD帧的八字节数,K为每个多帧的帧数。其中, F=8,K=32,所以使用7.8125 MSPS这个LEMC速率。我们需要知道这个 LEMC速率,这非常重要,因为任何成功的MCS路径都需要展示:不 是LEMC速率的整数倍的RF频率可以实现确定性的上电相位。

### 多芯片同步方法

在这个系统中,宽带集成式ADC/DAC IC提供MCS电路,在所有发射 和接收RF通道上实现上电确定性相位,即使在IC中使用DUC/DDC DSP模块时也是如此。这个MCS功能使得用户能够在工厂校准期 间填充查询表(LUT),以最大限度减少运行停机时间。成功的MCS 演示需要能够在所有尝试使用的RF频率、热梯度和系统供电周 期下,在系统的所有通道中提供确定性相位。

集成式ADC/DAC IC包含12个DUC模块和12个DDC模块,具体如图1所示。这 些模块都包含插入(DUC)或抽取(DDC)子模块,分别用于改变DAC数字 输入信号或ADC数字输出信号的数据速率。每个DUC/DDC中还包含一 个复杂的数字控制振荡器(NCO),用于在数字域内进行频率转换。 这每一个NCO都能够实时进行复杂的相位调整,从而更改DAC/ADC和 BBP之间的数字信号,以此来补偿各种SERDES线路长度不匹配。 这些ADC/DAC IC的MCS功能用于在数字转换器IC数据路径的各个方面实现相位确定性。用于实现MCS的工作流程如图2所示。



图2. MCS工作流程包含将数据路径的不同部分对齐的各种独立功能。

MCS算法可以分为两个单独的函数:

- ▶ 单次采样同步:这个功能用于对齐子阵列系统中的所有数 字转换器IC物理通道中发送的基带数据。
- ▶ NCO主机-从机同步:这个功能用于对齐子阵列系统中的各个数字转换器IC中的所有NCO。

单次采样同步功能首先要求用户定义JESD链路参数(例如M、 N、L等),然后为所需的SYSREF平均配置同步逻辑(如果使用连续SYSREF脉冲)。此外,所需的LEMC延迟可用于强制在SYSREF边 沿之后以一个特定的延迟去生成LEMC。此操作完成后,用户需 启用各个数字转换器IC中的单次采样同步位,然后要求在同一个 时钟周期内将SYSREF脉冲发送给各个IC,具体如图3所示。对于这 个系统,在时钟缓冲器IC中采用了模拟精细延迟,能够使同步的 SYSREF到达所有的数字转换器IC。可以实施后续检查,验证是否 成功执行单次采样同步过程:向各个IC中的寄存器实施查询,这 些IC提供有关SYSREF信号和各个IC链路LEMC边界之间的相位关系信 息。如果测量到稳定相位(即:SYSREF-LEMC相位寄存器的读数为 0),用户便知道所有数字转换器IC的LEMC是对齐的,那么用户 可开始执行NCO主机-从机同步过程。所以,在芯片制造商提供的 应用编程接口(API)中,会包含所描述的单次采样同步子任务。

NCO主机-从机同步功能首先分配子阵列中的一个数字转换器IC来 作为主机芯片,具体如图3所示。所有其他数字转换器都被用作 从机IC。主机IC设置之后,该器件的GPIOO引脚被配置为输出,并 路由至三个从机数字转换器IC的GPIOO网络。从机GPIOO网络被配 置为输入。然后,用户可以选择触发SYSREF脉冲、LEMC上升沿或 LEMC下降沿。对于本文中显示的数据,LEMC上升沿被用作NCO主 机-从机同步触发源,GPIO网络通过BBP路由,而不是在子阵列上 本地路由。接下来,对DDC同步位进行由低到高的切换,以配置 ADC一侧的NCO同步算法。同样,对微处理器对齐位实施由低到 高的切换,以配置DAC一侧的NCO同步算法。



图3. MCS算法使用SYSREF信号来执行单次采样同步,使用GPIO信号来执行NCO主机-从机同步,以实现确定性相位。

请求进行这种触发时,在下一个LEMC上升沿,作为主机的数字 转换器IC判断其GPI00端口网络输出高电平主机信号。这个信号 传输至各个从机的GPI00输入。在下一个LEMC沿,所有数字转换 器IC都会采用NCO复位算法。之后,在涉及NCO主机-从机同步算 法时,LEMC脉冲都被忽略。对于单次采样同步,这些NCO主机-从机同步子任务都包含在API功能中,以便用户使用。 使用单次采样同步和NCO主机-从机同步功能将输入对齐到每个 DDC/DUC,如此,在经过多个上电周期后,每个接收和发射通道 仍可采用同样的输出相位偏移,具体如图4所示。图4中的数据 显示了每个接收和发射通道处理器在超过100个功率周期中的校 准相位偏移(用多个实心点表示),在每次重启期间,系统都 在静态热梯度下运行。



图4.在执行MCS算法时,接收微小DDC (左)和发射微小DUC (右)都正确对齐。



图5.PLL频率合成器相位调整功能允许每个数字化仪IC的首个发射通道在整个子阵列中保持对齐。

从图中显示的多个点可以看出,在上电周期后,给定的DDC/DUC 各个颜色的点都紧密聚合在同一位置,从而描述这个特定通道 的确定性相位。对于此测试中的数据,所有8个通道处理器DUC 都用在发射侧,但8个通道处理器DDC中只使用了4个。但是,已 经确认在同时使用MCS算法时,所有8个通道处理器DDC都提供确 定性相位。

如果PLL频率合成器采样时钟和时钟IC SYSREF在启动时保持同样的 相位关系,那么在启动时发布此算法会为每个通道建立确定性 相位。但是,所有系统都会经历热梯度,这会导致出现PLL时钟 偏移,如果不进行补偿,则会产生不同的上电相位。为了补偿 系统内的热梯度偏移,该平台采用了PLL频率合成器相位调整。

#### PLL频率合成器相位调整

之所以选择所选的PLL频率合成器IC,是为了将相关的采样时 钟相位调整注入每个数字转换器IC。我们通过创建一个反馈机 制,确保每个数字转换器IC的首个发射通道都与首个数字转换 器IC的首个发射通道相位对齐,以此补偿热偏移,以及采样时 钟和各个IC的SYSREF之间的PLL相位偏移。为了实现这个反馈回 路,每个IC的首个发射通道都输出一个信号,将自己与其他发 射通道区分开来,具体如图5所示。这4个信号组合在一起并发 送至共同的接收器,在这个系统中,它被标记为Rx0。

获得所有接收通道的同时接收数据,这使得用户能够采用交 互相关技术,并确定这四个发射通道之间的复杂相位偏移  $\Phi_{\text{txdifset}}$ 。PLL频率合成器IC中包含一个压控振荡器(VCO),按频率  $f_{\text{VCLPLI</sub>运行。$  然后,将测量的相位偏移 $\Phi_{Tx0ffset}$ 与所需的PLL相位调整 $\Phi_{PLLAd}$ 和RF 频率 $f_{carrier}$ 关联起来,使得:

$$\Phi_{PLL\_Adj} = \left[\frac{f_{VCO\_PLL}}{f_{carrier}}\right] \Phi_{TxOffset}$$

通过使用这个公式,可以使用一个新的已知量来调节PLL频率合成器相位,在所有数字转换器IC之间建立适用于所有功率周期的通用发射基线,具体如图6所示。图6中所示的每个通道的开环对应第一个供电周期,而所有其他实心点对应后续的功率周期。从图中可以看出,所有数字转换器IC的首个(和第二个)通道处理器的校正发射相位偏移都是相位对齐的。在这种情况下,每个数字转换器IC的第二个通道处理器也是对齐的,因为系统中的每个DAC都使用了两个通道处理器。

所以,如果在MCS路径(在前面部分讨论过)之前添加这个PLL频 率合成器相位调整步骤,会迫使系统采用相同的采样时钟SYSREF 相位关系(表现为所有数字转换器IC的发射对齐基线),从而 在系统的所有感应热梯度中创建确定性相位。图7显示,可以通 过每个PLL频率合成器芯片上的温度测量单元(TMU)来测量感应热 梯度。从图7左下角的蓝色痕迹可以看出,通过对系统应用不同 的风扇气流,会使平台上出现很大的温度差异。然而,对每个 IC使用PLL相位调整可以证明,无论对板应用哪种气流,当强制 要求每个数字转换器IC的首个发射通道处理器彼此对齐时,每 个接收和发射通道的校准NCO相位偏移是确定的。这是通过观 察图7中最上面两幅图中紧密聚合在一起的相同颜色的点来揭示 的,尽管在不同的供电周期中,对板应用的热梯度是不同的。



图6. 通过调整PLL相位,用户可以对齐所有数字转换器IC的首个发射通道。





图7.组合使用MCS功能和PLL相位调整功能,可以展示所有接收和发射通道的上电相位确定性,无论平台上使用哪种热梯度。

图7右下角显示的是轮询数字转换器IC寄存器,它显示了在应用 PLL频率合成器相位偏移之后测量得出的SYSREF-LEMC相位关系。 从图左下角的橙色痕迹可以看出,PLL频率合成器相位调整可以 充分补偿在不同的感应热梯度下测得的非零SYSREF相位。

我们测量了多种频率,它们都展示了确定性的接收和发射相位。本文选择的特定频率如图8所示,之所以选择这些频率,是为了在使用参考时钟或LEMC的非整数倍时,在许多感应热梯度上展示MCS。

f <sub>rf</sub> (GHz)	f <sub>rxnco</sub> (GHz)	f <sub>txnco</sub> (GHz)	接收侧的 LEMC倍数	发射侧的 LEMC倍数
3	1	3	128	384
3.0078125	0.9921875	3.0078125	127	385
3.01	0.99	3.01	126.72	385.28
3.1	0.9	3.1	115.2	396.8
3.125	0.875	3.125	112	400
3.25	0.75	3.25	96	416
3.5	0.5	3.5	64	448

图8. 本文使用的RF频率被用来展示广泛的时钟源上的MCS功能,包括参考时钟和LEMC的非整数倍数。

## 多个子阵列的可扩展性

本文所示的数据主要侧重子阵列级别的MCS性能,但是还需要确 保这些同步功能可以在更大的阵列级别,以及跨越多个子阵列 实现。为了实现更高级别的同步,需要采用一个阵列级别的时 钟树来确保对每个子阵列(如图1所示)的SYSREF请求能够同时 到达每个子阵列的时钟缓冲器IC。然后,根据这个标准,每个 子阵列可以按照之前所述发出所需的SYSREF和BBP时钟,这样, 这些信号可以在更大阵列的同一个采样时钟周期内到达子阵列 数字转换器IC和BBP。这种阵列级时钟树要求分配到每个子阵列 的时钟具有延时调整模块,以对每个下游子阵列时钟芯片IC进 行同步SYSREF请求分配。通过这种方式,使连接到多个子阵列 的多个BBP最终实现同步。

#### 系统级校准算法

虽然前面部分所显示的MCS算法确实为每个接收和发射通道提 供了上电确定性相位,但由于各通道的RF前端走线长度不同, 所以在RF域中的所有通道内,这些相位并非是相位对齐的。所 以,虽然MCS算法确实能简化阵列校准过程,但仍然需要实施系 统级校准程序,以对齐系统的每个RF通道相位。 所以,除了执行MCS算法外,还有必要开发一种有效的系统级校 准算法。本文采用的系统级校准方法采用了特定的基带波形, 且完全独立,无需使用任何外部设备。本文中描述的系统能够 将独立的基带波形注入平台上的各个通道处理器。利用这种功 能,将每个发射通道处理器由一个周期脉冲组成的基带波形注 入子阵列,具体如图9左下部分所示。所以,每个发射通道处理 器只输出一个脉冲。但是,波形在所有发射通道处理器中是交 错的,所以在整个系统中,一次只能输出一个单周期脉冲。所 有发射通道处理器的输出在RF域中合并,然后分裂并发回至所 有接收通道,具体如图9顶部的图所示。最后,对所有接收通道 实施同步接收数据采集,并将数据保存至4096x16矩阵,其中4096 表示从所有16个接收通道采集的样本大小。

之后,沿着第一列(与Rx0对应)对该数据实施分析,以找到 Tx0通道处理器脉冲,具体如图9右下部分最上方的子图所示。 在确定了Tx0脉冲之后,即可知道所有其他脉冲的位置,计算各 个脉冲上升沿的复杂相位,并保存至1x16向量中,该向量与整 个系统所有发射通道中的测量相位偏移对应。获取这些信息之 后,即可使用Tx0作为基线参考,并基于测量得出的偏移来更改 所有发射通道的复杂相位。



图9.将系统级校准算法与MCS一起使用,快速对齐系统中的所有接收和发射通道。

与此类似,因为相同的组合信号被发送至所有接收通道,所以 会沿这矩阵横向分析该数据(在所有接收通道中查看)。然后 根据Rx0测量所有接收通道的复杂相位,并保存至与系统的测量 接收相位偏移对应的1x16向量。然后,在整个子阵列中调整接收 NC0复杂相位,以根据Rx0让所有通道保持相位对齐,具体如图10 中所有16个接收通道的同相(1)和正交相位(0) ADC代码所示。我们 可能注意到,虽然图10中的图让所有通道实现相位对齐,但并 不需要所有通道对实现幅度对齐。但是,通过使用这些数字转 换器IC目前配有的片内有限脉冲响应(FIR)滤波器,可以跨所有通 道交替实现幅度和相位对齐,无需分配高功耗FPGA资源即可实 现同样的结果。



图10. 在MCS和独立的系统级校准算法的帮助下,实现16通道接收1&0相位 对齐。

这种系统级校准算法目前在MATLAB<sup>®</sup>中实现,完成校准大约需要 3秒。但是,如果使用硬件描述语言(HDL)实现,则校准时间可以 进一步缩短,同时保持完全独立的算法。此外,在使用MCS算法 时,如果在启动时已知系统频率和振幅,那么用户可以从查询 表加载相位偏移值,而无需执行这种系统级校准方法中描述的 测量过程。在这种情况下,可以使用系统级校准方法来填充在 工厂校准期间保存至查询表中的相位偏移值。

## 结论

我们使用4个ADI AD9081 MxFE<sup>™</sup> IC作为子阵列的主干来演示成功的 MCS过程。使用4个ADF4371 PLL频率合成器中的相位调整模块来帮 助补偿平台的热梯度。使用1个HMC7043时钟IC来分配JESD204C接 口所需的SYSREF和BBP时钟。AD9081中的MCS算法可以帮助简化系 统级校准,并为系统中的多个频率和热梯度提供上电确定性相 位。此外,还提出了一种有效的系统级校准算法,该算法用于 在工厂校准期间填入LUT,从而大大缩短系统启动时间。此平台 如图11所示,被称为Quad-MxFE。该系统可从ADI公司购买。此器件 适用于任何相控阵雷达、电子战、仪器仪表或56平台中的任何 多通道系统。



图11. Quad-MxFE平台可从ADI公司购买。

## 参考资料

- <sup>1</sup> Del Jones。"JESD204C入门:新特性及其内容—第1部分。" 《模拟对话》,第53卷第2期,2019年6月。
- <sup>2</sup> Del Jones。"JESD204C入门:新特性及其内容—第2部分。" 《模拟对话》,第53卷第3期,2019年7月。

## 作者简介

Mike Jones是ADI公司航空航天和防务部的首席电气设计工程 师,在美国北卡罗来纳州格林斯博罗工作。他于2016年加 入ADI公司。从2007年到2016年,他在北卡罗来纳州威尔明 顿的通用电气公司工作,担任微波光子学设计工程师,致 力于研发核工业微波和光学解决方案。他于2004年获得北 卡罗来纳州立大学电气工程学士学位和计算机工程学士学 位,2006年获得北卡罗来纳州立大学电气工程硕士学位。 联系方式: Michael.Jones@analog.com。

Michael Hennerich于2004年加入ADI公司。他曾担任系统和应用 设计工程师,从事过各种基于DSP/FPGA和嵌入式处理器的 应用和参考设计。Michael现在是ADI德国慕尼黑公司系统开 发组(SDG)的一名开源系统工程师,带领ADI的设备驱动程序 和内核开发团队,为所有类型的混合信号IC产品和HDL接口 内核开发设备驱动程序。他拥有德国罗伊特林根大学计算 机工程硕士学位和电子与信息技术工程硕士学位。联系方 式: Michael.Hennerich@analog.com。

Peter Delos是ADI公司航空航天和防务部的技术主管,在美国 北卡罗莱纳州格林斯博罗工作。他于1990年获得美国弗吉 尼亚理工大学电气工程学士学位,并于2004年获得美国新 泽西理工学院电气工程硕士学位。Peter拥有超过25年的行 业经验。其职业生涯的大部分时间花在高级RF/模拟系统的 架构、PWB和IC设计上。他目前专注于面向相控阵应用的 高性能接收器、波形发生器和频率合成器设计的小型化工 作。联系方式: Peter.Delos@analog.com。

## 在线支持社区 🛛 🔼

► ADI EngineerZone<sup>™</sup>

访问ADI在线支持社区, 中文技术论坛 与ADI技术专家互动。提出您的 棘手设计问题、浏览常见问题 解答,或参与讨论。

请访问ez.analog.com/cn



如需了解区域总部、销售和分销商,或联系客户服务和 技术支持,请访问<u>analog.com/cn/contact</u>。

向我们的ADI技术专家提出棘手问题、浏览常见问题解答,或参与EngineerZone在线支持社区讨论。 请访问<u>ez.analog.com/cn</u>。 ©2020 Analog Devices, Inc. 保留所有权利。 商标和注册商标属各自所有人所有。 "超越一切可能"是ADI公司的商标。

TA22400sc-10/20



请访问analog.com/cn