

高速转换器应用指南： 数字数据输出

Jonathan Harris, 产品应用工程师

摘要

设计人员有各种模数转换器(ADC)可以选择, 数字数据输出类型是选择过程中需要考虑的一项重要参数。目前, 高速转换器三种最常用的数字输出是互补金属氧化物半导体(CMOS)、低压差分信号(LVDS)和电流模式逻辑(CML)。ADC中每种数字输出类型都各有优劣, 设计人员应根据特定应用仔细考虑。这些因素取决于ADC的采样速率和分辨率、输出数据速率、系统设计的电源要求, 以及其他因素。本文将讨论每种输出类型的电气规格, 及其适合特定应用的具体特点。我们将从物理实现、效率以及最适合每种类型的应用这些方面来对比这些不同类型的输出。

CMOS数字输出驱动器

在采样速率低于200 MSPS的ADC中, CMOS是很常见的数字输出。典型的CMOS驱动器由两个晶体管(一个NMOS和一个PMOS)组成, 连接在电源(V_{DD})和地之间, 如图1a所示。这种结构会导致输出反转, 因此, 可以采用图1b所示的背对背结构作为替代方法, 避免输出反转。输出为低阻抗时, CMOS输出驱动器的输入为高阻抗。在驱动器的输入端, 由于栅极与导电材料之间经栅极氧化层隔离, 两个CMOS晶体管的栅极阻抗极高。输入端阻抗范围可达k Ω 至M Ω 级。在驱动器输出端, 阻抗由漏电流 I_D 控制, 该电流通常较小。此时, 阻抗通常小于几百 Ω 。CMOS的电平摆幅大约在 V_{DD} 和地之间, 因此可能会很大, 具体取决于 V_{DD} 幅度。

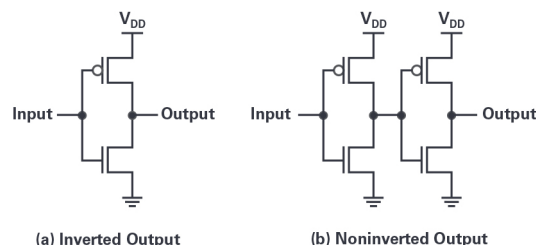


图1. 典型CMOS数字输出驱动器。

由于输入阻抗较高, 输出阻抗较低, CMOS的优势之一在于通常可以用一个输出驱动多个CMOS输入。CMOS的另一个优势是低静态电流。唯一出现较大电流的情况是CMOS驱动器上发生切换时。无论驱动器处于低电平(拉至地)还是高电平(拉至 V_{DD}), 驱动器中的电流都极小。但是, 当驱动器从低电平切换到高电平或从高电平切换到低电平时, V_{DD} 与地之间会暂时出现低阻抗路径。该瞬态电流是转换器速度超过200 MSPS时, 输出驱动器采用其他技术的主要原因。

转换器的每一位也都需要CMOS驱动器。如果转换器有14位, 就需要14个CMOS输出驱动器来传输这些位。一般会有一个以上的转换器置于单个封装中, 常见为八个。采用CMOS技术时, 意味着数据输出需要高达112个输出引脚。从封装角度来看, 这不太可能实现, 而且还会产生高功耗, 并使电路板布局变得更加复杂。为了解决这些问题, 我们引入了使用LVDS的接口。

LVDS数字输出驱动器

与CMOS技术相比，LVDS具备一些明显优势。它可以在低电压信号（约350 mV）下工作，并且为差分而非单端。低压摆幅具有较快的切换时间，可以减少EMI问题。差分这一特性可以带来共模抑制的好处。这意味着耦合到信号的噪声对两个信号路径均为共模，大部分都可被差分接收器消除。LVDS中的阻抗必须更加严格控制。在LVDS中，负载阻抗应约为100 Ω ，通常通过LVDS接收器上的并联端接电阻实现。此外，LVDS信号还应采用受控阻抗传输线进行传输。差分阻抗保持在100 Ω 时，所需的单端阻抗为50 Ω 。图2所示为典型LVDS输出驱动器。

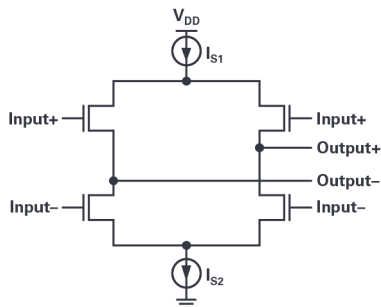


图2 典型LVDS输出驱动器。

如图2中LVDS输出驱动器拓扑结构所示，电路工作时输出电源会产生固定的直流负载电流。这可以避免输出逻辑状态跃迁时典型CMOS输出驱动器中出现的电流尖峰。电路中的标称源电流/吸电流设为3.5 mA，使得端接电阻100 Ω 时典型输出电压摆幅为350 mV。电路的共模电平通常设为1.2 V，兼容3.3 V、2.5V和1.8 V电源电压。

有两种书面标准可用来定义LVDS接口。最常用的标准是ANSI/TIA/EIA-644规格，标题为《低压差分信号(LVDS)接口电路的电气特性》。另一种是IEEE标准1596.3，标题为《可扩展一致性接口(SCI)的低压差分信号IEEE标准》。

LVDS需要特别注意信号路由的物理布局，但在采样速率达到200 MSPS或更高时可以为转换器提供许多优势。LVDS的恒定电流使得可以支持许多输出，无需CMOS要求的大量电流吸取。此外，LVDS还能以双倍数据速率(DDR)模式工作，其中两个数据位可以通过同一个LVDS输出驱动器。与CMOS相比，可以减少一半的引脚数。此外，还降低了等量数据输出的功耗。对转换器数据输出而言，LVDS确实相比CMOS具有诸多优势，但也和CMOS一样存在一些限制。随着转换器分辨率的增加，LVDS接口所需的数据输出量会变得更难针对PCB布局进行管理。另外，转换器的采样率最终会使接口所需的数据速率超出LVDS的能力。

CML输出驱动器

转换器数字输出接口的最新趋势是使用具有电流模式逻辑(CML)输出驱动器的串行接口。通常，高分辨率(≥ 14 位)、高速(≥ 200 Msp/s)和需要小型封装与低功耗的转换器会使用这些类型的驱动器。CML输出驱动器用在JESD204接口，这种接口目前用于最新转换器。采用具有JESD204接口的CML驱动器后，转换器输出端的数据速率可达12 Gbps（当前版本JESD204B规格）。此外，需要的输出引脚数也会大幅减少。时钟内置于8b/10b编码数据流，因此无需传输独立时钟信号。数据输出引脚数量也得以减少，最少只需两个。随着转换器的分辨率、速度和通道数的增加，数据输出引脚数可能会相应调整，以满足所需的更高吞吐量。但是，由于使用CML驱动器采用的接口通常是串行接口，引脚数的增加与CMOS或LVDS相比要少得多（在CMOS或LVDS中传输的数据是并行数据，需要的引脚数多得多）。

CML驱动器用于串行数据接口，因此，所需引脚数要少得多。图3所示为用于具有JESD204接口或类似数据输出的转换器的典型CML驱动器。该图显示了CML驱动器典型架构的一般情况。其显示可选源端电阻和共模电压。电路的输入可将开关驱动至电流源，电流源则将适当的逻辑值驱动至两个输出端。

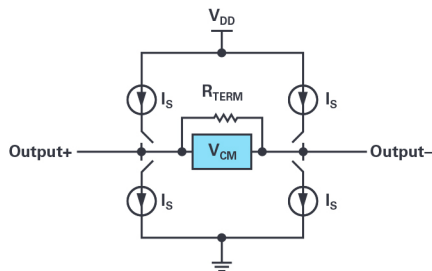


图3 典型CML输出驱动器。

CML驱动器类似于LVDS驱动器，以恒定电流模式工作。这也使得CML驱动器在功耗方面具备一定优势。在恒定电流模式下工作需要较少的输出引脚，总功耗会降低。与LVDS一样，CML也需要负载端接、单端阻抗为50 Ω 的受控阻抗传输线路，以及100 Ω 的差分阻抗。驱动器本身也可能具有如图3所示的端接，对因高带宽信号灵敏度引起的信号反射有所帮助。对采用JESD204标准的转换器而言，差分与共模电平均存在不同规格，具体取决于工作速度。工作速度高达6.375 Gbps，差分电平标称值为800 mV，共模电平约为1.0 V。在高于6.375 Gbps且低于12.5 Gbps的速度下工作时，差分电平额定值为400 mV，共模电平仍约为1.0 V。随着转换器速度和分辨率增加，CML输出需要合适类型的驱动器提供必要速度，以满足各种应用中转换器的技术需求。

数字时序——需要注意的事项

每种数字输出驱动器都有时序关系，需要密切监控。由于CMOS和LVDS有多种数据输出，因此必须注意信号的路由路径，以尽量减小偏斜。如果差别过大，可能就无法在接收器上实现合适的时序。此外，时钟信号也需要通过路由传输，并与数据输出保持一致。时钟输出和数据输出之间的路由路径也必须格外注意，以确保偏斜不会太大。

在采用JESD204接口的CML中，还必须注意数字输出之间的路由路径。需要管理的数据输出大大减少，因此，这一任务比较容易完成，但也不能完全忽略。这种情况下，由于时钟内置于数据中，因此无需担心数据输出和时钟输出之间的时序偏斜。但是，必须注意，接收器中要有合适的时钟和数据恢复(CDR)电路。

除了偏斜之外，还必须关注CMOS和LVDS的建立和保持时间。数据输出必须在时钟边沿跃迁之前的充足时间内驱动到适当的逻辑状态，并且必须在时钟边沿跃迁之后以这种逻辑状态维持充足时间。这可能会受到数据输出和时钟输出之间偏斜的影响，因此，保持良好的时序关系非常重要。由于具有较低信号摆幅和差分信号，LVDS相比CMOS具有一定优势。和CMOS驱动器一样切换逻辑状态时，LVDS输出驱动器无需将这样的大信号驱动至各种不同输出，也不会从电源吸取大量电流。因此，它在切换逻辑状态时不太可能会出现。如果有许多CMOS驱动器同时切换，电源电压可能会下降，将正确的逻辑值驱动到接收器时会出现问题。LVDS驱动器会保持在恒定电流水平，这一特别问题就不会发生。此外，由于采用了差分信号，LVDS驱动器本身对共模噪声的耐受能力也较强。CML驱动器具有和LVDS同样的优势。这些驱动器也有恒定水平的电流，但和LVDS不同的是，由于数据为串行，所需电流值较小。此外，由于也采用了差分信号，CML驱动器同样对共模噪声具有良好的耐受能力。

随着转换器技术的发展，速度和分辨率不断增加，数字输出驱动器也不断演变发展，以满足数据传输需求。随着转换器中的数字输出接口转换为串行数据传输，CML输出越来越普及。但是，

目前的设计中仍然会用到CMOS和LVDS数字输出。每种数字输出都有最适合的应用。每种输出都面临着挑战，必须考虑到一些设计问题，且各有所长。在采样速度小于200 Msps的转换器中，CMOS仍然是一种合适的技术。当采样速率增加到200 MSPS以上时，与CMOS相比，LVDS在许多应用中更加可行。为了进一步增加效率、降低功耗、减小封装尺寸，CML驱动器可与JESD204之类的串行数据接口配合使用。

参考文献

Bloomington, Cindy和Gary Hendrickson. [AN-586应用笔记：高速模数转换器的LVDS数据输出](#)。ADI公司，2002年。

[JEDEC标准：JESD204（2006年4月）](#)。JEDEC固态技术协会。

[JEDEC标准：JESD204A（2008年4月）](#)。JEDEC固态技术协会。

[JEDEC标准：JESD204B（2011年7月）](#)。JEDEC固态技术协会。

作者简介

Jonathan Harris是ADI公司高速转换器部门（位于北卡罗来纳州格林斯博罗）的产品应用工程师。他在射频行业从事产品支持工作超过7年。Jonathan拥有奥本大学电子工程硕士学位和北卡罗来纳大学夏洛特分校电子工程学士学位。

在线支持社区



访问ADI在线支持社区，中文技术论坛
与ADI技术专家互动。提出您的棘手设计问题、浏览常见问题解答，或参与讨论。

请访问ez.analog.com/cn



超越一切可能™

ADI公司
请访问analog.com/cn

如需了解区域总部、销售和分销商，或联系客户服务和技术支持，请访问analog.com/cn/contact。

向我们的ADI技术专家提出棘手问题、浏览常见问题解答，或参与EngineerZone在线支持社区讨论。
请访问ez.analog.com/cn。

©2019 Analog Devices, Inc. 保留所有权利。
商标和注册商标属各自所有人所有。

“超越一切可能”是ADI公司的商标。

TA11328sc-8/19

