

交织采样ADC基础的基本原理

Jonathan Harris, 应用工程师

摘要

在当今的许多细分市场，交错式模数转换器(ADC)在许多应用中都具有多项优势。在通信基础设施中，存在着一种推动因素，使ADC的采样速率不断提高，以便支持多频段、多载波无线电，除此之外满足DPD（数字预失真）等线性化技术中更宽的带宽要求。在军事和航空航天领域，采样速率更高的ADC可让多功能系统用于通信、电子监控和雷达等多种应用中——此处仅举数例。工业仪器仪表应用中始终需要采样速率更高的ADC，以便充分精确地测量速度更高的信号。

首先，一定要准确地了解交织型ADC是什么。要了解交错，最好了解一下实际发生的情况以及它是如何实现的。有了基本的了解后，再讨论交错的好处。当然，我们都知道，天下没有免费的午餐，因此需要充分评估和验证交织采样相关的技术难点。

关于交错

若ADC为交错式，则两个或两个以上具有固定时钟相位差关系的ADC用来同步采样输入信号，并产生组合输出信号，使得采样带宽为单个ADC带宽的数倍。利用 m 个ADC可让有效采样速率增加 m 倍。为简便起见并易于理解，我们重点考察两个ADC的情况。这种情况下，如果两个ADC的每一个采样速率均为 f_s 且呈交错式，则最终采样速率为 $2 \times f_s$ 。这两个ADC必须具有确定的时钟相位差关系，才能正确交错。时钟相位关系由等式1给出，其中： n 是某个特定的ADC， m 是ADC总数。

$$\phi_n = 2\pi \left(\frac{n-1}{m} \right) \quad (1)$$

举例而言，两个ADC采样速率均为100 MSPS且呈交错式，因此采样速率为200 MSPS。此时，等式1可用来推导出两个ADC的时钟相位关系，如等式2和等式3。

$$\phi_1 = 2\pi \left(\frac{1-1}{2} \right) = 0 \text{ radians} = 0^\circ \quad (2)$$

$$\phi_2 = 2\pi \left(\frac{2-1}{2} \right) = \pi \text{ radians} = 180^\circ \quad (3)$$

注意，如果已知时钟相位关系，便可确定不同量化值的组合输出。图1以图形说明时钟相位关系，以及两个100 MSPS交织型ADC的样本结构。注意180°时钟相位关系，以及样本是如何交错的。输入波形也可由两个ADC进行采样。在这种情况下，采用经过2分频的200 MHz时钟输入，并所需的时钟相位发送至每个ADC，便可实现交错。

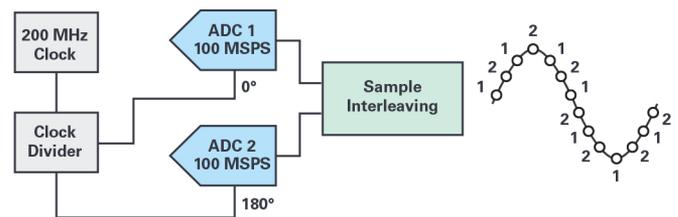


图1. 两个交错式100 MSPS ADC—基本原理图。

此概念还可以以另一种方式表达，如图2所示。通过将这两个100 MSPS ADC以交错方式组合，采样速率便能增加至200 MSPS。这样每个奈奎斯特区可以从50 MHz扩展到100 MHz，使工作时的可用带宽翻倍。增加的工作带宽可为多个市场领域的应用带来诸多优势。无线电系统可以增加其支持的频段数；雷达系统可以增加空间分辨率；而测量设备可以实现更高的模拟输入带宽。

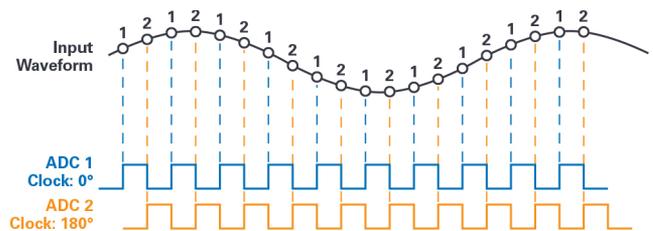


图2. 两个交错式100 MSPS ADC—时钟和样本。

交错的优势

交错结构的优势可惠及多个细分市场。交织型ADC最大好处是增加了带宽，因为ADC的奈奎斯特带宽更宽了。同样，我们举两个100 MSPS ADC交错以实现200 MSPS采样速率的例子。图3显

示通过交错两个ADC，可以大幅增加带宽。这为多种应用场景产生了诸多收益。就像蜂窝标准增加了通道带宽和工作频段数一样，对ADC可用带宽的要求也越来越高。此外，在军事应用中，需要更好的空间识别能力以及增加后端通信的通道带宽，这些都要求ADC提供更高的带宽。由于这些领域对带宽的要求越来越高，因此需要准确地测量这些信号。因此，为了正确地获取和测量这些高带宽信号，测量设备也需要更高的带宽。很多设计中的系统要求其实领先于商用ADC技术。交错结构可以弥补这一技术差距。

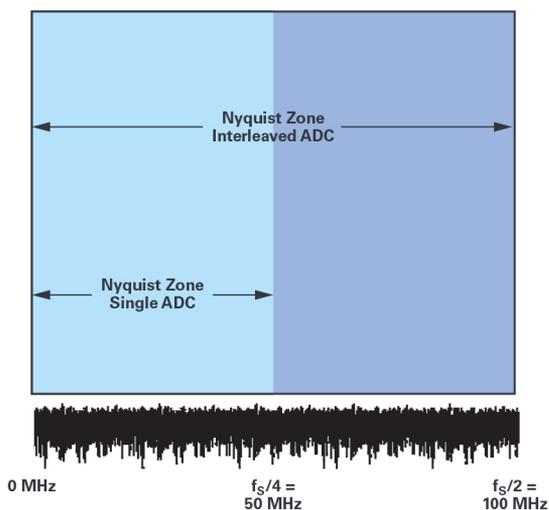


图3. 两个交错型ADC——奈奎斯特区。

增加采样速率能够为这些应用提供更多的带宽，而且频率规划更轻松，还能降低通常在ADC输入端使用抗混叠滤波器时带来的复杂性和成本。面对这些优势，大家一定想知道需要为此付出什么代价。就像大多数事情一样，天下没有免费的午餐。交错型ADC具有更高的带宽和其他有用的优势，但在处理交错型ADC时也会带来一些挑战。

交错挑战

在交错组合ADC时存在一些挑战，还有一些注意事项。由于与交错ADC相关的缺陷，输出频谱中会出现杂散。这些缺陷基本上是两个正在交错的ADC之间不匹配。输出频谱中的杂散导致的基本不匹配有四种。包括失调不匹配、增益不匹配、时序不匹配和带宽不匹配。

其中最容易理解的可能是两个ADC之间的失调不匹配。每个ADC都会有一个相关的直流失调值。当两个ADC交错并在两个ADC之间来回交替采样时，每个连续采样的直流失调会发生变化。图4举例说明了每个ADC如何具有自己的直流失调，以及交错输出如何有效地在这两个直流失调值之间来回切换。输出以 $f_s/2$ 的速率在这些失调值之间切换，将导致位于 $f_s/2$ 的输出频谱中产生杂散。由于不匹配本身没有频率分量，并且仅为直流，因此出现在输出频谱中的杂散频率仅取决于采样频率，并将始终出现

在 $f_s/2$ 频率下。杂散的幅度取决于ADC之间失调不匹配的幅度。不匹配值越大，杂散值就越大。为了尽可能减少失调不匹配导致的杂散，不需要完全消除每个ADC中的直流失调。这样做会滤除信号中的所有直流成分，不适合使用零中频(ZIF)架构的系统，该架构信号成分复杂，DC量实际是有用信号。相反，更合适的技术是让其中一个ADC的失调与另一个ADC匹配。选择一个ADC的失调作为基准，另一个ADC的失调设置为尽可能接近的值。失调值的匹配度越高，在 $f_s/2$ 产生的杂散就越低。

交错时要注意的第二个不匹配是ADC之间的增益不匹配。图5显示了两个交错转换器之间的增益不匹配。在这种情况下，有一个不匹配频率分量。为了观察这种不匹配，必须向ADC施加信号。对于失调不匹配，无需信号即可查看两个ADC的固有直流失调。对于增益不匹配，如果不存在信号，就无法测量增益不匹配，因而无法了解增益不匹配。增益不匹配将会产生与输入频率和采样速率相关的输出频谱杂散，出现在 $f_s/2 \pm f_m$ 处。为了最大程度地降低增益不匹配引起的杂散，采用了与失调不匹配类似的策略。选择其中一个ADC的增益作为基准，另一个ADC的增益设置为尽可能接近的值。每个ADC增益值的匹配度越高，输出频谱中产生的杂散就越小。

接下来，我们必须探讨两个ADC之间的时序不匹配。时序不匹配有两个分量：ADC模拟部分的群延迟和时钟相位偏差。ADC中的模拟电路具有相关的群延迟，两个ADC的群延迟值可能不同。此外还有时钟偏斜，它也包括两个分量：各ADC的孔径不确定性和一个与输入各转换器的时钟相位精度相关的分量。图6以图形说明ADC时序不匹配的机制和影响。与增益不匹配杂散相似，时序不匹配杂散也与输入频率和采样速率呈函数关系，出现在 $f_s/2 \pm f_m$ 处。

为了尽可能降低时序不匹配引起的杂散，需要利用合适的电路设计技术使各转换器模拟部分的群延迟恰当匹配。此外，时钟路径设计必须尽量一致以使孔径不确定性差异最小。最后，必须精确控制时钟相位关系，使得两个输入时钟尽可能相差 180° 。与其他不匹配一样，目标是尽量消除引起时序不匹配的机制。

最后一个不匹配可能最难理解和处理：带宽不匹配。如图7所示，带宽不匹配具有增益和相位/频率分量。这使得解决带宽不匹配问题变得更为困难，因为它含有另外两个不匹配参数的分量。然而，在带宽不匹配中，我们可在不同的频率下看到不同增益值。此外，带宽具有时序分量，使不同频率下的信号通过每个转换器时具有不同的延迟。出色的电路设计和布局布线实践是减少ADC间带宽失配的最好方法。ADC之间的匹配越好，则产生的杂散就越少。正如增益和时序不匹配会导致在输出频谱的 $f_s/2 \pm f_m$ 处产生杂散一样，带宽不匹配也会在相同频率处产生杂散。

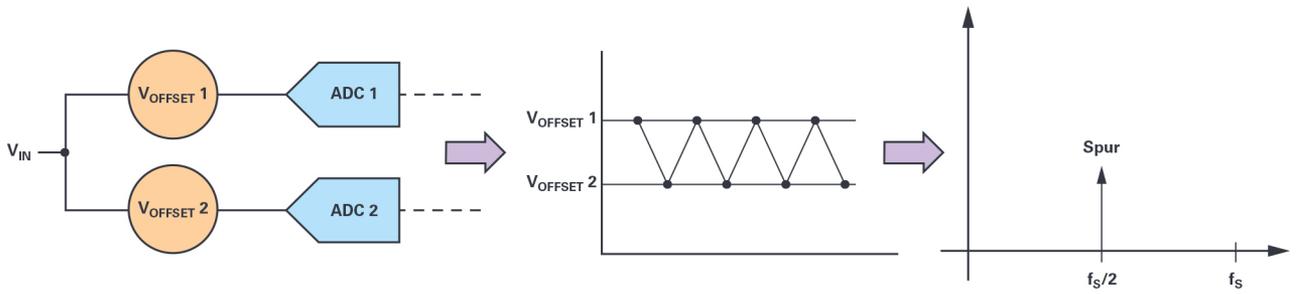


图4. 失调不匹配。

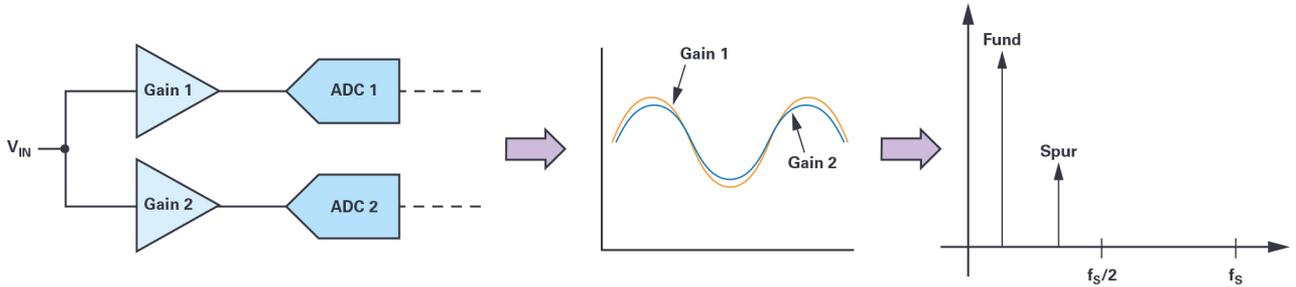


图5. 增益不匹配。

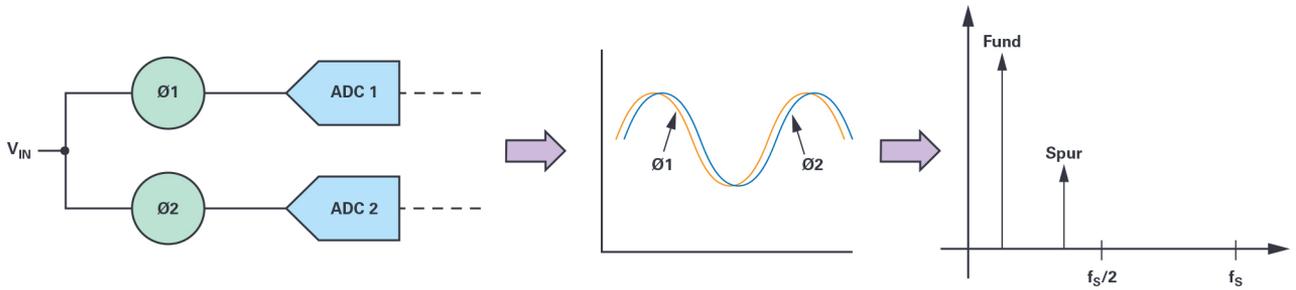


图6. 时序不匹配

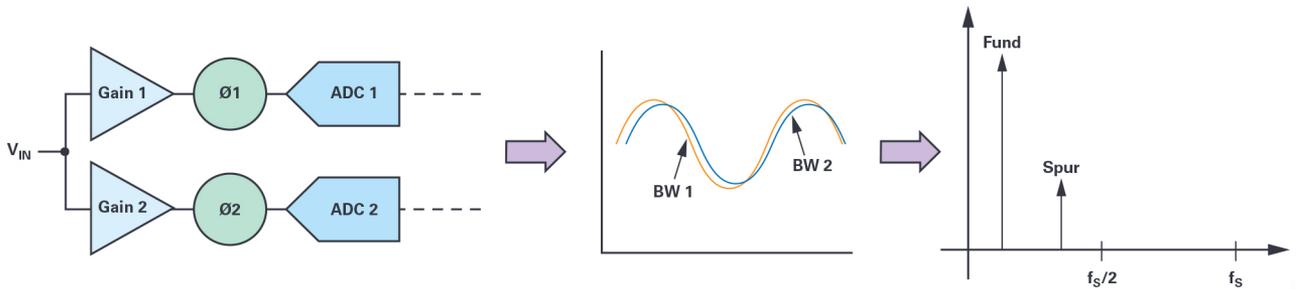


图7. 带宽不匹配。

现在我们已经讨论了交错ADC时引起问题的四种不同的不匹配，可以发现有一个共性。四个不匹配中有三个会在输出频谱的 $f_s/2 \pm f_{IN}$ 处产生杂散。失调不匹配杂散很容易识别，因为只有它位于 $f_s/2$ 处，并可轻松地进行补偿。增益、时序和带宽不匹配

都会在输出频谱的 $f_s/2 \pm f_{IN}$ 处产生杂散；因此，随之而来的问题是：如何确定它们各自的影响。图8以简单的图形方式指导如何从交织型ADC的不同不匹配中识别杂散来源。

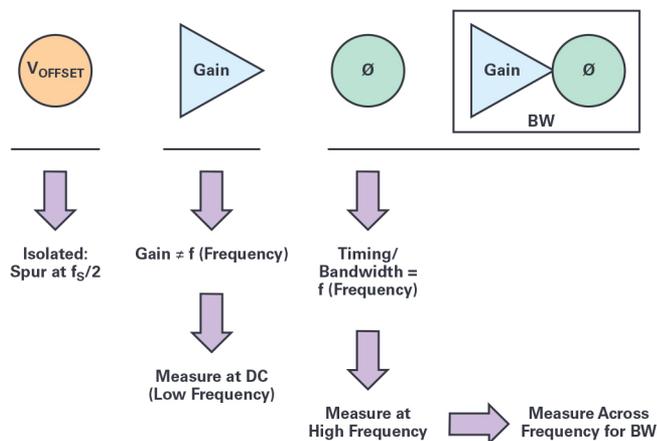


图8. 交错式不匹配的相互关系。

如果只是考察增益不匹配，那么它就是一个低频（或直流）类型的不匹配。通过在直流附近执行低频增益测量，然后在较高的频率处执行增益测量，可将带宽不匹配的增益分量与增益不匹配分离。增益不匹配与频率无函数关系，而带宽不匹配的增益分量与频率呈函数关系。对于时序不匹配，可以采用类似的方法。在直流附近执行低频测量，然后在较高的频率下执行后续测量，以便将带宽不匹配的时序分量与时序不匹配分离。

结论

最新通信系统设计、尖端雷达技术和超高带宽测量设备似乎始终领先于现有的ADC技术。在这些需求的推动下，ADC的用户和制造商都想方设法，试图跟上这些需求的步伐。与提高典型ADC转换速率的传统方式相比，交错ADC可以更快的速度实现更宽的带宽。将两个或更多ADC交错起来，可以增加可用带宽，并以更快的速度满足系统设计要求。然而，交错ADC并非没有代价，ADC之间的不匹配不容忽视。虽然不匹配确实存在，但了解其本质及如何正确处理它们，设计人员就能更加明智地利用这些交织型ADC，并满足最新系统设计不断增长的要求。

参考文献

Had, Jim、Mark Looney和Rob Reeder。“推动多通道模数转换器技术发展。”《模拟对话》，第39卷第5期，2005年5月。

作者简介

Jonathan Harris是ADI公司高速转换器部（北卡罗来纳州格林斯博罗）的一名产品应用工程师。作为一名产品支持应用工程师，他在射频业拥有超过七年的经验。Jonathan拥有奥本大学电子工程硕士学位和北卡罗来纳大学夏洛特分校电子工程学士学位。平时喜欢移动音频、nitro RC、大学橄榄球，以及陪伴两个孩子。

在线支持社区



访问ADI在线支持社区，中文技术论坛

与ADI技术专家互动。提出您的棘手设计问题、浏览常见问题解答，或参与讨论。

请访问ez.analog.com/cn



超越一切可能™

ADI公司
请访问analog.com/cn

如需了解区域总部、销售和分销商，或联系客户服务和技术支持，请访问analog.com/cn/contact。

向我们的ADI技术专家提出棘手问题、浏览常见问题解答，或参与EngineerZone在线支持社区讨论。
请访问ez.analog.com/cn。

©2019 Analog Devices, Inc. 保留所有权利。
商标和注册商标属各自所有人所有。

“超越一切可能”是ADI公司的商标。

TA11329sc-10/19

