

使用JESD204B 同步多个ADC

Ian Beavers, 应用工程师

摘要

许多通信、仪器仪表和信号采集系统需要同时通过多个模数转换器(ADC)对模拟输入信号进行采样。由于这些输入信号各自有不同的延迟,所以必须对输入的采样数据做同步处理。为满足低电压数字信号(LVDS)和并行输出ADC的需要,延迟不一致的问题对系统设计人员而言历来是一个难题。

JESD204B提供了一个方法通过一个或多个差分信号发送高速串行数据,比如发送ADC的输出。JESD204B规范本身具有实现通道间粗调对齐的功能。数据分割为帧,并持续发送至接收器。通过使用系统参考事件信号(SYSREF),JESD204B Subclass 1接口支持多个串行通道链路或多个ADC的数据对齐至SYSREF,以便同步发射器和接收器的内部帧时钟。这使得采用JESD204B链路的设备具有确定延迟。但是,为了让采样同步达到彻底的时序收敛,仍然有许多挑战等待系统设计人员去解决,如PCB布局考虑、时钟匹配和产生SYSREF以满足时序、SYSREF的周期性以及数字FIFO延迟的要求。

设计师必须决定设备时钟和SYSREF信号如何生成、以及如何在系统中分配。理想状态下,设备时钟和SYSREF应具有相同的摆幅和电平偏移以防止在器件引脚端引入固有的时延。SYSREF既可作为系统启动时候所需的单次触发,也可作为任意时刻需要同步时即可发生的重复信号。需要将时钟和SYSREF信号的最大偏斜纳入考虑范围,并仔细布局PCB,以满足整个电路板、连接器、背板和多种元件对于建立和保持时间的要求。最后,应将JESD204B发射器和接收器内部的数字FIFO以及信号跨时钟域传输所造成的固有时延计算在内并在后台数据处理中消除。

系统时钟可由晶振、VCO和时钟发生或时钟分配芯片产生。虽然特定的系统性能将决定对时钟的需求,但必须使用多个同步ADC来产生与输入时钟源同步的SYSREF信号。这使得时钟源的选择成为重要的考虑因素,因为要能够通过已知时钟边沿在特定的时间点上锁存这一系统参考事件。若SYSREF信号和时钟未锁相,则无法达到这样的效果。

可使用FPGA为系统提供SYSREF事件。然而,除非FPGA也同步至发送到ADC的主时钟,否则FPGA发出的SYSREF信号很难跟主时钟对齐相位。另一种方法是由时钟发生或时钟分配芯片提供SYSREF信号,可通过发送至整个系统的信号相位同步至多个时钟。采用此种方法,则SYSREF时间根据系统需要,既可以是启动时的一次性事件,也可以是重复信号。

只要确定性延迟在整个系统的ADC和FPGA内保持恒定,则可能并不需要额外的SYSREF脉冲,除非为了帮助产生特定的系统数据。因此,用于时钟对齐的周期性SYSREF脉冲可忽略或过滤掉,直到同步丢失。可只标识SYSREF发生过,但不重置JESD204B链路。

为了初始化ADC通道确定的起始点,系统工程师必须要能满足所有分布在系统中的SYSREF的时序要求。这意味着必须满足和时钟相关的建立和保持时间。只要能够满足到达第一个所需时钟的建立时间要求,使用跨越多个时钟周期、相对较长的SYSREF脉冲可用于满足保持时间的需要。必须格外注意PCB的布局,保证系统中时钟和SYSREF布线长度匹配,以便使偏斜尽可能小。这可能是获得通道间同步采样处理结果的最困难的部分。随着ADC编码时钟速率的增加以及多电路板系统越发复杂,这一过程还将变得更困难。

系统工程师必须确定知道每个器件上的在电路板元件之间以及连接器上的SYSREF至时钟的偏斜。任何残余的器件间数字和时钟偏斜延迟都必须在FPGA或ASIC内有效归零。后台处理可能改变ADC的采样顺序并进行任何必要的重对齐,以便为数据的进一步同步处理作准备。在后台FPGA或ASIC中,可通过延迟最快的数据采样和发射器延迟,使其与最慢的数据采样对齐,以完成器件间采样偏斜的校正。对于复杂的系统,这可能需要用多个FPGA或ASIC,每个器件都需要了解其器件间总采样延迟,以便用于最终的对齐。通过在JESD204B接收器中采用合适的缓冲器延迟来应对每个特定的发射器延迟,器件间的采样偏斜便可在整个系统中与已知确定值对齐。

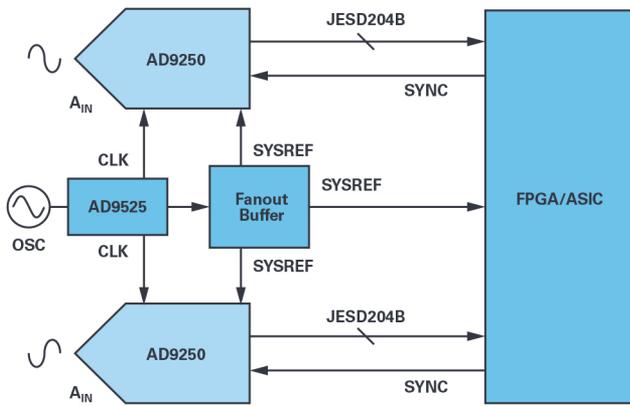


图1. AD9250、AD9525和FPGA示意图。

AD9250是ADI的一款250 MSPS、14位、双通道ADC，可在subclass1的实施支持JESD204B接口。该子类支持采用SYSREF事件信号的ADC采样同步。AD9525是一款低抖动时钟发生器，不仅提供7个高达3.1 GHz的时钟输出，还可根据用户配置同步SYSREF输出信号。这两款产品与ADI的可选扇出缓冲器产品组合使用，可精确同步与对齐多个发送至FPGA或ASIC处理的ADC数据。

作者简介

Ian Beavers是ADI公司自动化、能源和传感器部（美国北卡罗来纳州格林斯博罗）的产品工程经理。他于1999年加入公司。Ian拥有超过20年的半导体行业工作经验。Ian于美国北卡罗来纳州立大学获得电气工程学士学位并于格林斯博罗分校获得工商管理硕士学位。联系方式：ian.beavers@analog.com。

在线支持社区



访问ADI在线支持社区，中文技术论坛

与ADI技术专家互动。提出您的棘手设计问题、浏览常见问题解答，或参与讨论。

请访问ez.analog.com/cn



超越一切可能™

ADI公司
请访问analog.com/cn

如需了解区域总部、销售和分销商，或联系客服和技术支持，请访问analog.com/cn/contact。

向我们的ADI技术专家提出棘手问题、浏览常见问题解答，或参与EngineerZone在线支持社区讨论。
请访问ez.analog.com/cn。

©2019 Analog Devices, Inc. 保留所有权利。
商标和注册商标属各自所有人所有。

“超越一切可能”是ADI公司的商标。

TA11325sc-8/19

