

高速数据转换器的最新高速JESD204B标准带来了验证挑战

Frank Farrelly, ADI公司产品工程经理;
Chris Loberg, Tektronix高级技术营销经理

摘要

JESD204B面向高速、高分辨率数据转换器的12.5Gbps串行接口标准。转换器制造商的相关产品已进入市场，并且支持JESD204B标准的产品预计会在不久的将来大量面世。JESD204B接口的主要价值在于，它能够可靠地增加转换器和逻辑器件（比如FPGA或ASIC）之间的数据传输带宽。

与任何新接口一样，JESD204B同样带来了新的挑战。对于系统开发人员而言，他们面临的挑战是如何从PCB设计的角度实现JESD204B的最佳设计，以及出现问题后如何进行系统调试。对于元件制造商而言，他们面临的挑战包括测试全新的JESD204B器件。测试不仅可以保证器件在相对理想的环境下符合规范，还能确保JESD204B器件在最终系统环境下的正常工作。

本文讨论JESD204B规范，回顾验证JESD204B器件所需的测试，并罗列重现最终系统环境的方法。

JESD204B—数据转换器的自然演进

从音频和音乐到测试仪器仪表，很多应用都要用到数据转换器（数模转换器和模数转换器）。数据转换器的产品处于不断演进中。随着位深和采样速率的增加，数据输入与输出也变得越来越困难。十年或二十年前，高速转换器的采样速率不超过100 MSPS，因此使用TTL或CMOS并行数据总线就足够了。例如，可将集成12个数据专用引脚的12位转换器设置为相对于时钟而言具有适当的建立与保持时间。

随着速度突破100 MSPS，便不再能够维持这种单端信号的建立与保持时间。为了提升速度，高速转换器转而采用差分信号，但代价是引脚数更多了。例如，12位转换器此后便需要针对数据提供24个专用引脚。为了解决引脚数量的问题，引入了串行数据接口。转换器的6×串行数据接口现只需两个差分I/O（仅4个

引脚）便可实现同一个12位转换器的数据传输。飞速发展到今天，数据转换器的数据接口现已采用JESD204B规范来进行开发。

JEDEC标准组织发布了两种版本的JESD204高速串行数字接口规范。JESD204 2006规范是第一个版本，该版本为数据转换器带来了SerDes高速串行接口的优势，最高额定速度为3.125 Gbps。该版本于2008年发布了修订版（JESD204A 2008规范），并加入了重要的增强特性，包括支持多条数据通道和通道同步。JESD204B是该规范的第二个版本，由国际JEDEC JC-16任务组（项目：150.01）开发，该任务组由25家公司的约65名成员组成。它提供一系列重大增强特性，包括更高的最大通道速率、支持接口的确定性延迟，以及支持同步帧时钟。

缺少官方兼容性测试规范

与其他很多高速串行接口标准不同，JESD204B标准不含官方兼容性测试规范。测试规范的价值极高，因为它列出了确保兼容性所必须执行的测试，以及测试步骤。让不同制造商使用统一的步骤有助于确保对规范取得共识，并消除假设性差异。但缺少官方的兼容性测试规范并不意味着缺少一切。开发一组测试与步骤所需的一切信息均已包含在JESD204B规范，以及相应规范中。各芯片制造商和系统开发商需收集这些信息。

物理层测试

物理层（或称PHY）测试与各数据通道驱动器和接收器电路有关：换言之，它是链路的模拟测试。它们不包括数字功能性测试或流程性测试。开发完整的PHY测试列表时，可从OIF-CEI-02.0规范第1.7节中获取SerDes PHY测试的推荐列表。JESD204B规范严格遵循这些建议，但作了部分修改。例如，JESD204B未将随机抖动指定为独立测试项目，而是选择将其包含在总抖动中。另外，JESD204B指定JSPAT、JTSPAT和经过修改的RPAT作为建议测试图案，而OIF-CEI-02.0规范则采用PRBS31序列。

除了所需的PHY测试外，还可执行额外的PHY测试——一些OIF-CEI-02.0规范或者JESD204B规范的PHY部分未列出的测试。比如，可以参考其他SerDes兼容性测试规范，并采用诸如对内偏斜（针对发射器）和对内偏斜容差（针对接收器）等测试。提到这些并不是为了建议将这些测试纳入JESD204B规范中，因为确保JESD204B兼容性不需额外的PHY测试；提到这些内容的目的是为了提醒人们：如果某个PHY测试失败，可以使用其他PHY测试来帮助了解失败的原因。

确定测试列表后，可从JESD204B规范获得测试结果允许的范围。只需记住存在三类规范：LV-OIF-11G-SR、LV-OIF-6G-SR和

LV-OIF-Sx15。某个特定的JESD204B器件可支持多种规范。这种情况下，应测试元件支持的全部规范。

JESD204B PHY测试可能产生的一种混淆与抖动术语有关。JESD204B和OIF-CEI-02.0规范使用不同的术语，因而不同测试设备供应商使用的术语也有所不同。典型抖动图如图1所示。测试设备生产商的术语依据工业标准双Dirac抖动模型。这种术语上的不同可能会影响测试步骤，而抖动又是非常棘手的问题。表1显示的是我们翻译的抖动术语（JESD204B规范使用的抖动术语和测试设备供应商有所不同）。

表1. 抖动术语翻译

| JESD204B 抖动术语 | JESD204B 抖动名称 | 测试设备抖动和翻译 |
|---------------|----------------|---------------------|
| T_UBHPJ | 传输不相关有界高概率抖动 | BUJ (PJ 和 NPJ) |
| T_DCD | 传输占空比失真 | DCD |
| T_TJ | 传输总抖动 | TJ |
| R_SJ-HF | 接收正弦抖动，高频 | PJ > 1/1667 × BR |
| R_SJ-MAX | 接收正弦抖动，最大 | PJ < 1/166,700 × BR |
| | 接收有界高概率抖动——相关 | DDJ |
| R_BHPJ | 接收有界高概率抖动——不相关 | NPJ |
| R_TJ | 接收总抖动 | TJ |

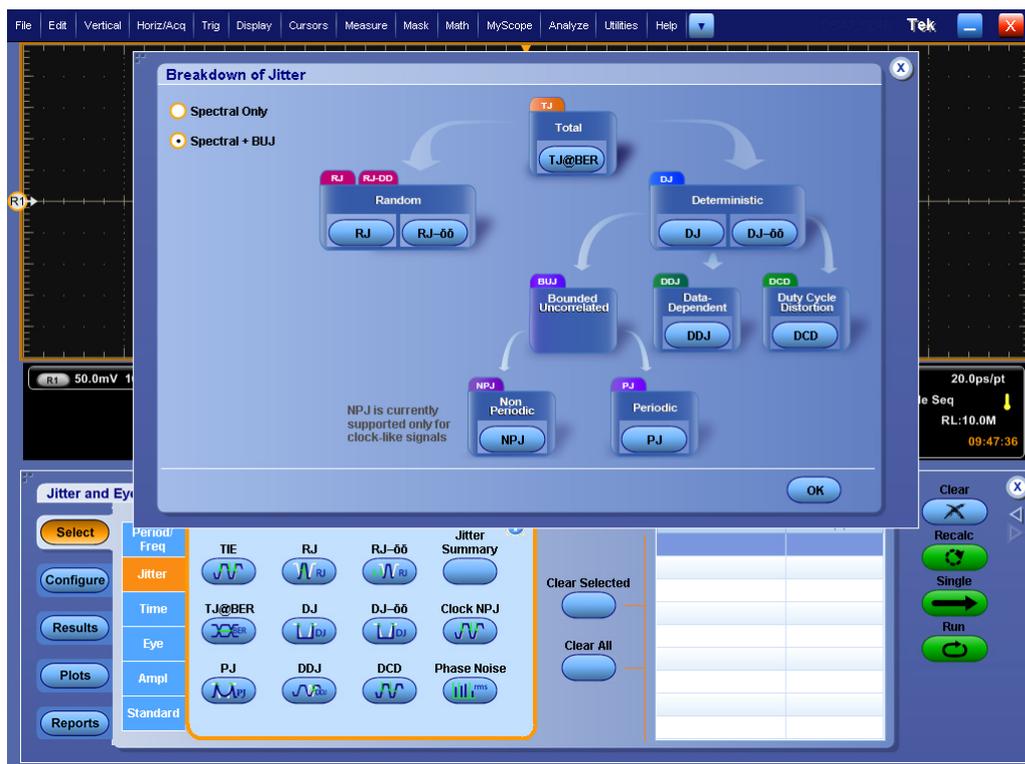


图1. 典型抖动图，包括识别有界不相关抖动(BUJ)。

JESD204B PHY测试的另一处可能混淆的地方是数据速率超过11.1 Gbps的眼图模板。JESD204B规格中，对于高于11.1 Gbps的数据速率，应使用11.1 Gbps归一化位周期。因此，如果工作速率

为12.5 Gbps（位周期为80 ps），则应使用11.1 Gbps（90.9 ps）位周期。这里的问题是，眼图模板可以始于UI的边缘，也可以始于UI中心，而JESD204B并未明确定义其起始参照点。如果参照点是

UI中心，则在12.5 Gbps时眼图模板比一般情况下要大，因而发射器更不容易通过，但便于接收器工作。如果参照点是UI边缘，则在12.5 Gbps时眼图模板比一般情况下要小，因而发射器更容易通过，但不利于接收器工作。在这个问题得到解决以前，建议对两个眼图模板选项分别进行测试，以保证兼容性。

时序测试

列出JESD204B的完整时序测试列表是非常困难的。在整个规范中，至少定义了十几种时序图，而且无法很快确定发射器、通道或接收器各自对应的时序。此外，某些时序仅适用于特定的子类（0、1或2）。如果只是简单地将时序规格整合到一张表格内，那么官方兼容性测试规范将起到非常大的作用。只要花一些时间系统地了解这些时序规范，就不会产生混淆。

对于系统开发人员来说，有关时序的一个好消息是，为JESD204B元件设定时序比从规格中直接获取相关信息更容易了。对于子类0和2来说，只需指定器件的时钟到SYNC~时序。对于子类1而言，只需指定器件的时钟到SYSREF时序。

协议测试

对于PHY测试，没有官方的JESD204B协议测试列表。因此，用户需自行浏览规范内容，并编写待测功能列表。本节罗列了大量推荐协议测试，并给出简要说明。

协议测试需要特定的测试序列。对于PHY测试，JESD204B发送器必须要能够输出JSPAT以及修改过得RPAT序列。从协议角度来看，需验证这些序列的正确性。JESD204B接收器以及JTSPAT序列同样如此。或者，如果支持PRBS序列，那么也需对其进行验证。下一步是短传输层和长传输层序列。这些内容可以证明链路通过传输层后工作正常，以帮助系统开发人员进行系统调试。就元件制造商而言，需针对器件支持的每一种工作模式验证这些传输层序列；考虑到链路配置变量的数目，这将会产生大量的不同情况。

有关协议测试带来的一个问题是如何在12.5 Gbps下完成。一种建议的解决方案是使用带串行数据解码器的高速示波器。现在很多高端示波器都配备了专用触发芯片，触发8B/10B数据，以支持JESD204B。图3显示JESD204B数据通道在6 Gbps下的串行解码，位置是初始通道对齐序列(ILAS)的起点。

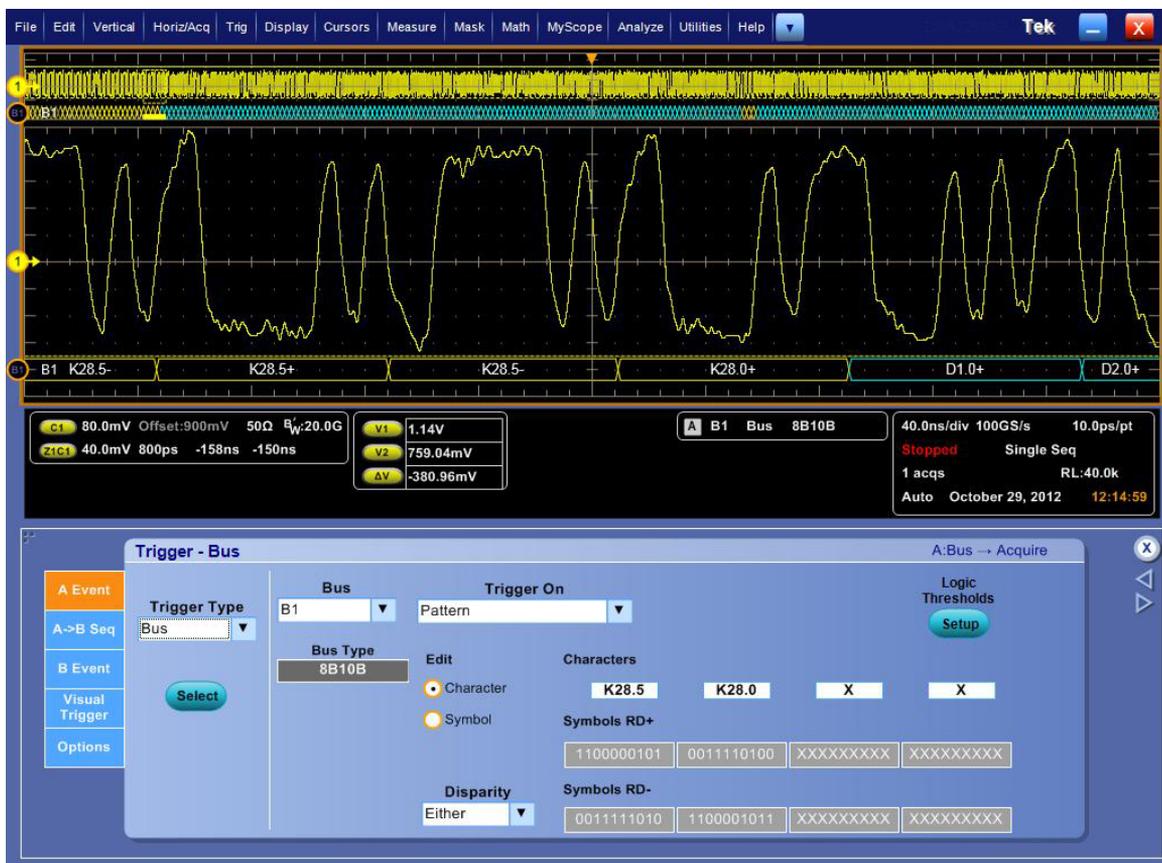


图2. 在6 Gbps下对JESD204B数据通道进行串行解码，并显示ILAS的起始。

另一组协议测试可围绕ILAS构建。ILAS作为整体而言非常复杂，因此将其分配到各独立的元件能让协议测试更有意义。下列测试示例可用于发送器的测量，验证其工作情况。多帧长度正确

吗？是不是每个多帧都以/R/控制码开头，以/A/控制码结尾？/O/控制码是否位于正确的位置？链路配置数据及其位置是否正确？ILAS含有数据；是真的吗？ILAS持续几个多帧？是否所有通

道上的ILAS都相同？显然，围绕ILAS序列展开的协议测试具有很大的潜力。

JESD204B没有太多握手，但这个简单的握手过程也需要测试。这取决于子类，可执行一系列测试。由于SYNC~信号可用作初始握手、错误报告以及链路再初始化，收发器和接收器元件是否正确执行相应的功能？接收器置位SYNC~是否始于正确的时间，且持续正确的时间？收发器是否根据SYNC~置位的持续时间而作出正确的反应？由于通过链路发送的数据同样参与了握手（即ILAS），其内容是否正确，并对应于SYNC~时序？

其次，有一系列较小的数字功能需作为协议的一部分进行测试，包括加扰、8B/10B编码/解码、偏斜和偏斜容差、控制位、结束位、SYNC~信号结合、帧对齐监控与校正。所有这些功能都需验证。

最后，有一类协议测试称为错误处理。规格定义了一组基本错误，必须检测并汇报：偏差错误、表外错误、意外控制字符错误以及代码组同步错误。但除此之外还能检测并汇报很多潜在错误。对于JESD204B元件可以检测的每一种类型，都应有一个协议测试。测试并验证这类协议时可能会遇到一些挑战，因为正常工作的链路永远不会运用它们。通常它们需要用到专门测试设备。BERT序列发生器能够产生含有错误的图案，可在很多测试中使用。FPGA以及修改过的代码可专门用来产生那些错误。

加重和均衡测试

JESD204B规范很少涉及加重和均衡。有一些说明可让人确信规范允许他们这么做，比如“可能需要预加重”以及“可能需要部署均衡”，但规范也并未给出任何额外的指南。使用集成加重或均衡功能的JESD204B转换器时，人们如何确定是否需开启这些功能，以及应在多大程度上使用它们呢？为了回答这个问题，最好先理解抖动的一种类型，称为符号间干扰(ISI)。ISI这个名称表示边沿时序的变化，由传输线上的滤波效应所导致。数学上，它能简单地建模为低通滤波器。通过传输线发送高速串行数据时，该滤波效应会使信号失真。加重和均衡可以抵消ISI的滤波效应，其目的是将通道终端的频率响应带回到频率范围内尽可能接近平坦的程度，从而使信号不为ISI的失真所影响。

对加重和均衡以及ISI有了基本了解之后，下一步便是设置。很多人首先会问，采用与不采用加重/均衡的情况下，走线分别能驱动到多远的距离。现实中，PCB设计时存在太多的变量会影响ISI，进而影响通道的走线长度。这些变量有：走线宽度、走线长度、是否有过孔、电介质材料、有无连接器、走线材料、转折频率、无源器件，以及与接地层之间的距离等都会影响通道性能。那么，通道特性又是如何与加重/均衡相关的呢？答案在于通道的插入损耗。在JESD204B规范中，插入损耗定义为信号在频率范围内的功率损耗。加重、均衡和PCB通道都会受到插入损耗（和增益）的影响。采用相关频率（JESD204B规范中

罗列了3/4波特率）和插入损耗限值（JESD204B罗列了-6 dB），可选择加重和/或均衡提供的增益，将特定频率下的频率响应提升至损耗限值以上。例如，在+9 GHz时损耗为-12 dB的PCB通道需要+6 dB加重/均衡增益，才能使总响应回升至-6 dB。

另外，转换器制造商可以提供一张表格，列出加重/均衡设置与PCB插入损耗的关系。这种方法可以催生出更好的解决方案，因为它没有太多的假设。如需为发送器构建这样的表格（并仿真最终系统设计），可搭建一组具有不同走线长度的测试评估板。

可直接测量PCB走线终点处的眼图，并与JESD204B接收器眼图模板相比较。尝试各种PCB走线长度，然后找出使眼图恰好通过接收器眼图模板的长度。由于可测量该特定走线的插入损耗，因此特定加重设置的驱动能力是已知的。可以将图3中ISI PCB终点处的眼图与图4，ISI PCB起点处的眼图，进行对比。此时，数据速率为5 Gbps，ISI PCB在4 GHz处的插入损耗为8 dB，加重处于关断状态。

采用不同的加重设置重复该过程，则可得到加重设置与插入损耗的关系表。可在接收器上采用均衡执行类似的操作。一开始可以采用输出总抖动为最大允许值的BERT发生器（ISI抖动除外）。使用走线长度不同的同一组ISI测试板，并在测试中不断增加走线长度，直到接收器开始出现超过目标误码率的错误（ 1×10^{-15} ）。测量PCB走线插入损耗。针对每一个均衡器设置重复此过程。总而言之，如果JESD204B器件制造商仅提供加重/均衡增益，则可以采用第一种方法来拾取设置。而最佳方法则是制造商提供设置与通道插入损耗的关系表。

是否需要使用加重或均衡？从频率响应校正的角度来说，应该使用哪一种都没有很充分的理由。然而，大多数情况下，加重可以产生一定量的增益，且功耗更低。若系统功耗很重要，那么这将是采用加重而非均衡的一个理由。选择加重而不选择均衡的另一个优势，是它对信号的影响可以直接通过示波器进行衡量。

JESD204B发射器具备加重以及接收器具备均衡也是很常见的。如何确定是否同时开启两种功能？简单而言，如果通道的插入损耗无法只采用加重或者只采用均衡而克服，那么就应当同时使用这两者。至于两者的增益如何设置，则以插入损耗（和增益）来指定响应的一个优势便是，它是可以相加的。例如，在目标频率处：若PCB走线损耗为-20 dB，发射器加重为+6 dB，接收器均衡为+8 dB，则它们的总和可以表示为： $-20 \text{ dB} + 6 \text{ dB} + 8 \text{ dB} = -6 \text{ dB}$ 。

系统环境仿真——噪声和抖动

没有哪一种最终系统设计是不存在噪声或抖动的。JESD204B规范完整定义了系统抖动的仿真，但未定义电压噪声。若要在最终系统设计中仿真电压噪声，则元件制造商可以执行噪声容差

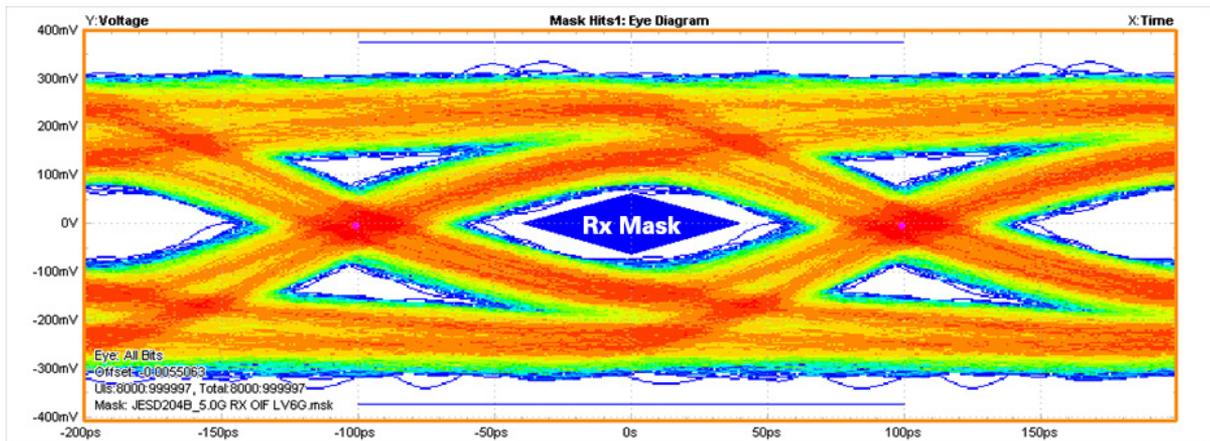


图3. 长ISI PCB终点处的眼图。

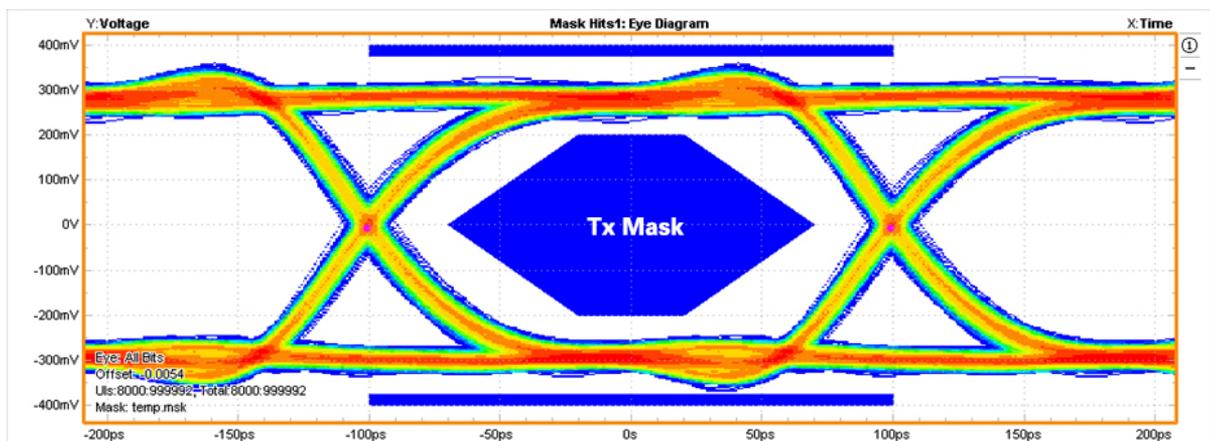


图4. ISI PCB起点处的眼图。

测试。电源噪声容差就属于这类测试。执行该测试时，将噪声引入元件的各种电源域内。增加噪声幅度，直到第一次兼容性测试失败（通常情况下，抖动会导致第一次测试在SerDes处失败）。在那些通常存在PCB噪声的频率范围内重复该测试（数Hz到100 MHz左右）。由此可产生最大电源噪声容差与频率的关系曲线。可在其他所有引脚上执行同样的测试。所有这些测试的最终结果通常会给出一组实用的PCB设计建议，比如“隔离某个特定的电源域”或者“在此引脚上使用一个旁路电容”，又或者“不要在此引脚附近路由任何信号”。

测量时保持信号完整性

与任何高速串行测试应用相同，可通过一系列的最佳实践来确保具有精确的测量结果；另外，您必须确认您的仪器仪表提供足够的性能与信号完整性，以便得到准确的测试结果。下面是一些考虑因素：

动态范围：一般而言，最好使用示波器的整个模数动态范围，避免放大器被削波。考察时钟信号时削波或许是可以接受的，但这样做会隐藏评估数据信号时的ISI问题，并且还会影响到仪器仪表的边沿插值算法。

采样速率：将示波器设为最高采样速率可提供最佳时序解决方案，可获得最精确的信号和抖动测量结果。但有一种情况例外，即以较低的时序精度观察较长的时间窗口。

捕获窗口：在时间较长的窗口范围内分析信号可让您观察到低频调制效果，比如电源耦合和扩频时钟。不幸的是，扩宽捕获窗口同时也会增加分析处理时间。通常在SerDes系统中，并没有必要去查看CDR环路带宽（即跟踪并抑制的带宽）以下的调制效果。

测试点访问和去嵌入：确保采用适当机制，将探针保持在尽量靠近发射器测试点以及接收器测试点的位置。执行高速信号测试时，如果测量过程中引入了长走线和/或实际发射器/接收器测试点夹具所产生的干扰信号，则针对时序和幅度的测量会严重影响裕量测试结果。

某些情况下，探针访问点的位置可能会造成信号衰减；这是由传输线长度所导致。这种情况下，您可能需要去嵌入传输线才能看到真正的信号。去嵌入包括重建仪器仪表与目标测试点之间的测量通道模型（使用S参数线性法）。可将该模型用于示波器获取的波形数据，以补偿传输线衰减（见图5）。

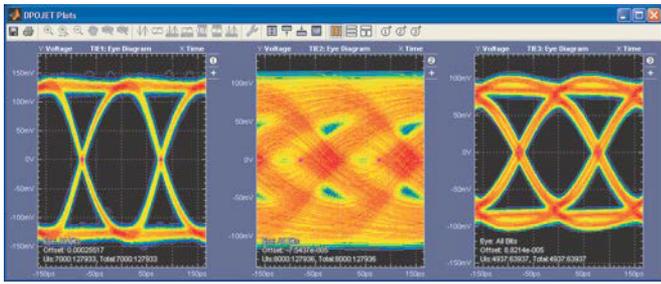


图5. 表示测试夹具、通道终端以及后置均衡测量的眼图。

通过在测量技术中实现良好的信号完整性，可以更好地评估和表征JESD2024B等高速技术。

小结

最新发布的JESD204B接口能够可靠地提升转换器和逻辑器件之间的传输带宽；目前市场上已出现很多使用这种接口的器件。与其他很多高速串行接口标准不同，JESD204B标准不含官方兼容性测试规范，这给必须彻底测试并调试设计的系统设计人员带来了极大的挑战。幸运的是，规范包含了足够的信息来帮助开发测试程序，包括PHY、时序和协议测试。

除了验证性能以及兼容性是否符合规范外，测试还有助于确定系统设计是否需要加重或均衡，并协助识别干扰噪声源和干扰抖动源。与任何高速串行测试相同，应当遵循仪器仪表选择、设置以及探测等的最佳实践，以便确保结果的一致性和精确性。

作者简介

Frank Farrelly是ADI公司的产品工程经理。他已在ADI公司工作超过19年，目前负责高速SerDes产品的测试与验证。他拥有田纳西州诺克斯维尔大学电气工程学士学位(BSEE)以及北卡罗来纳州格林斯博罗大学工商管理硕士学位(MBA)。联系方式：frank.farrelly@analog.com。

Chris Loberg是Tektronix®公司的高级技术营销经理，负责美洲地区的示波器业务。Chris已在Tektronix公司工作超过13年，曾担任各种职务，包括Tektronix光产品业务部门营销经理。Chris拥有丰富的技术营销经验，曾在Grass Valley Group和IBM任职。他拥有圣何塞州立大学市场营销MBA学位。

在线支持社区



访问ADI在线支持社区，中文技术论坛

与ADI技术专家互动。提出您的棘手设计问题、浏览常见问题解答，或参与讨论。

请访问ez.analog.com/cn



超越一切可能™

ADI公司
请访问analog.com/cn

如需了解区域总部、销售和分销商，或联系客服和技术支持，请访问analog.com/cn/contact。

向我们的ADI技术专家提出棘手问题、浏览常见问题解答，或参与EngineerZone在线支持社区讨论。
请访问ez.analog.com/cn。

©2019 Analog Devices, Inc. 保留所有权利。
商标和注册商标属各自所有人所有。

“超越一切可能”是ADI公司的商标。

TA11432sc-10/19

