

JESD204B子类——

第一部分：JESD204B子类简介与确定性延迟

Del Jones, 应用工程师

简介

毫无疑问，信息时代的标志是收集、处理和分发越来越大的数据块的需求呈现爆炸式的增长。在通信网络领域，这意味着网络上连接的基础设施和组件需要更多带宽。在医疗行业，这表现为来自扫描仪、X射线仪和其他设备的信息更为详细。相应地，对快速增长的高带宽进行测试与分析便意味着需要使用速度更快、性能更强的电子测试设备。

这种对数据的无止境需求导致JEDEC发布了针对数据转换器与逻辑器件之间高速串行链路的JESD204标准。该标准的修订版B于2011年发布，此版本将串行链路数据速率提高到了12.5 Gbps，以满足当今世界基于转换器应用的更高带宽要求。这些应用中的很大一部分都要求数据以两次电源周期之间已知且一致的延迟遍历整个系统。这一概念称为确定性延迟(DL)，JESD204B标准对此要求同样有相关规定。此版本发布前，需要实现确定性延迟的系统设计人员使用外部应用层电路来满足要求。在JESD204B标准中引入了三个子类。子类0向后兼容JESD204A标准，并且没有关于执行确定性延迟的相关规定。子类1引入了一个外部参考信号（称为SYSREF），该参考信号为采样时序提供了一个系统级的基准。子类2定义SYNC~信号如何用作采样时序的系统级基准。采样时序基准在各种情况下均可用来实现确定性延迟。本文旨在厘清JESD204B三个子类在操作上的区别，并为读者提供实现其各自确定性延迟功能的相关实用知识。

早在此版本发布以前，需要确定性延迟的系统设计人员便已采用外部应用层电路来实现该要求。

确定性延迟概述

JESD204B标准将确定性延迟定义为基于帧的样本到达串行发射器的时间与基于帧的样本从串行接收器输出的时间之差。延迟在帧时钟域中测量，且至少在低至帧时钟的周期内必须是增量可编程的。延迟必须在两次上电周期之间，以及任意再同步事件之间可以重复。此定义见图1。



图1 确定性延迟示意图。

JESD204系统中的确定性延迟由固定延迟和可变延迟组成。可变延迟是由于数字处理模块中因跨越不同时钟域导致的相位改变导致的，且每次上电都有可能不同。在JESD204A和JESD204B子类0系统中未考虑到可变延迟。因此链路中的延迟每次上电都有可能不同。

子类0

子类0主要由JESD204B标准所提供，以保证向后兼容JESD204A器件。如果系统设计人员有一个带有传统JESD204A接口的自定义ASIC，并希望将其连接至带有最新特性的JESD204B转换器，那么很可能需要这种向后兼容性。

JESD204B标准要求

JESD204B标准提供子类0工作模式的要求和建议；这些要求可能与其他子类有所不同。最明显的就是，SYNC~信号的要求是子类1独有的。

SYNC~要求（同样适用于子类2）：

- ▶ JESD204B接收器的SYNC~输出必须与接收器的帧时钟同步

- 另外，还要求发送器的帧时钟与SYNC~同步；这可以通过允许发送器的SYNC~输入复位帧时钟计数器来实现；必须指定SYNC~输入到帧时钟边界的延迟
- 建议使用与器件时钟相同的逻辑（比如LVDS）
- 不支持交流耦合
- 必须指定接收器引脚端器件时钟到SYNC~的延迟(tDS_R)
 - 在帧时钟比器件时钟更快的系统中，使用帧时钟启动并捕捉SYNC~；无论如何，依然需指定tDS_R
- 必须指定发送器SYNC~到器件时钟的建立时间和保持时间

子类0操作含义

通过在每一条JESD204通道上使用一个弹性缓冲器，便可在JESD204接收器内自动处理JESD204单条链路中的通道对齐。初始通道对齐序列(ILAS)期间，对所有通道进行监控，并且在最终到达通道的多帧启动对齐控制字符（ILAS）到达后，同时释放所有缓冲器。如图2所示。

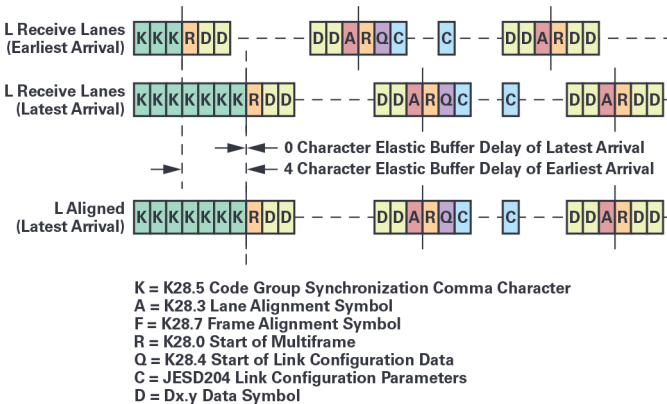


图2. 单链路中的通道对齐。

虽然建议接收器和发射器的帧时钟均与SYNC~信号同步（参见上文“SYNC~要求”部分），但没有在整个系统中同步本地多帧时钟(LMFC)的机制。因此，使用确定性延迟无法实现多个转换器的链路对齐。相反，若单个器件内的多个转换器配置为JESD204B单链路的一部分，则这些转换器无需借助外部电路即可对齐。LMFC对齐误差只会对链路总延迟产生最多一个LMFC的可变延迟。

多芯片同步的子类0解决方案

部署确定性延迟的一个优势，就是它可以提供多芯片同步的途径。然而，实现多芯片同步并不必然要部署确定性延迟。JESD204标准允许在采样数据中加入控制位，以便将样本信息从发射器传输到接收器。在ADC应用中，可将控制位用作时间戳，标记恰好与外部基准信号一同出现的样本。如果在子类0工作模式下使用子类1器件，那么可以通过SYSREF输入实现该操作。另外，也可在连接单个逻辑器件的多ADC应用中使用SYNC~

信号。多芯片同步的基本要求是为ADC提供外部基准信号，并支持JESD204发送器中的控制位。

ADI的AD9625和AD9680器件支持多芯片对齐的时间戳功能。图3显示了一个示例，表明如何使用SYSREF输入来为恰好与外部基准信号一同出现的样本标记时间戳。如图所示，当器件时钟采样SYSREF信号时，将在该样本中设置指定的控制位。可针对JESD204B系统中的全部器件执行此操作。

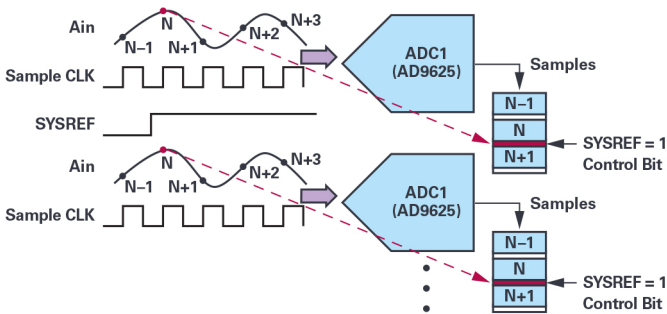


图3. 在多个ADC中加入时间戳控制位。

当为所有ADC器件的样本打上时间戳后，下游逻辑器件便可根据图4所示进行样本对齐。

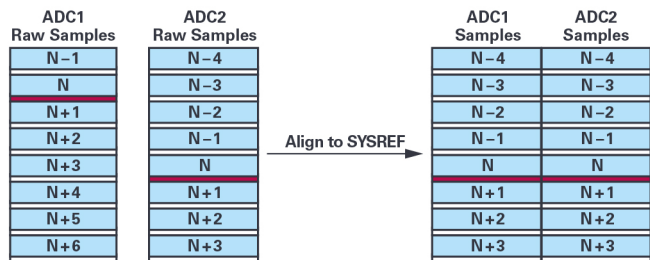


图4. 对齐打上时间戳的样本。

子类1

如上所述，链路中的通道对齐和多芯片对齐可在子类0工作模式下实现。但是，很多应用不仅依靠多器件的样本同步，还要求转换器和逻辑器件之间的数据传输具有已知的确定性延迟。例如，某些ADC应用使用反馈回路校准前端模拟增益。通常这可以通过向接收器输入测试信号来实现。然后，使用数字化数据来确定一切必要调整。关键是需了解模拟输入到逻辑器件的延迟来决定是否调节。每次电源周期之后，无论是否发生同步事件，该数据的到达时间都必须一致。这类应用就需要部署确定性延迟。

在子类0系统中，样本数据到达最终通道后便从JESD204B接收器释放。然而，每次电源周期的释放时间都可能有所不同。在子类1系统中，定义了一个接收缓冲器，其释放时间以外部SYSREF信号为基准。因此，它不会受到JESD204B系统中电源周期变化的影响。此概念可参见图5。

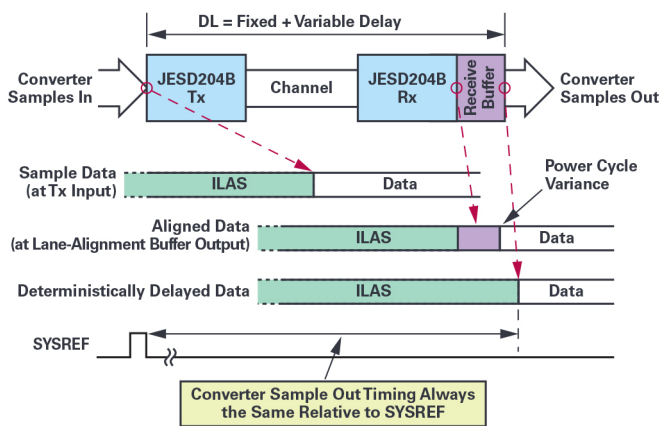


图5. 子类1系统中使用SYSREF的数据释放时序。

缓冲器与LMFC有关，它的释放时间以SYSREF信号为基准。SYSREF用来在系统中的全部JESD204B器件之间进行LMFC相位对齐。缓冲器释放时间以该SYSREF对齐的LMFC为基准。

部署子类1的系统要求和指导

JESD204B系统中确定性延迟的精度和可靠性取决于器件时钟与SYSREF之间的关系。器件时钟是系统基准时钟，它提供采样时钟（一般而言）、JESD204B时钟和串行器时钟。它用来捕捉SYSREF，并完成帧和多帧时钟的前沿相位对齐，如图6所示。JESD204B标准提供了针对SYSREF和器件时钟的要求与建议。标准还提供了PCB布局布线与系统时序的指导。然而，这些要求如何部署在JESD204B系统中则取决于应用的系统级要求，比如确定性延迟不确定性(DLU)。确定DLU和特定应用部署的其他详情请参考“[JESD204B子类（第二部分）：子类1与子类2系统考虑因素](#)。”

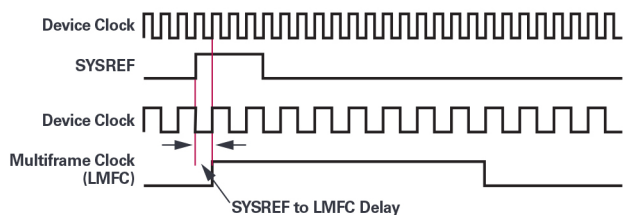


图6. 使用SYSREF进行帧时钟相位对齐。

子类1操作的其他关键要求和建议：

- ▶ 在JESD204B系统中，必须指定所有器件的SYSREF前沿到帧和多帧边界的延迟。在ADI转换器产品中，这称为“SYSREF到LMFC延迟”。
- ▶ 接收缓冲器用来缓冲数据，并使用经过SYSREF对齐的LMFC作为确定性参考，以释放数据。JESD204B标准定义了“接收缓冲器延迟(RBD)”。RBD决定缓冲器深度，额定值范围为1至K帧周期(TF)。RBD用来补偿系统中的可变延迟。随着多帧中帧数的增加，容许的可变延迟也随之增加。ADI DAC器件支持16或32的K值。大多数应用建议设置为32。

- ▶ 由于确定性延迟的实际实现可能因制造商而异，甚至来自同一制造商的不同器件也可能存在差异，因此，当您的系统需要多芯片同步时，必须使用相同的转换器。
- ▶ 同样重要的是，器件间通道偏斜应尽可能最小。对于ADI DAC应用，器件间偏斜之和加上最大可变延迟，结果得到的值应小于本地多帧时钟(LMFC)。
- ▶ 器件时钟和SYSREF应从相同器件生成，以确保两个信号相位对齐。同时，SYSREF和器件时钟的器件间偏斜都应尽可能最小。
- ▶ 在讨论子类0工作模式和多芯片同步时，我们提出了SYNC~组合的概念，但对于子类1系统，这是不必要的。

SYSREF和器件时钟

SYSREF信号可以是一个单脉冲、一个周期方波或者一个带隙周期方波。SYSREF的周期必须为LMFC的整数倍。ADI器件支持全部三类SYSREF信号。

SYSREF信号的时序必须基于器件时钟进行精确控制，以使器件时钟采样边沿固定，并且为用户所知。如前所述，SYSREF信号必须与器件时钟保持源同步。因此，建议使用提供整个系统器件时钟的同一器件来生成SYSREF信号。ADI的[AD9525](#)器件非常适合用来执行这种任务。

JESD204B标准中的时钟分布偏斜以及其他偏斜要求与其说是规则，不如说是指导。引入这些指导的目的是以例子说明去偏斜能力，作为解串器的推荐值。可在JESD204B标准第4.12部分找到这些描述。有关确定SYSREF和时钟偏斜的实用指导参见“[JESD204B子类（第二部分）：子类1与子类2系统考虑因素](#)”。

子类2

子类2系统使用SYNC~信号提供确定性延迟和多芯片同步，而非使用外部信号提供时序基准。这种部署方案的主要优势是，它能减少JESD204B系统的引脚和网络数量。如前所述，子类1 SYSREF背后的构想是利用它在系统中的所有器件之间实现内部帧和多帧时钟的同步。由于SYNC~根据接收器的LMFC产生，它搭载的LMFC时序信息可用于实现相同的接收器与发送器之间的同步，就像使用了外部基准一般。SYNC~相比子类1 SYNC~需要额外的功能与精度。这些要求和系统同步时序要求降低了器件时钟所能达到的频率。更多信息请参见“[JESD204B子类（第二部分）：子类1与子类2系统考虑因素](#)”。

使用SYNC~作为时序基准时，满足时序要求的难度与使用SYSREF相当。系统时序精度受限于SYNC~的分布偏斜和PCB上的器件时钟，以及它们的传播延迟。精度分辨率取决于器件时钟周期。与子类1一样，系统的DLU要求决定了分布偏斜的限制。

在子类1系统中，器件时钟/SYSREF源是主机基准信号，其同步请求来自逻辑器件。在子类2系统中，逻辑器件用作主机时序

控制器，负责校正链路两侧的LMFC相位。其实现方式取决于系统是基DAC的系统，还是基ADC的系统。

ADC子类2部署概述

在子类2 ADC应用中，SYNC~解除置位信号由检测时钟捕捉（通常是器件时钟），并用来复位其LMFC的相位。检测并捕捉SYNC~信号之后，除了复位其本地LMFC，JESD204B发送器还将开始发送K28.5字符，并会连续执行该操作，直到建立系统时钟。时钟建立后，同步过程的ILAS部分将在LMFC边界处开始。在ADC系统中，ADC的LMFC对齐操作并不是一个迭代过程，且通过SYNC~单次置位完成，如图7所示。另外还可使用周期性SYNC~监控发射器LMFC的相位对齐。更多详情，请参考JESD204B标准第6.4部分。

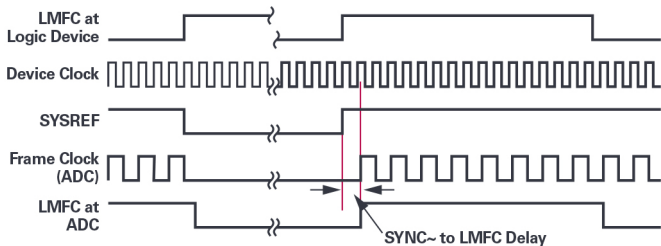


图7. 使用SYNC~进行帧时钟相位对齐。

DAC子类2部署概述

在子类2操作中，逻辑器件的LMFC是主LMFC基准，转换器LMFC必须与它相位对齐。在子类2 DAC应用中，逻辑器件还使用检测时钟（通常是器件时钟）来捕捉一个或多个DAC的SYNC~信号。逻辑器件将检测自身LMFC与DAC LMFC之间的相位差，并在ILAS部分同步期间向DAC发出调节命令。ILAS长度为4个多帧，而链路参数（包括LMFC相位调节信息）在第二个LMFC周期期间发送至接收器。在JESD204B系统中，逻辑器件向DAC发出的LMFC相位调节命令如下所示：

- ▶ PHADJ（相位调节）：此命令指示是否需要调节相位。
- ▶ ADJCNT（调节计数）：此命令指示所需的调节步骤数。
- ▶ ADJDIR（调节方向）：此命令指示LMFC相位应提前还是延后。

根据调节时钟的分辨率和它与LMFC周期的关系，调节DAC的LMFC可能花费超过一个ILAS周期。DAC上完成任意相位调节后，SYNC~置位低电平，以发出错误报告。逻辑器件上的发送器将使用此再置位再次检测LMFC相位差。如果无需进一步调节，则ILAS期间PHADJ位复位，接收器不发出错误报告。此时，LMFC处于对齐状态，可开始传输用户数据。如需执行另一次调节，则逻辑器件发送器将发起另一次迭代过程。更多详情，请参考JESD204B标准第6.4部分。

当JESD204B系统中所有器件的LMFC都完成相位对齐后，便能通过子类1中的同样办法来实现确定性延迟。也就是说，接收缓冲

器的释放时间以相位对齐后的LMFC为基准，而不是以最后到达的通道数据的非确定性到达时间为基准，如图5所示。它们的差异仅仅在于如何实现LMFC相位对齐。

部署子类2的系统要求和指导

JESD204B系统中确定性延迟的精度和可靠性取决于器件时钟与JESD204B系统中每一个SYNC~信号之间的关系。与子类1相同，器件时钟是系统基准时钟，提供采样时钟、JESD204B时钟和串行器时钟。它用来捕捉SYNC~信号；后者在整个系统中为逻辑器件提供LMFC相位关系信息。JESD204B标准提供的子类2要求与建议总结如下。

- ▶ 对于ADC：
 - ADC必须基于检测到的来自逻辑器件的SYNC~信号调节有关的内部帧时钟和LMFC（可能还有采样时钟）。
 - LMFC调节分辨率应由器件制造商定义，并且会限制系统同步精度。
 - SYNC~检测分辨率应由器件制造商定义，并且会限制系统同步精度。
 - 如图7所示，必须指定SYNC~解除置位到ADC LMFC边界的延迟。
- ▶ 对于DAC：
 - DAC必须要能根据逻辑器件的指令调节其内部帧时钟和LMFC（参见“DAC子类2部署概述”部分）。
 - 必须指定DAC LMFC调节分辨率（DAC器件时钟周期中）。
 - 无论何时，只要完成相位调节，DAC就必须发出错误报告。
- ▶ 对于DAC应用中的逻辑器件：
 - 必须要能在检测时钟（通常是器件时钟）递增的情况下检测SYNC~相位与其自身LMFC的关系。
 - 必须要能根据DAC调节分辨率计算ADJCNT。
 - 必须要能在ILAS期间向DAC发送校正信息（如表1所示）。

总结

为满足当今与未来应用中更高的数据处理能力要求，JESD204B定义了数Gb级接口，作为数据转换器与逻辑器件之间实现通信所需的通道。确定应用需要哪个子类是系统设计的重要步骤。对于不要求确定性延迟的系统，可以采用三种子类中的任意一种；其中，子类0的部署最为方便。如果需要确定性延迟，则对于子类1或子类2设计而言，需考虑其他系统级因素。在“JESD204B子类（第二部分）：子类1与子类2系统考虑因素”中，我们将更为详细地探讨这些问题，帮助系统设计人员正确选择JESD204B子类。

作者简介

Del Jones是位于美国北卡罗来纳州格林斯博罗的高速转换器团队的应用工程师。他自2000年以来一直为ADI工作，负责支持ADC、DAC和串行接口。加入ADI之前，他曾在电信行业担任电路板和FPGA设计工程师。Del毕业于德克萨斯大学达拉斯分校，获电气工程学士学位。联系方式：del.jones@analog.com。

在线支持社区



访问ADI在线支持社区，中文技术论坛
与ADI技术专家互动。提出您的
棘手设计问题、浏览常见问题
解答，或参与讨论。

请访问ez.analog.com/cn



ADI公司
请访问analog.com/cn

如需了解区域总部、销售和分销商，或联系客户服务和技术支持，请访问analog.com/cn/contact。

向我们的ADI技术专家提出棘手问题、浏览常见问题解答，或参与EngineerZone在线支持社区讨论。
请访问ez.analog.com/cn。

©2019 Analog Devices, Inc. 保留所有权利。
商标和注册商标属各自所有人所有。

“超越一切可能”是ADI公司的商标。

TA12594sc-10/19

