

千兆采样ADC通过快速运行应对新挑战

作者: Ian Beavers, ADI公司高速产品组应用工程师

随着模数转换器(ADC)采用的工艺节点尺寸不断减小,其设计和架构不断得到改进,新型GHz ADC产品渐渐开始涌入市场。在GHz速率或更高速率下可直接进行RF采样且不存在交错伪像的ADC,将为通信系统、仪表和雷达应用的RF直接数字化系统提供新型解决方案。以前,此类解决方案需要使用多级滤波、频率合成器和混频器才能将输入信号转换成参考频率,之后通过ADC在100s的MSPS转换速率下对该频率进行数字化。现在,可借助最先进的宽带ADC技术实现直接RF采样。请记住,尽管速度很重要,但并不是设计中唯一要考虑的性能因素。动态范围和频谱噪声同样是要考虑的重要因素。我们将会在以后的文章中探讨这些性能的重要性。

不久之前,具有六位或八位分辨率的Flash转换器是能够在GSPS(每秒千兆)速度下运行的唯一单芯片ADC架构。此类架构耗电量大,且由于闪存架构需要在几何尺寸和功率限制之间进行权衡考量,通常无法提供超出七位的有效位数(ENOB)。唯一可对高于1 GHz的较高动态范围模拟输入信号进行采样的方式,就是交织采样多个高速ADC内核,其采样时钟带有精准交错相位或占空比提供给每一个内核。需要分割和混合到每个ADC的模拟输入,都会让新的信号噪声有机会进入信号链,并降低输入功率。尽管该方法可以满足某些应用,但是设计相当复杂,且会在输出频域中产生难以处理的干扰交错伪像,从而需要进行数字滤波。

采用全速还是半速?

可在快速傅里叶变换(FFT)的频率响应中看见插入的“杂散”,即输入失调、增益、带宽和采样时序在每个内部交错的ADC内核中未完全匹配。这会对系统工程师造成额外的规划复杂性,使其难以预先确定交错伪像在频率中出现的位置并在数字后期处理期间避免或消除。由于所有ADC

内核均是分立的,因而在量产系统寿命中,这些性能参数很有可能产生制造不匹配差异。这些不匹配会给输入信号的周期性造成不平衡,且交错式ADC的输出中将出现杂散频率。

现在,专有ADC技术可以利用先进的架构和算法,避免在双通道和四通道交错式ADC中出现的问题。现在不需要使用两个以半速运行、同时增加伪像的交错式ADC,而是使用全速运行的单一ADC实现所需性能,且不会出现交错杂散。工厂调整算法和片内校准可确保每个ADC以预期的高性能标准运行,不会出现使用多个分立交错式内核时产生的不匹配差异。

如果在频谱纯净的FFT中观察到杂散频率,将会降低载波信号相对于其他噪声的无杂散动态范围(SFDR)。为改善GSPS ADC的SFDR,现在已经有新的架构和算法出现,可取代交错式内核。这省去了工程师必须通过专用ADC后处理程序识别和消除干扰交错杂散的重担。

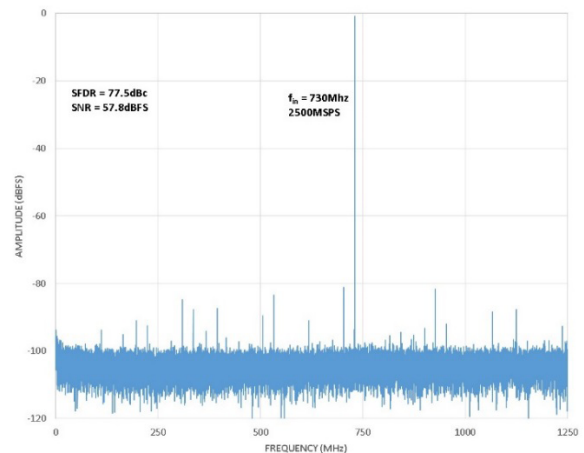


图1. 宽带2.5 GSPS ADC的FFT显示无交错伪像(在高速ADC中一直造成问题)的高性能SFDR

简化路由

具有10位、12位或14位分辨率的多重千兆转换器可以快速生成大量输出数据。要使用低压差分摆幅(LVDS)数据,可能需要30个适合2.5 GSPS、12位ADC的1 GBPS数据并行通道。

要处理每个ADC的30个差分LVDS对，对于在系统布局上路由和维持匹配长度来说是一项很大的挑战。借助专为转换器接口设计的高速串联/解串(SERDES)标准JESD204B，等量数据可仅通过六个或八个差分通道传送。

JESD204B以较少数据线提供高速输出数据，因此没有许多高速LVDS通道会出现的匹配时钟板复杂度。由于通过JESD204B传送的数据会依据嵌入式时钟和控制字符建帧，因此较低数量的串行通道的路由会比LVDS具有更宽松的时序偏斜，如图2所示。这样便不需要花费无数小时在系统PCB的每个I/O上调整输出时序。此外，JESD204B将提供辅助数据的信息“控制位”，可以附加到每个模拟样本中，以便帮助表征下游处理。通过这种方式，可以在每个样本中标记出触发时间戳和超范围条件，以便后端FPGA能够获得关于数据对齐及其有效性的进一步情报。

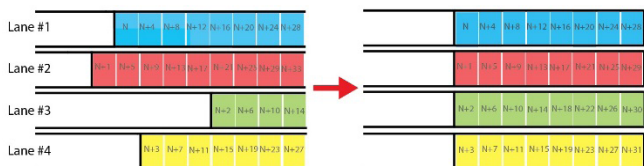


图2. JESD204B帧协议允许数据通道之间和PCB路由中存在明显的时序偏斜。FPGA可以利用内部缓冲器延迟重新对齐数据和样本。

超范围检测

自适应增益算法对于能够调节模拟输入信号的幅度非常重要，因为饱和的ADC输入基本上会使系统无法解读信号。理想情况下，增益自适应反馈环路应越快越好。无论高速ADC输出是基于LVDS还是使用JESD204B，为了接收饱和的数据、检测问题和对状况做出反应，该数字输出的增加延迟通常时间过长，无法等待。

对于该问题有一个解决方案，即使用ADC内核本身中的可变电平比较并在超范围状况出现时直接传送一个即时输出标记。这种技术可绕过较长后端输出级的延迟，以便缩短对于放大器的反馈时间，从而实现更快速的自适应增益周期。除了该“超范围检测”输出之外，使用JESD204B接口，还可以将超范围样本附加至报警位，从而使得下游系统处理能够针对数据做出适当的决策。

调整、滤波和抽取 – 如何处理所有数据

宽带ADC不仅可以提供宽带采样优点，还可以提供比某些实际应用所需数量更多的数据。对于那些需要高采样速率但无需观察大型频谱的系统，数字下变频(DDC)允许子采样和滤波策略，用于抽取来自GSPS ADC的数据输出量。之后，下游处理将观察较小部分的频谱。

尽管在信号链中DDC通常在ADC后执行，但是这样不仅会消耗FPGA中的更多资源，还需要占用全带宽在ADC和FPGA之间进行传输。除了传输和处理FPGA中的采样数据外，DDC滤波也可以在ADC中完成，而且只需要1/8或1/16的总带宽。

在结合合成式数控振荡器(NCO)使用时，频段中转换器的DDC滤波器的精确位置可以通过精确的分辨率进行调整。这样就允许较低的输出速率且不需要在FPGA上移动和处理大量干扰数据。如果有两个DDC可用且每个DDC都有唯一的NCO，则它们可以在整个频谱中交替步进，以便针对预期的信号进行清除，而不会丢失可见性。这是针对某些雷达应用的典型使用方式。

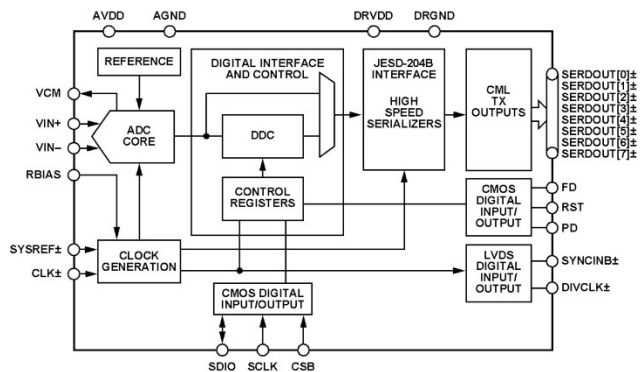


图3. AD9625-2.5, 12位2.5 GSPS ADC的功能框图

ADI的AD9625-2.5 12位2.5 GSPS ADC在整个宽带宽内提供优于-75 dBc的SFDR性能，且具有150 dBFS/Hz的噪声谱密度。ADI专有技术可以在无交错伪像(通常出现在以高于1.5 GSPS进行采样的GHz ADC中)的情况下实现该性能。具有宽带频率调谐器的可选双抽取下变频滤波路径允许系统设计师仅观察1/8或1/16宽的全频谱带宽，且每个路径都具有独立的10位NCO位置分辨率。AD9625最多使用JESD204B输出接口的八个通道，从而放松了匹配LVDS对典型的走线布线带来的挑战性布局需求。此外，设计师还可以利用JESD204B的优点，例如低引脚数量输出、谐波帧时钟、每个样本的控制位信息和确定性延迟。

总而言之，尺寸较小的工艺节点(未来十年尺寸只会减小)推动了GHz ADC产品和系统的发展趋势。这就需要更多能够直接进行RF转换的ADC，以便结构可以得到简化且设计时间能够在合理限值内。只有在更快的速度、简化的设计以及其他性能因素(如动态范围和低噪声)情况下，才能将先进的宽带ADC技术提高到更高的水平。

作者简介

Ian Beavers是ADI公司(美国北卡罗来纳州格林斯博罗)高速A/D转换器团队的应用工程师。他于1999年加入ADI公司，拥有超过18年的半导体行业从业经验。Ian于美国北卡罗来纳州立大学获得电气工程学士学位和格林斯博罗分校M.B.A.学位。他是[中文技术论坛](#)高速ADC支持社区的会员。如有任何问题，请发送到ADI公司中文技术论坛在线技术支持社区的[IanB](#)。

资源

分享本文

facebook

twitter

