ANALOG DEVICES
超越一切可能™

用于实现O-RAN无线解决方案的5G技术设备

Brad Brannon，系统工程师

摘要

O-RAN旨在推动无线社区转型、开辟新无线设备通道和推动创新，以履行3GPP关于5G的承诺。[1]要取得成功并保持高性价比，必须提供开源的无线电设备和优化的5G技术。本文将介绍其中一种用于设计和构建高功效比的解决方案。

5G带来了哪些挑战?

无线电和网络工程师目前使用几种技术来实现这些目标。除了将数据服务移动到网络终端之外，还使用大规模MIMO和小型蜂窝技术来帮助提高容量和吞吐量。大规模MIMO技术在阵列中使用多个无线电，此举不仅可以实现容量，还可以覆盖中心位置。和它的前身宏蜂窝一样，大规模MIMO无线电可以围绕该位置提供相对广泛的覆盖范围。但是，大规模MIMO无线电使用更高的频率，一般是2.6 GHz及以上，这个频率对建筑物的穿透性并不高。为了服务室内位置和其他难以到达的室外区域，我们将使用小型蜂窝。鉴于室内和室外位置的数量，从家庭到企业安装，再到消费购物场所乃至竞技场，小型蜂窝的使用将是5G取得成功的关键。由于网络中需要使用数量庞大的小型蜂窝和多种部署，所以安装和运行成本必须低廉；这是推动实现5G的关键。

可以使用哪些技术?

在过去几年里，多种技术朝着支持5G解决方案的方向发展。首先，从基带角度来看，摩尔定律不仅继续降低每个栅极的硅成本，而且将更复杂的功能集成到无线电技术中。现在可以将许多所需的控制算法直接集成到无线电设备中，包括数字预失真(DPD)等功能。随着新生代无线电设备的问世，出现了许多其他的可能性。

其次，像O-RAN[2]这样的行业联盟正在整个无线行业进行合作，以实现规模经济，不仅可以降低成本，还可以提高供应链的安全性，并提供通过这些无线网络盈利的新方法。具体来说，“O-RAN联盟是由运营商建立的，旨在明确定义要求，并帮助建立供应链生态系统来实现其目标。为了实现这些目标，O-RAN联盟的工作奉行“开放和智慧的原则”。[3]因此，他们侧重于定义3GPP指定的物理接口，以实现标准化，并在行业中作为可互操作的白盒解决方案使用。此外，O-RAN还定义了硬件要求，并提供了O-CU、O-DU和O-RU（分别表示开放式集中单元、开放式分配单元和开放式无线电单元）的参考设计。它们会使前传网路和基带处理器实现标准化，进一步降低解决方案成本。它们与其他集成式5G设备（例如集成式无线电）一起，可用于定义小型蜂窝的发展，并推动实施这些标准。这些机构的工作是非常关键的一步。

第三，无线电技术在过去几年中得到迅速发展。高性能无线电现在有多种架构，可以满足3GPP在38.104和相关文档中要求的性能标准。[1]这些无线电高度集成，不仅包含模拟和RF元件，还包括DPD和削峰(CFR)等关键算法。虽然这些无线电是基于细线CMOS构建的，但RF前端也在经历其他发展，其中，低成本RF工艺（SiGe、SOI、GaN、GaAs等）正转变为高度集成的LNA和高功率、高性能的PA，可以满足这些标准的要求。

最后，提供高度集成和节能的解决方案，包括以太网供电(PoE)、标准电源设备、监控和保护解决方案，它们尺寸紧凑，但可以提供所需的电源。这些解决方案在无线电环境中提供非常高的效率和非常低的噪声，且提供选项，用于保护关键设备，例如功率放大器。

这些技术结合在一起，实现了低成本、高性能的小型蜂窝平台，可以高效部署在运营商网络中，以支持小功率和大功率系统。

系统概述

图1显示了典型的4T4R（4个发射器和4个接收器）5G小型蜂窝的框图。可以采用多种排列，包括2T2R和一系列功率等级（从24 dBm和更高）。后续讨论以此图为基础，主要介绍可以轻松扩展，适应O-RU中的频段和功率变化的5G技术设备。

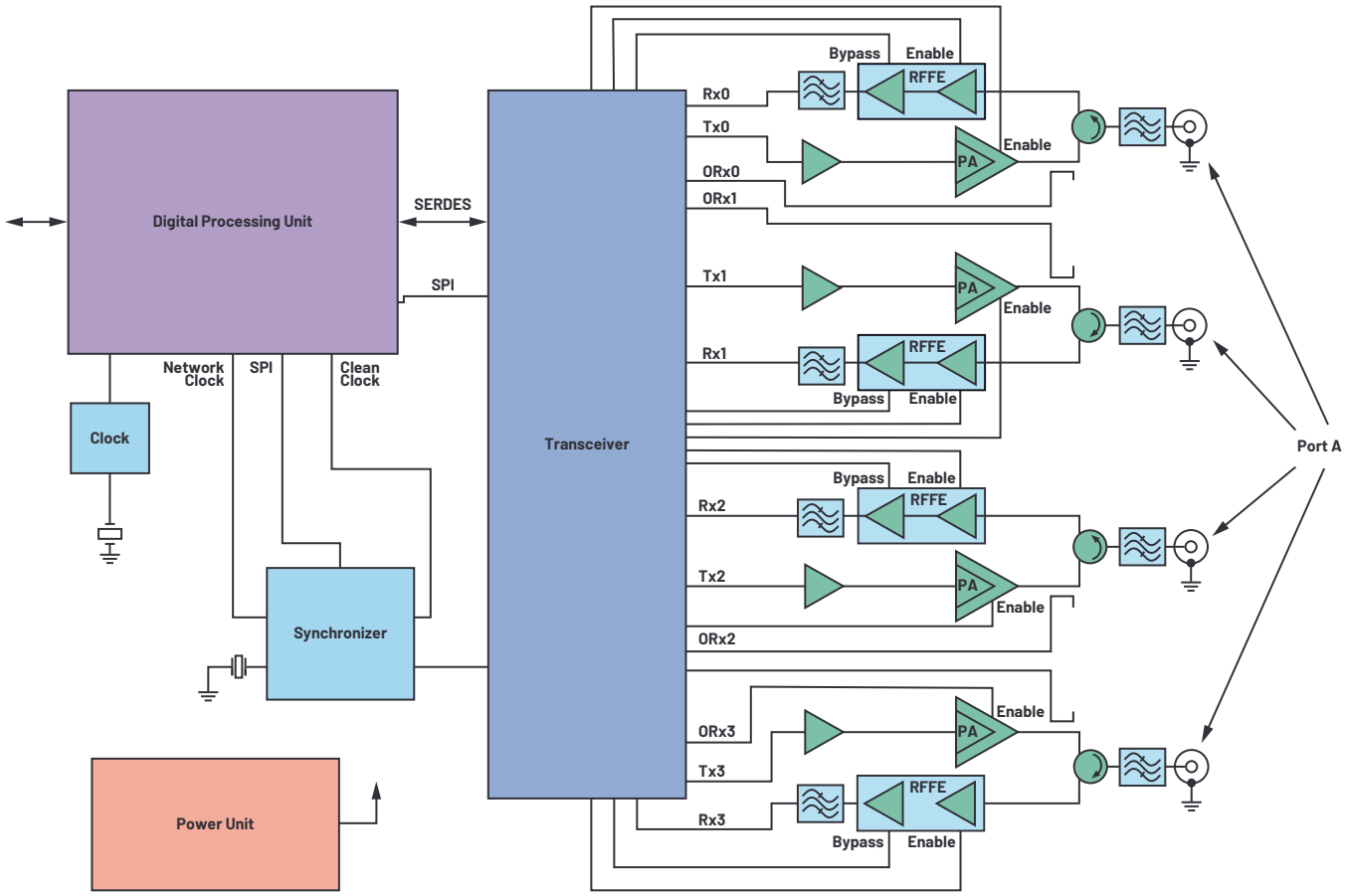

图1. 小型蜂窝功能框图。

主要无线电元件

在过去10年，集成式收发器已发展成为高性能平台。ADI RadioVerse™系列包含多种集成式收发器，它们支持高达200 MHz占用带宽，集成了DPD等先进功能。该系列产品不仅满足5G技术设备的要求，也一如既往地支持LTE和多载波GSM RF要求。对于这些设备，虽然我们在不断进行新一代的开发，最新一代如图2所示，为ADRV9029，是一种4T4R配置。还提供其他产品，包括带和不带集成式DPD，以及采用包括2T2R在内的其他配置的设备。

每款RadioVerse设备都包含构建完整无线电所需的一切（LNA和PA除外）。这包括发送和接收、合成器和时钟等所有功能。还包括运行AGC和增益控制放大器所需的状态机和VGA。虽然RadioVerse产品都使用高达6 GHz的宽带，但LNA和PA并非如此，必须制定频段或频率范围。因此，为了完成无线电设计，必须将合适的LNA和PA与RadioVerse IC配对。以下章节将描述5G NR小型蜂窝的接收和发送信号链，并对如何选择这些设备提供一些见解。

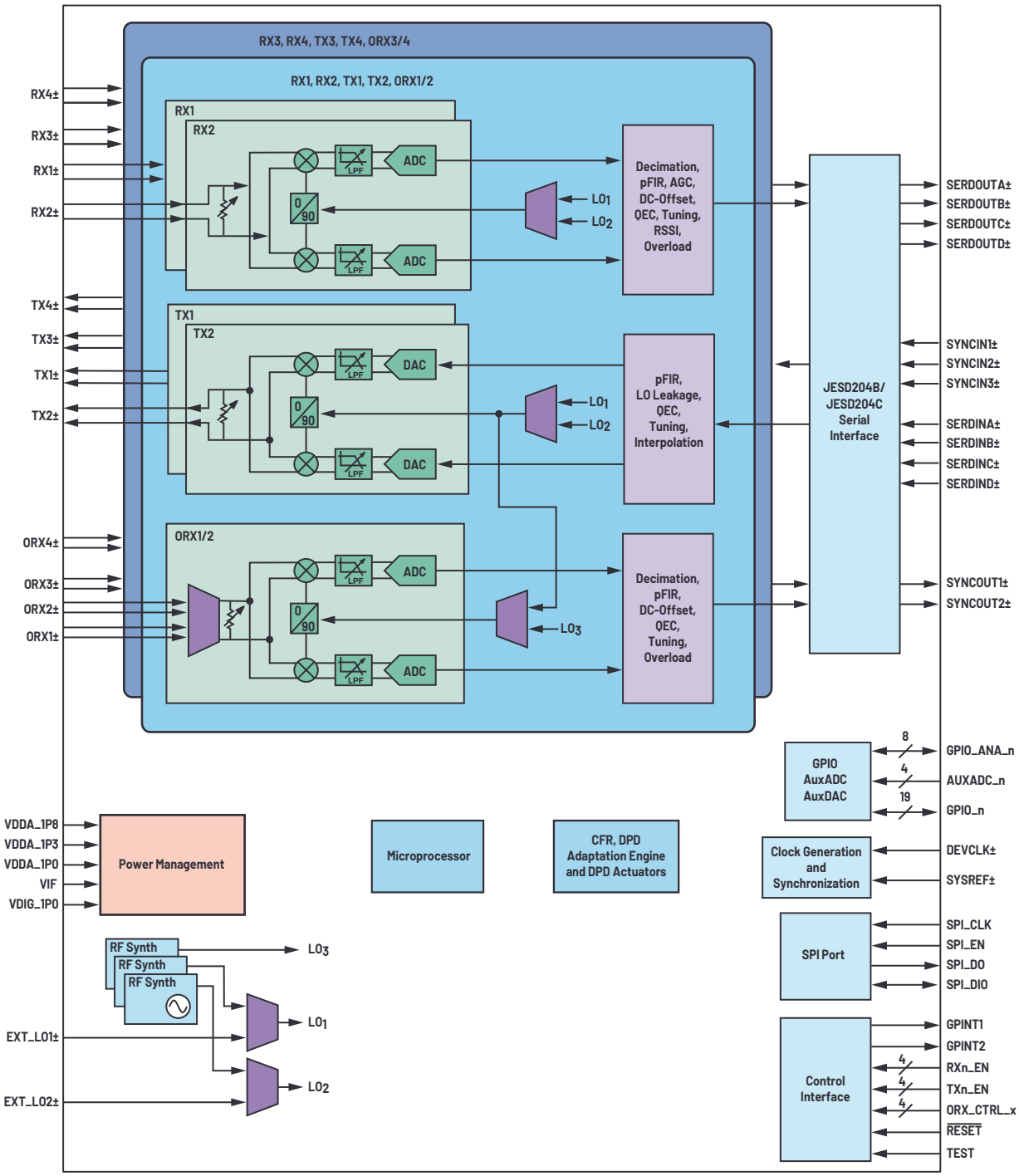

图2. ADRV9029收发器。

接收器信号链示例

ADRV9029与ADRF5545A组合使用时（如图3所示），可以轻松构建2芯片接收器。ADRF5515引脚兼容，也可以使用。它与几个无源元件组合，就可以构成非常紧凑的高性能接收器设计，如图4中的信号链所示。此架构的关键优势在于可能达到高水平集成，如此不但可以实现极低的实施成本，还能使功耗降至最低。[4]

RadioVerse系列的架构取消了经典接收器设计中常使用的许多元件，包括一些RF放大、滤波和剩余大部分无线电功能的集成，包括通道滤波器（模拟和数字）和基带放大器。这些元件通常是系统中最大、功率最高的设备，相比包括直接RF采样在内的其他架构，此架构可以显著节省成本。

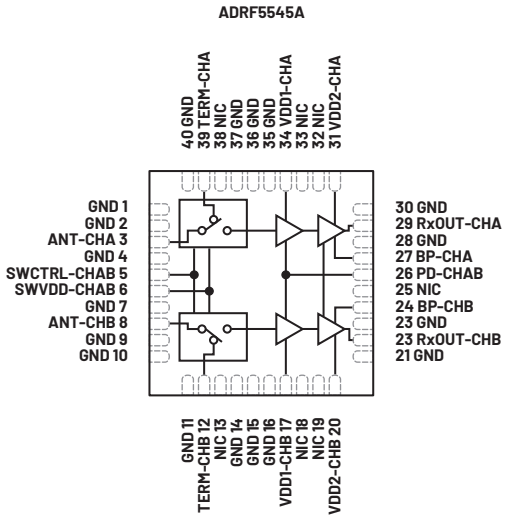

图3. ADRF5545A双通道TDD接收器前端。

如图4所示，小型蜂窝接收器系列包括环形器（适用于TDD应用）、ADRF5545A、SAW/BAW（表面声波/体声波）或整体式滤波器、巴伦和收发器。鉴于ADRV9029和RadioVerse系列中的其他产品具有出色的噪声性能和低输入IP1dB，所以无需使用其他放大器或VGA。使用这个信号链之后，从天线到数据比特位，可以支持整个系统低至2 dB的噪声系数。虽然此设计中包含一个集成式RF前端模块(FEM)，但许多设计仍然使用分立式设计（此处不予详述）。集成式FEM利用集成来满足天线滤波器稍微提高的滤波器要求，但仍然提供对于许多高度集成的解决方案来说具有吸引力的设计，例如大规模MIMO和其他TDD部署。通常，使用分立式前端来实现FDD设计。

假设LNA之前的耗损为约0.5 dB，如果带滤波器的耗损为1 dB，根据两款有源设备的数据手册规格，则整个接收器信号链的标称NF应为约2 dB。假设与MCS-4一致的信噪比和信纳比为0 dB，那么G-FR1-A1-1 5G载波(~5 MHz)的参考灵敏度为约-104.3 dBm。这足以满足章节7.2.2中38.104的广域传导要求，且留有余量，对局域/小型蜂窝来说也绰绰有余，如表1所示，在这种情况下需要-93.7 dBm。一些低性能小型蜂窝应用可能能够使用单级LNA，例如GRF2093，后接一个SAW滤波器。

表1. 38.104接收器分类

	广域(dBm)	中程(dBm)	局域(dBm)
5 MHz BW/15 kHz	-101.7	-96.7	-93.7
20 MHz BW/15 kHz	-95.3	-90.3	-87.3
50 MHz BW/30 kHz	-95.6	-90.6	-87.6
100 MHz BW/30 kHz	-95.6	-90.6	-87.6

此外，38.104章节的7.4.1要求在低于-52 dBm（广域）ACS阻塞下，接收器的衰减不超过6 dB。根据图5所示的NF与输入电平，在-52 dBm时产生的额外噪声并不比在更低电平下产生的噪声多。事实上，本底噪声在Blocker信号达到-40 dBm后才会上升，非常适合需要-44 dBm容差的局域ACS。

一般阻塞要求(7.4.2)要求对相关频段内的接收器施加-35 dBm（局域）的干扰，偏移为±7.5 MHz，衰减不得超过6 dB。从图5显示的ADI公司的信号链的性能来看，衰减仅为约0.9 dB。窄带阻塞是一种功率稍低的CW类阻塞，但这也不是问题。

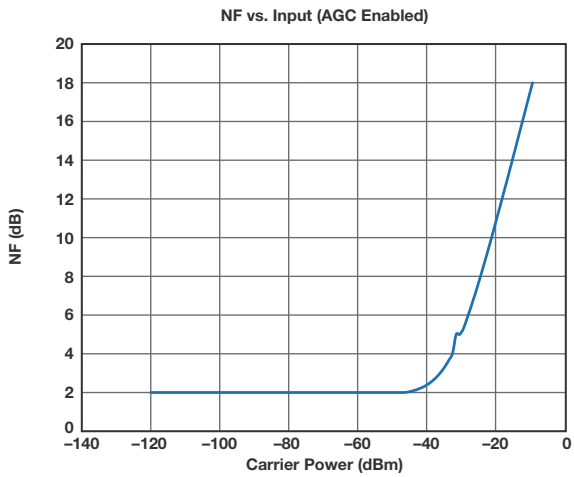

图5. 接收器NF与输入电平。

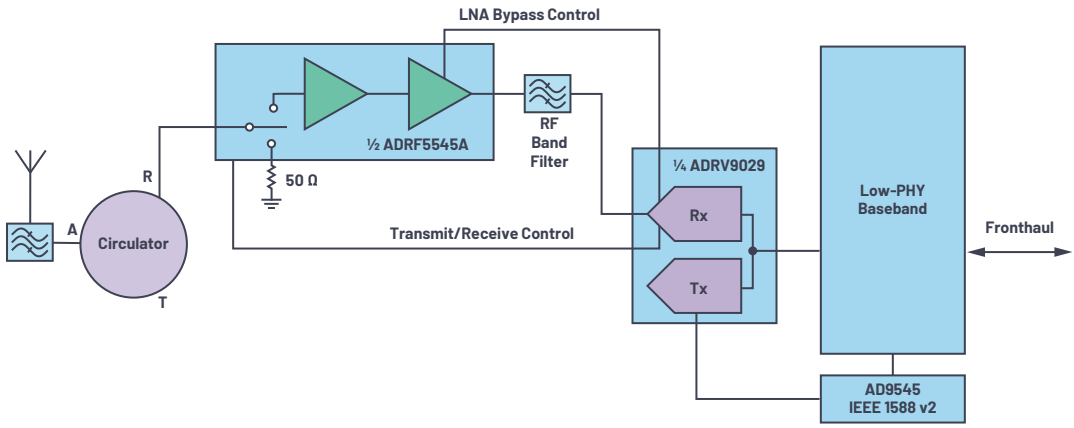

图4. 接收器信号链详情。

章节7.5.2中的带外阻塞可能算是一种更为有趣的挑战。其中，-15 dBm信号被传输至天线输入。对于频率低于200 MHz的小型蜂窝，此信号最接近频带边缘的频率为20 MHz。测试要求对1 MHz至12.75 GHz范围进行扫描，不包括20 MHz工作频率以内的频段。这里，有几个因素会推动信号链产生优势。第一，环形器具有有限带宽，会拒绝许多带外信号，但包含在内的信号不会产生很大影响。第二，ADRF5545A之后的滤波器会提供一定程度的滤波，一般来说，对于带外20 MHz，~20 dB抑制是合理的。第三，ADI收发器系列独有且最有用的特性要属内置的带外抑制，这是收发器结构固有的特性。在ADI公司应用笔记AN-1354的图20中，固有的带外抑制被表示为增加的阻塞信号电平。在该应用笔记中，围绕通带任一方向的频率扫描显示，在相同等级的衰减下，可以支持更大的信号。在该应用笔记中可以看到，在靠近频带边缘的位置，6 dB衰减可以对应10 dB。之后，集成式滤波器对带外信号进行大幅衰减，这些信号不会在带内混叠，主要被片内滤波和外部滤波衰减。

这些模块将-15 dBm带外干扰滤波到约-40 dBm至-45 dBm，直到20 MHz排斥带。继续向前，可能受到更高的抑制。在这个阶段，图5显示出现的衰减可能非常小。

前端模块的线性度可能是更大的问题。此时，可能得出很大的IM3产物。根据实际选择的FEM，可能需要将频带选择滤波器移动到第二个LNA之前，以保护其不受带外信号影响，这通常会产生较大的IM产物。无法在这类FEM的级之间放置滤波器，所以需要采用备用选项。

为了帮助限制大型带外阻断器的互调的影响，典型的FEM包含二级旁路开关，用于降低增益和保护二级不会被驱动产生非线性，如图3所示。切换LNA增益使信号链SNR降低1 dB，但限制这些大型阻断器引起的交调失真有助于保护整体动态范围，抵消噪声性能的损失。总体而言，如此产生的最差NF为约5.7 dB，这仍然在参考灵敏度的局域（小型蜂窝）覆盖范围要求之内。剩余的滤波器要求由天线滤波器提供，抑制可以根据接收器FEM的低增益压缩点和IP3决定。

变送器信号链示例

将ADRV9029和合适的RF驱动放大器，或RFVGA组合使用时（访问analog.com/rf了解更多选项），可以轻松构建合适的PA、紧凑的室内微微蜂窝、室外微微蜂窝或室外微蜂窝[5]。这些5G技术设备与几个无源元件组合，就可以构成非常紧凑且高效的变送器设计，如图6中的信号链所示。此架构的关键优势在于可能达到的高水平集成，通过使用所选的ADI收发器具备的集成式DPD功能，不但可以实现极低的实施成本，还能使功耗降至最低。

如图6所示，小型蜂窝变送器系列由环形器、PA、滤波器和收发器组成。此外，电路的PA输出端中包含一个耦合器，用于监测输出失真（也可以用于监测天线的VSWR和正向功率），可以配合DPD使用，以改善发送功能的运行效率，以及改善杂散性能。虽然可以使用外部DPD，但选择的ADI收发器包含完全集成的DPD，该DPD采用350 mW或更低的增量功率，具体由给定的PA所需的校正量决定。低功率PA需要进行的校正较少，所以DPD消耗的功率更低。此外，由于DPD的带宽扩展完全在收发器内部进行，观察接收器SERDES路径被完全取消，变送器有效载荷降低，使得集成式DPD将SERDES路径的数量降低至外部基带芯片的一半。FPGA中的等效DPD通常具有10倍以上的功率，对于低功耗小型蜂窝和大规模MIMO来说是无效或低效的。但是，通过将DPD集成到收发器中，非常低的功耗和低成本使得DPD能被用于低功耗小型蜂窝中，可以在不增加外部计算负担的情况下提高效率和变送线性度。

图7和图8显示ADI的DPD用于低功耗和中功耗小型蜂窝应用的示例。图示的激励源是针对5个相邻的20 MHz LTE载波，总共100 MHz。一般来说，LTE要求最低达到45 dB ACLR，大多数部署都可以超过此值。ADI运行一个连续测试实验室，始终会检查所有功率等级的新PA。查看功率放大器测试报告，或咨询工厂，获取ADI提供的可用的DPD技术的最新信息，以及最近通过测试的PA的列表。

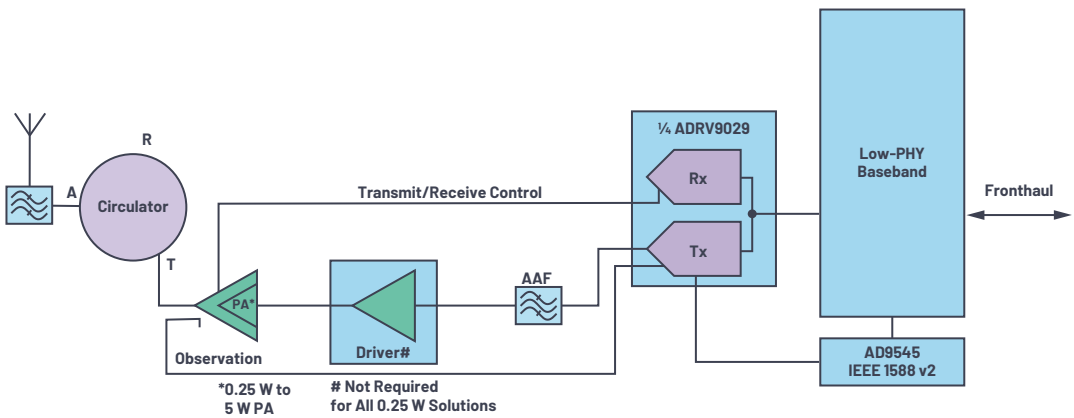

图6. 变送器信号链详情。

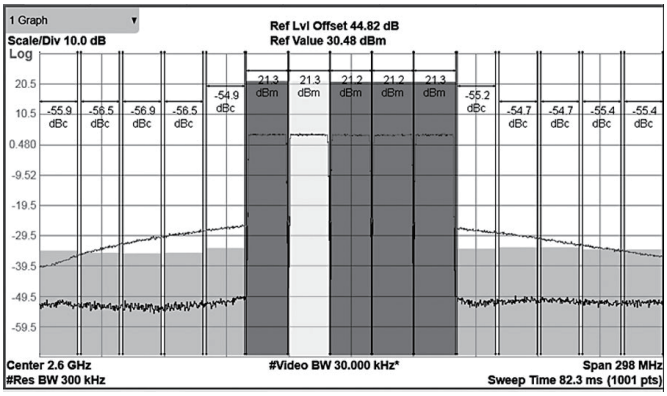

图7. 带和不带DPD的典型PA频谱，RF总和为26 dBm。

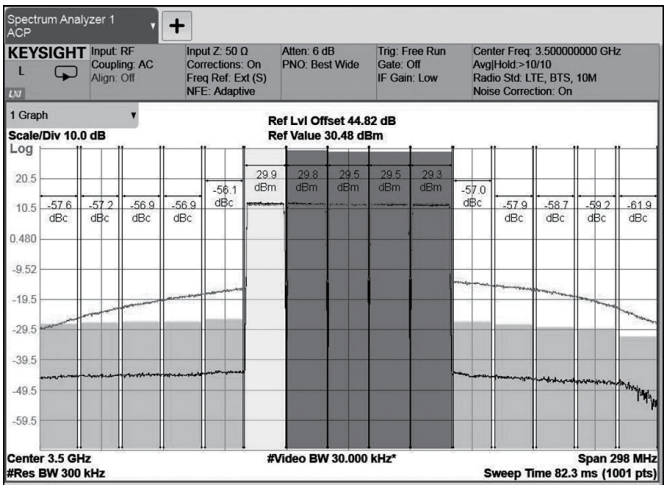

图8. 带和不带DPD的典型PA频谱，RF总和为37 dBm。

它们如何组合使用？

图9显示完整的信号链，其中包括一些所需的控制信号。为了提高功效，该电路包含变送和接收信号功能，以在各自的周期内为TDD启用和禁用放大器。同样，它可与FDD配合使用，在插槽未使用时关断电源，以节省功率。还需要使用LNA开关来更改LNA上的输入开关，以将返回的变送功率分流至端电极，而不是分流至内核放大器输入。这些不同的信号可以由ASIC、FPGA或收发器生成和编配。

接收器信号链包括一个可以相应改变数字数据流的函数，以说明模拟增益降低的原因，在信号发送至低PHY，然后发送至基带下游其他部分时保持绝对信号电平。

此处所示的应用适用于单频段。虽然收发器使用宽带且覆盖至高达6 GHz的所有频率，但并非设计中的所有设备都是如此。LNA和PA这类设备通常使用频段，需要根据支持的频段进行选择。通常情况下，这些设备在引脚兼容选项中提供，覆盖6 GHz以下的所有常用频段，且易于扫描。如此，可以支持所有的常用TDD和FDD频段，包括用于5G和提议用于O-RAN的频段。

时钟树

根据配置，可以使用几种不同的时钟配置。如果需要精确的时间校准，则需要使用2级时钟合成。第一级是通过ASIC、FPGA或控制器连接至基带，以准确计时和校准无线电数字化功能。此应用要求通过前传网路或本地GPS接收器来处理提供的精确时间协议(PTP)信息。如此确保无线电和基带处理器知道应对无线电帧实施处理的准确时间。

AD9545系列非常适合用于准确调节无线电的主时钟的频率、相位和时间。其优点在于，可以配置为在无参考时钟的情况下临时运行，且在与TCXO（温度补偿晶体振荡器）或OCXO（恒温晶体振荡器）耦合之后，且在参考时钟出现故障或断续的情况下保持精度。

对于无需准确的时间校准的配置，或者作为校准的第二级，需要使用时钟分配设备。分配设备的作用在于，为整个无线电生成时钟范围。这包括JESD、eCPRI、以太网、SFP所需的范围，以及整个无线电的其他关键信号所需的范围。AD9528提供14种不同速率的低抖动时钟，包括支持JESD204B/JESD204C设备时钟和SYSREF信号功能。

2级时钟框图如图10所示。对于无需准确校准时间的应用，可以去掉或旁路AD9545，仅使用AD9528。系统的输入时钟来自于基本的网络定时，由以太网功能块或FPGA中的基带和网络功能恢复，具体由实际架构决定。可以根据无线电的具体要求选择多种备用配置，此处只显示一种表示方法。

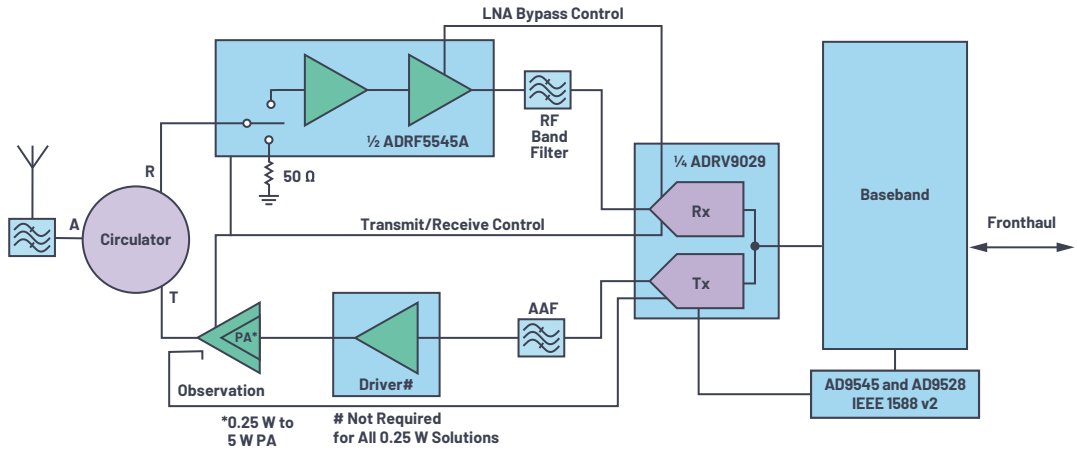

图9. 完整的收发器信号链。

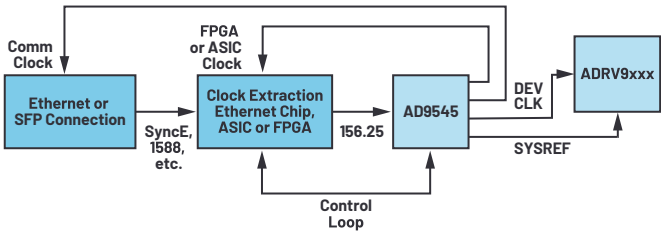

图10. 时钟树示例。

功率

功耗是由多种因素决定的。这些因素包括选择的FPGA、采用的功能、选择的收发器、启用的选项、所需的时钟树，以及生成的RF功率。

实施O-RAN CUS和M面处理的典型中等范围FPGA SoC，加上与IEEE 1588 v2 PTP堆栈同步，会消耗约15 W。典型的ADRV9029收发器会消耗5 W至8 W，由TDD或FDD配置，以及启用的DFE功能的范围决定。为此，必须增加时钟功率、接收器功率、变送器功率，以及其他功率。表2显示系统（不包括变送器链）的功耗总和示例，功率输出等级不同时，该值存在很大差异。

将无线电的功耗相加，Tx:Rx在70:30占空比下的总功耗为26 W至29 W，具体由实际采用的无线电配置决定（不包括与PA相关的功耗）。表3显示少数几个PA功耗示例。由于PA主要在AB类晶体管的线性范围内工作，所以它们的效率在20%到50%之间。在这个范围内，集成式DPD大有优势。即使对于小带宽、低功耗PA，几十mW的DPD功耗也会抵消PA效率的改进。

表2. 预算功耗

器件	需要数量	TDD 70:30典型功耗 (4T4R)
中等范围 FPGA SoC	1	~15 W
ADRV9xxx	1	~5 W
ADRF5545A	2	0.6 W
AD9545	1	0.7 W
AD9528	1	1.4 W
Pa驱动放大器	4	1.2 W
其他	1	2 W
总计	14	26 W 至 29 W

表3. 变送功耗

器件	需要数量	TDD 70:30典型功耗 (4T4R)
PA (+24 dBm/ 天线)	4	~2.5 W
PA (+37 dBm/天线)	4	~47 W

对于低功耗小型蜂窝，增加约2.5 W额外功率会让总功耗增加至约30 W，对于由PoE解决方案供电的无源冷却室内小型蜂窝非常合适。

一种潜在的PoE解决方案如图11所示。该解决方案包括LT4321桥控制器，它使得MOS晶体管可以用作理想的二极管，而不是整流器，其优点在于可以大幅提高效率。其后接LT4295，这是一个符合802.3bt标准的PD设备。还可以后接合适的本地稳压器，以满足之前的表中所示的要求，按照需要提供高达90+ W的功率。

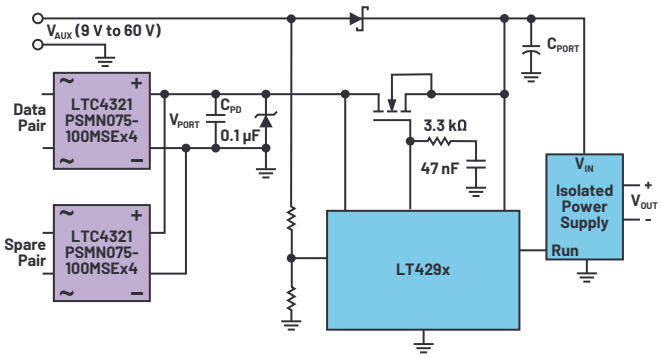

图11. PoE隔离式小型蜂窝电源解决方案。

除了PoE转换设备外，还可以使用许多其他设备来支持小型蜂窝参考设计。其中包括基础设备，例如ADP5054系列，该系列专用于为ADI收发器、许多其他降压转换器和低噪声LDO稳压器供电，如图12所示。

选项

这个无线电架构的一大优点是：它非常灵活，可以满足多种市场需求。此架构针对多种应用进行优化，包括FDD和TDD。它可以在低、中和高频段内保持高性能，非常适合小型蜂窝到大规模MIMO平台。可以在变送器和接收器电路中进行不同的权衡取舍，以优化成本、尺寸、重量和功率。虽然本部分侧重于更高的性能和集成，但可以通过选择稍微不同的选项，做出可以改善成本的取舍。

例如，一些低功耗PA不需要使用驱动放大器，可以不要求配备。对于许多小型蜂窝应用来说，RF功率都较低，所以可以使用简单的TR开关来替代环形器。最后，如果只需要局域性能，可以使用简单的单级LNA来替换双级LNA。结果是，成本更低的选项仍然能够提供不错的无线电性能。实例如图13所示。还可以使用许多其他排列，在广泛的频率和功率选项内，满足多种可能。

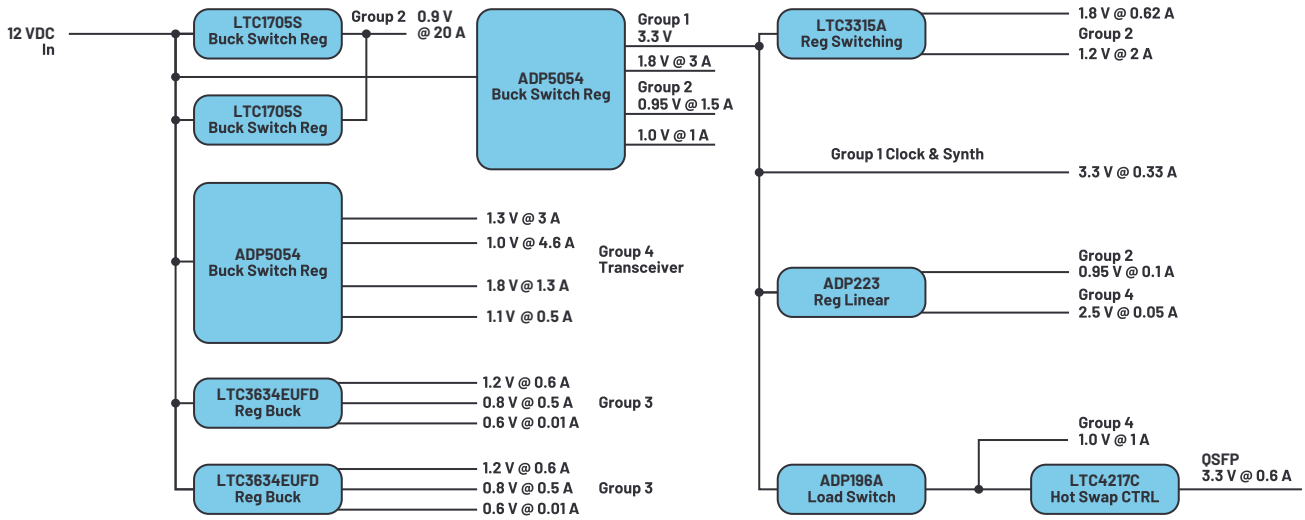

图12. 适用于小型蜂窝应用的典型功率树。

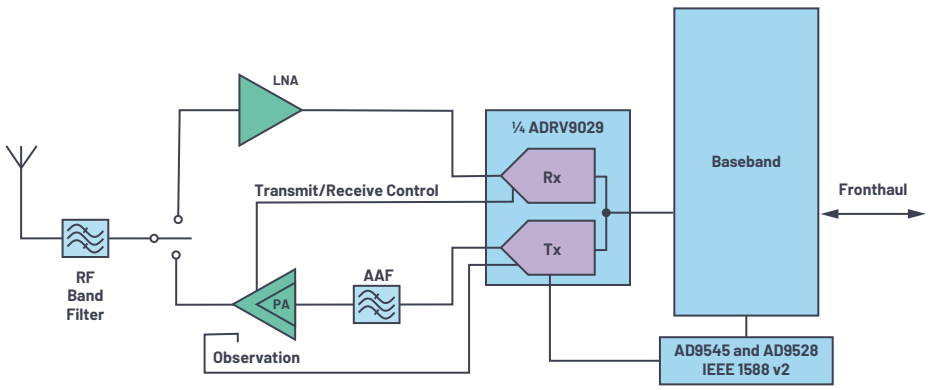

图13. 备用的收发器信号链。

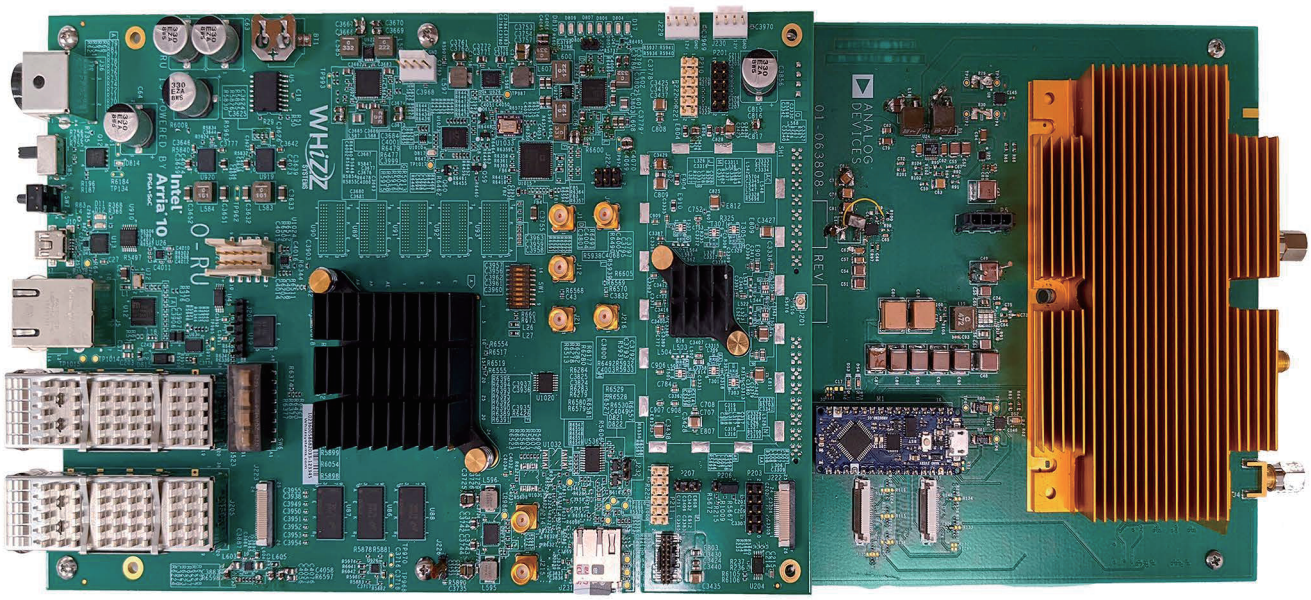

图14. 5G原型平台，包括可重新选择频段的RF前端。

结论

本文所述的5G技术设备适用于通信应用，支持实现适合5G开发的低成本设备，尤其是实现O-RAN O-RU解决方案的设备。其中包括来自RadioVerse系列的设备、RF放大器、时钟恢复/同步，以及以太网供电/负载点调节。这些高度集成的设备组合可用于实现5G小型蜂窝、宏蜂窝、微蜂窝和大规模MIMO应用。

与FPGA、eASIC或ASIC中提供的合适的PHY和软件组合使用时，可以开发完整的O-RU解决方案，如图14所示。此解决方案是与Intel®、Comcores和Whizz Systems等合作伙伴共同开发的。这些解决方案不仅满足所需的RF特性，而且满足部署低成本、高性能O-RAN平台所需的成本和功率预算。

来源

[1] ftp://ftp.3gpp.org/specs/latest/Rel-15/38_series/

[2] O-RAN联盟。

[3] “O-RAN：朝向开放和智能的RAN发展。”O-RAN联盟，2018年10月。

[4] Brad Brannon。“零中频的优势：PCB尺寸减小50%，成本降低三分之一。”*《模拟对话》*，第50卷第3期，2016年9月。

[5] 规格。O-RAN联盟。

作者简介

Brad Brannon自北卡罗来纳州立大学毕业至今，已在ADI公司工作37年。在ADI公司，他先后在设计、测试，应用和系统工程等领域担任多个职位。目前，Brad负责开发O-RAN参考设计，为这些客户提供支持。Brad撰写过多篇论文和应用笔记，主题涉及数据转换器计时、无线电设计、ADC测试等。联系方式：brad.brannon@analog.com。

在线支持社区

ADI EngineerZone™ 中文技术论坛

访问ADI在线支持社区，与ADI技术专家互动。提出您的棘手设计问题、浏览常见问题解答，或参与讨论。

请访问ez.analog.com/cn

©2021 Analog Devices, Inc. 保留所有权利。商标和注册商标属各自所有人所有。

“超越一切可能”是ADI公司的商标。

TA22824sc-7/21