8通道DAS，内置16位、1 MSPS 双极性输入、同步采样ADC

数据手册 **AD7606C-16**

产品特性

16位、1 MSPS ADC（所有通道）
具有1 MΩ最小模拟输入阻抗(R_{IN})的输入缓冲器
5 V模拟单电源，V_{DRIVE}：1.71 V至5.25 V
每通道可选模拟输入范围
- 双极单端：±12.5 V、±10 V、±6.25 V、±5 V、±2.5 V
- 单极单端：0 V至12.5 V、0 V至10 V、0 V至5 V
- 双极差分：±20 V、±12.5 V、±10 V、±5 V

两种带宽选项：每通道25 kHz或和220 kHz
灵活的数字滤波器，过采样率高达256
工作电压范围：-40°C至+125°C
具有6 kV ESD的±21 V输入箝位保护
与AD7606B和AD7606引脚兼容
性能
- 典型SNR：92 dB（±20 V双极性差分范围）
- 95 dB SNR，32倍过采样
- 典型THD：-100 dB（所有其他范围）
- TUE = 0.05% FSR（最大值），外部基准电压源
- PFS和NFS误差漂移：±0.5 ppm/°C（典型值）
- 基准电压源温度系数：±3 ppm/°C（典型值）

校准和诊断

每通道系统相位、偏移和增益校准
模拟输入开路检测特性
自诊断和监控特性
有关读写数据和寄存器的CRC差错校验

应用

电力线路监控
保护继电器
多相电机控制
仪器仪表和控制系统
数据采集系统

配套产品

基准电压源：ADR4525、LT6657、LTC6655
数字隔离器：ADuM142E、ADuM6422A、ADuM5020、ADuM5028
AD7606x系列软件模型
其他配套产品参见AD7606C-16产品页面

功能框图

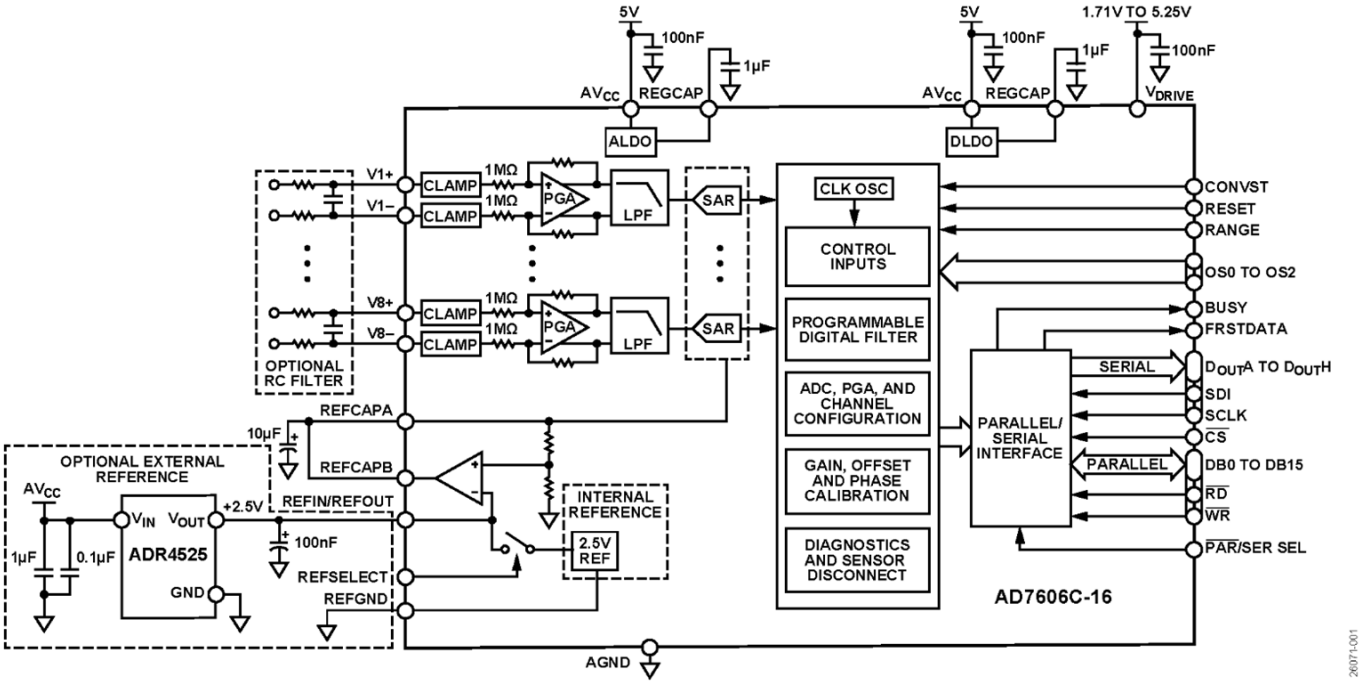

图1.

Rev. 0 Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel：781.329.4700
©2021 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com/cn

ADI 中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI 不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考 ADI 提供的最新英文版数据手册。

目录

产品特性 1
校准和诊断 1
应用 1
配套产品 1
功能框图 1
修订历史 2
概述 3
技术规格 4
时序规格 7
绝对最大额定值 11
热阻 11
静电放电(ESD)额定值 11
ESD 注意事项 11
引脚配置和功能描述 12
典型性能参数 15
术语 26
工作原理 28
模拟前端 28
SAR ADC 29
基准电压源 31
工作模式 31
数字滤波器 34
过采样填充 36
外部过采样时钟 36
系统校准特性 37
系统相位校准 37
系统增益校准 37
系统失调校准 38
模拟输入开路检测 38
数字接口 40
并行接口 41
串行接口 44
诊断 49
复位检测 49
数字错误 49
诊断多路复用器 52
典型连接图 53
应用信息 55
布局布线指南 55
寄存器汇总 57
寄存器详解 58
外形尺寸 74
订购指南 74

修订历史

2021年1月—修订版0：初始版

概述

AD7606C-16是一款8通道16位同步采样模拟数据采集系统(DAS)。每个通道均包含模拟输入箝位保护、可编程增益放大器(PGA)、低通滤波器(LPF)和16位逐次逼近寄存器(SAR)模数转换器(ADC)。AD7606C-16还包含灵活的数字滤波器、低漂移、2.5 V精密基准电压源和用于驱动ADC的基准电压源驱动，以及灵活的并行和串行接口。

AD7606C-16采用5 V单电源供电，在所有通道以1 MSPS的吞吐量采样时，可适应以下输入范围：

- 双极单端：±12.5 V、±10 V、±6.25 V、±5 V和±2.5 V
- 单极单端：0 V至12.5 V、0 V至10 V和0 V至5 V
- 双极差分：±20 V、±12.5 V、±10 V和±5 V

输入箝位保护可承受高达±21 V的电压。由于采用单电源供电、片内滤波和高输入阻抗，因此无需外部驱动运算放大器（这些放大器需要双极电源）。对于吞吐率较低的应用，AD7606C-16灵活数字滤波器可用于提高噪声性能。

在硬件模式下，AD7606C-16与AD7606和AD7606B完全兼容。在软件模式下，可以使用以下高级功能：

- 每个通道可选择模拟输入范围，提供更多的输入范围选择
- 每个通道可选择高带宽模式(220 kHz)
- 附加的过采样选项，过采样率高达256。
- 每通道的系统增益、系统失调和系统相位校准。
- 模拟输入开路检测
- 用于诊断的多路复用器
- 监测功能（串行外设接口(SPI)无效读和写、循环冗余校验(CRC)、持续忙碌监视器和复位检测）

请注意，在整篇数据手册中，多功能引脚（例如$\overline{RD}$/SCLK引脚）由整个引脚名称或引脚的单个功能表示，例如SCLK引脚（表示仅与此功能相关）。

表 1. 双极性输入、同步采样、引脚兼容系列器件

输入类型	分辨率（位）	R_{IN}[1] = 1 MΩ，200 kSPS	R_{IN} = 5 MΩ，800 kSPS	R_{IN} = 1 MΩ，1 MSPS	通道数量
单端	18	AD7608		AD7606C-18[2]	8
	16	AD7606	AD7606B[2]	AD7606C-16[2]	8
		AD7606-6			6
		AD7606-4			4
	14	AD7607			8
真差分	18	AD7609		AD7606C-18[2]	8
	16			AD7606C-16[2]	8

[1] R_{IN}为输入阻抗。
[2] 较新的设计推荐使用这款先进的器件为替代AD7606、AD7608和AD7609。

技术规格

除非另有说明，基准电压(V_{REF}) = 2.5 V（外部和内部），模拟电源电压(AV_{CC}) = 4.75 V至5.25 V，逻辑电源电压(V_{DRIVE}) = 1.71 V至5.25 V，采样频率(f_{SAMPLE}) = 1 MSPS，T_A = −40° C至+125°C，以及所有输入电压范围。

表 2.

参数	测试条件/注释	最小值	典型值	最大值	单位
动态性能	除非另有说明，输入频率(f_{IN}) = 1 kHz正弦波				
信噪比(SNR)					
低带宽模式	±20 V双极性差分范围	90	92		dB
	±20 V双极性差分范围，32倍过采样，f_{IN} = 50 Hz		95		dB
	±12.5 V双极性差分范围	89	90		dB
	±10 V双极性差分范围	89	90.5		dB
	±5 V双极性差分范围	88	90		dB
	±12.5 V双极性单端范围	88.5	90.5		dB
	±10 V双极性单端范围	89.5	91.5		dB
	±6.25 V双极性单端范围	88.5	90.5		dB
	±5 V双极性单端范围	88.5	90		dB
	±2.5 V双极性单端范围	86	88		dB
	0 V至12.5 V单极性单端范围	88	90		dB
	0 V至10 V单极性单端范围	87.5	89		dB
	0 V至5 V单极性单端范围	84	86		dB
高带宽模式	±20 V双极性差分范围		88		dB
	±12.5 V双极性差分范围		86.5		dB
	±10 V双极性差分范围		86		dB
	±5 V双极性差分范围		83.5		dB
	±12.5 V双极性单端范围		86.5		dB
	±10 V双极性单端范围		86		dB
	±6.25 V双极性单端范围		83.5		dB
	±5 V双极性单端范围		82.5		dB
	±2.5 V双极性单端范围		81		dB
	0 V至12.5 V单极性单端范围		82		dB
	0 V至10 V单极性单端范围		81		dB
	0 V至5 V单极性单端范围		80		dB
总谐波失真(THD)	低带宽模式				
	单极性范围		-97		dB
	所有其他范围		-100	-95	dB
无杂散动态范围(SFDR)			-105		dB
通道间隔离	未选中通道的f_{IN}最高可达200 kHz		-110		dB
满量程(FS)阶跃建立时间	0.01% FS，低带宽模式		80		µs
	0.01% FS，高带宽模式		15		µs
模拟输入滤波器					
−3 dB全功率带宽	低带宽模式		25		kHz
	高带宽模式		220		kHz
	高带宽模式，2.5 V双极性，0 V至5 V单极性		150		kHz
-0.1 dB全功率带宽	低带宽模式		3.9		kHz
	高带宽模式		25		kHz
	高带宽模式，2.5 V双极性，0 V至5 V单极性		20		kHz

参数	测试条件/注释	最小值	典型值	最大值	单位
相位延迟	低带宽模式		6.7		µs
	高带宽模式		1.1		µs
	高带宽模式，2.5 V双极性，0 V至5 V单极性		1.7		µs
相位延迟匹配					
	低带宽模式			200	ns
	高带宽模式			30	ns
直流精度					
分辨率	无失码	16			位
差分非线性(DNL)			±0.5	±0.99	LSB[1]
积分非线性(INL)	双极性输入范围		±0.5	±2	LSB[1]
	单极性输入范围		±1		LSB
总非调整误差(TUE)[2]					
	外部基准电压源、双极性输入范围		±6	±30	LSB
	外部基准电压源，±2.5 V范围		±6	±45	LSB
	单极性输入范围		±15	±70	LSB
双极性范围					
正满量程(PFS)和负满量程(NFS)误差[3]			±5	±30	LSB
PFS和NFS误差漂移			±0.5	±3	ppm/°C
PFS和NFS误差匹配			4	20	LSB
双极性零码值误差					
	2.5 V范围		±2	±40	LSB[1]
	所有其他输入范围		±2	±20	LSB[1]
双极性零码值误差漂移					
	2.5 V范围		±2	±5	ppm/°C
	所有其他输入范围		±0.5	±2.5	ppm/°C
双极性零码值误差匹配			5	25	LSB[1]
单极性范围					
FS误差			±15	±60	LSB
FS误差漂移			±1	±7	ppm/°C
FS误差匹配			5	40	LSB
零值误差			±15	±50	LSB
零电平误差漂移			±2.5	±7	ppm/°C
零电平误差匹配			5	40	LSB
系统校准					
PFS和NFS校准范围	Vx+和Vx−输入之前的串联电阻	1		64	kΩ
失调校准范围		1		255	LSB
相位校准范围		1		255	µs
PFS和NFS误差	增益校准后		±15		LSB
失调误差	失调校准后		±0.5		LSB
相位误差	相位校准后		±1		µs
模拟输入					
输入电压(V_{IN})范围	V_{IN} = Vx+ − Vx−				
	±20 V双极性差分范围	−20		+20	V
	±12.5 V双极性差分范围	-12.5		+12.5	V
	±10 V双极性差分范围	-10		+10	V
	±5 V双极性差分范围	-5		+5	V
	±12.5 V双极性单端范围	-12.5		+12.5	V
	±10 V双极性单端范围	-10		+10	V
	±6.25 V双极性单端范围	-6.25		+6.25	V
	±5 V双极性单端范围	-5		+5	V
	±2.5 V双极性单端范围	-2.5		+2.5	V

参数	测试条件/注释	最小值	典型值	最大值	单位
	0 V至12.5 V单极性单端范围	0		12.5	V
	0 V至10 V单极性单端范围	0		10	V
	0 V至5 V单极性单端范围	0		5	V
绝对电压负输入	Vx− − AGND				
	±12.5 V双极性单端范围	-1		+1.6	V
	±10 V双极性单端范围	-0.6		+1.9	V
	±6.25 V双极性单端范围	-0.4		+2.5	V
	±5 V双极性单端范围	-0.1		+2.7	V
	±2.5 V双极性单端范围	-0.05		+3	V
	0 V至12.5 V单极性单端范围	-6.5		+1.2	V
	0 V至10 V单极性单端范围	-4.9		+1.7	V
	0 V至5 V单极性单端范围	-2.3		+4	V
共模输入范围	±20 V双极性差分范围	-10		+10	V
	±12.5 V双极性差分范围	-7.8		+7.8	V
	±10 V双极性差分范围	-6		+7	V
	±5 V双极性差分范围	-3		+5	V
输入电阻(R_{IN})[4]		1	1.2		MΩ
模拟输入电流			$(V_{IN} - 2)/R_{IN}$		µA
输入电容(C_{IN})[5]			5		pF
输入阻抗漂移			±1	±25	ppm/°C
基准输入和输出					
基准输入电压	外部基准电压源	2.495	2.5	2.505	V
直流漏电流				±0.12	µA
输入电容(C_{IN})			7.5		pF
基准输出电压	内部基准电压源，T_A = 25°C	2.4975	2.5	2.5025	V
基准源温度系数			±3	±10	ppm/°C
ADC的基准电压	REFCAPA（引脚44）和REFCAPB（引脚45）	4.39		4.41	V
逻辑输入					
输入高电压(V_{INH})		0.7 × V_{DRIVE}			V
输入低电压(V_{INL})				0.2 × V_{DRIVE}	V
输入电流(I_{IN})				±1	µA
输入电容(C_{IN})			5		pF
逻辑输出					
输出高电压(V_{OH})	拉电流(I_{SOURCE}) = 100 µA	V_{DRIVE} − 0.2			V
输出低电压(V_{OL})	灌电流(I_{SINK}) = 100 µA			0.2	V
浮空状态漏电流			±1	±20	µA
输出电容[5]			5		pF
输出编码双极性范围	二进制补码				
输出编码单极性范围	标准二进制				
转换速率					
转换时间	见表3		550		ns
采集时间[6]			450		ns
吞吐速率	每通道			1000	kSPS
电源要求					
AV_{CC}		4.75	5	5.25	V
V_{DRIVE}		1.71		5.25	V
AV_{CC}电流(I_{AVCC})					
正常模式（静态）			9	11	mA
正常模式（工作状态）	f_{SAMPLE} = 1 MSPS		45	50	mA
	f_{SAMPLE} = 10 kSPS		8.5	10	mA
待机			5	6	mA
关断模式			0.5	5	µA

参数	测试条件/注释	最小值	典型值	最大值	单位
V_{DRIVE}电流(I_{VDRIVE})					
正常模式（静态）			2.8	5	µA
正常模式（工作状态）	f_{SAMPLE} = 1 MSPS		1.8	1.9	mA
	f_{SAMPLE} = 10 kSPS		21	24	µA
待机			2.5	4	µA
关断模式			0.5	1.5	µA
功耗					
正常模式（静态）			47	58	mW
正常模式（工作状态）	f_{SAMPLE} = 1 MSPS		245	272	mW
	f_{SAMPLE} = 10 kSPS		45	52	mW
待机			26	32	mW
关断模式			5	24	µW

[1] LSB表示最低有效位。±2.5 V输入范围时，1 LSB = 76.293 µV。±5 V输入范围时，1 LSB = 152.58 µV。±10 V输入范围时，1 LSB = 305.175 µV。
[2] TUE (% FSR) = TUE (LSB)/2^{16} × 100。例如，32 LSB = FSR的0.05 %。
[3] 这些特性包括整个温度范围内的波动和内部基准电压缓冲的贡献。
[4] 输入阻抗波动经过工厂调整，并在"系统增益校准"部分予以说明。
[5] 未经生产测试。样片在初次发布期间均经过测试，以确保符合标准要求。
[6] ADC输入是由内部PGA建立的。因此，采集时间是一个转换结束到下一个转换开始之间的时间，对外部组件无影响。

时序规格

通用时序规格

除非另有说明，AV_{CC} = 4.75 V至5.25 V，V_{DRIVE} = 1.71 V至5.25 V，V_{REF} = 2.5 V外部和内部基准电压，T_A = −40° C至+125°C。接口时序利用20 pF负载电容进行测试，取决于V_{DRIVE}和串行接口的负载电容。

表 3.

参数	最小值	典型值	最大值	单位	描述
t_{CYCLE}	1			µs	连续CONVST上升沿之间的最短时间（不包括过采样模式）[1]
t_{LP_CNV}	10			ns	CONVST低电平脉冲宽度
t_{HP_CNV}	10			ns	CONVST高电平脉冲宽度
$t_{D_CNV_BSY}$			22	ns	CONVST高电平到BUSY高电平延迟时间
t_{S_BSY}	0			ns	从BUSY下降沿到$\overline{RD}$下降沿建立时间（使用并行接口），或到MSB在D_{OUT}x线路上可用（使用串行接口）的最短时间
t_{D_BSY}	25			ns	从上一个$\overline{RD}$下降沿（使用并行接口）或下一个LSB输出（使用串行接口）到下一个BUSY下降沿之间的最短时间，在转换期间读取
t_{ACQ}	0.35			µs	采集时间
t_{CONV}	0.5		0.65	µs	转换时间，无过采样
	1.7		1.75	µs	2倍过采样
	3.6		3.8	µs	4倍过采样
	7.6		7.85	µs	8倍过采样
	15.5		16	µs	16倍过采样
	31.0		32.5	µs	32倍过采样
	62.75		65.0	µs	64倍过采样
	126		130	µs	128倍过采样
	252		256	µs	256倍过采样
t_{RESET}					
部分复位	55		2000	ns	部分RESET高电平脉冲宽度
完全复位	3200			ns	完全RESET高电平脉冲宽度
t_{DEVICE_SETUP}				µs	RESET下降沿和第一个CONVST上升沿之间的时间
部分复位	50			ns	
完全复位	274			µs	

参数	最小值	典型值	最大值	单位	描述
$t_{WAKE-UP}$					待机和关断模式后的唤醒时间（参见图86）
待机	1			µs	
关断	10			ms	
$t_{POWER-UP}$	10			ms	$AV_{CC}V_{DRIVE}$稳定到RESET置位之间的时间

[1] 当所有8条$D_{OUT}x$线路都被选中时，适用于串行模式。

通用时序图

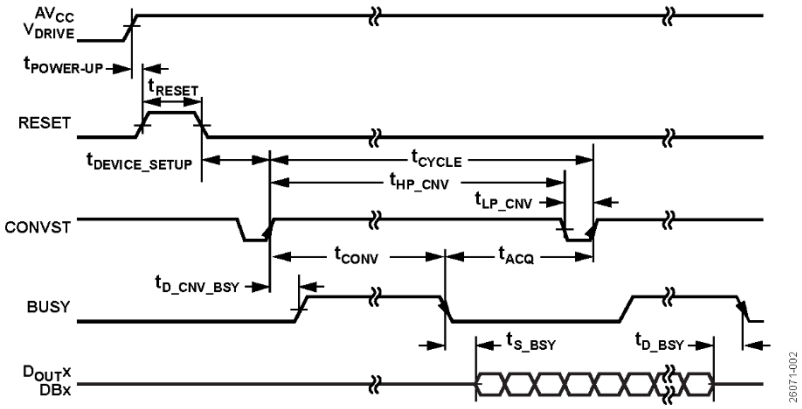

图2. 通用时序图

并行模式时序规格

表 4.

参数	最小值	典型值	最大值	单位	描述
$t_{S_\overline{CS}_\overline{RD}}$	0			ns	$\overline{CS}$下降沿到$\overline{RD}$下降沿建立时间
$t_{H_\overline{RD}_\overline{CS}}$	0			ns	$\overline{RD}$上升沿到$\overline{CS}$上升沿保持时间
$t_{HP_\overline{RD}}$	10			ns	$\overline{RD}$高电平脉冲宽度
$t_{LP_\overline{RD}}$	10			ns	$\overline{RD}$低电平脉冲宽度
$t_{HP_\overline{CS}}$	10			ns	$\overline{CS}$高电平脉冲宽度
$t_{D_\overline{CS}_DB}$			35	ns	从$\overline{CS}$到DBx三态被禁用的延迟时间
$t_{D_\overline{RD}_DB}$					$\overline{RD}$下降沿后的数据访问时间
			30	ns	V_{DRIVE} > 2.7 V
			25	ns	V_{DRIVE} < 2.7 V
$t_{H_\overline{RD}_DB}$	12			ns	$\overline{RD}$下降沿后的数据保持时间
$t_{DHZ_\overline{CS}_DB}$			40	ns	$\overline{CS}$上升沿到DBx高阻抗状态
$t_{CYC_\overline{RD}}$	30			ns	$\overline{RD}$下降沿到下一个$\overline{RD}$下降沿
$t_{D_\overline{CS}_FD}$			20	ns	从$\overline{CS}$下降沿直到FRSTDATA三态被禁用的延迟时间
$t_{D_\overline{RD}_FDH}$			30	ns	从$\overline{RD}$下降沿到FRSTDATA高电平的延迟时间
$t_{D_\overline{RD}_FDL}$			30	ns	从$\overline{RD}$下降沿到FRSTDATA低电平的延迟时间
$t_{DHZ_\overline{CS}_FD}$			25	ns	从$\overline{CS}$上升沿到FRSTDATA三态使能的延迟时间
$t_{S_\overline{CS}_\overline{WR}}$	0			ns	$\overline{CS}$到$\overline{WR}$建立时间
$t_{HP_\overline{WR}}$	2			ns	$\overline{WR}$高电平脉冲宽度
$t_{LP_\overline{WR}}$	35			ns	$\overline{WR}$低电平脉冲宽度
$t_{H_\overline{WR}_\overline{CS}}$	0			ns	$\overline{WR}$保持时间
$t_{S_DB_\overline{WR}}$	5			ns	配置数据到$\overline{WR}$建立时间
$t_{H_\overline{WR}_DB}$	5			ns	配置数据到$\overline{WR}$保持时间
$t_{CYC_\overline{WR}}$	180			ns	配置数据建立时间，$\overline{WR}$上升沿到下一个$\overline{WR}$上升沿

并行模式时序图

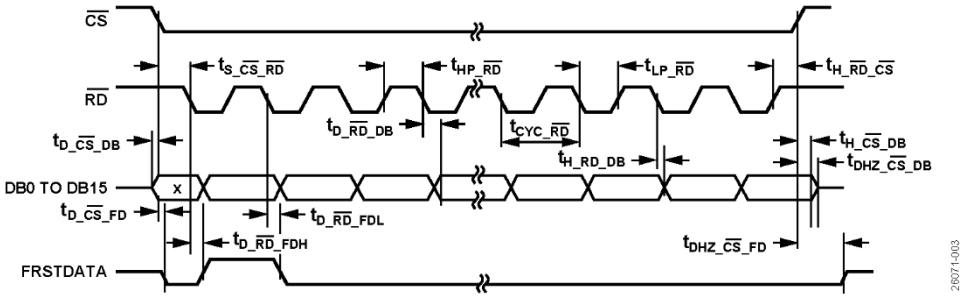

图3. 并行模式读取，独立的CS和RD脉冲

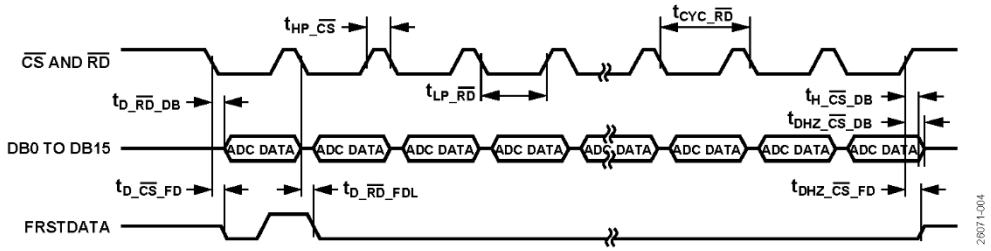

图4. 并行模式读取，相连的CS和RD脉冲

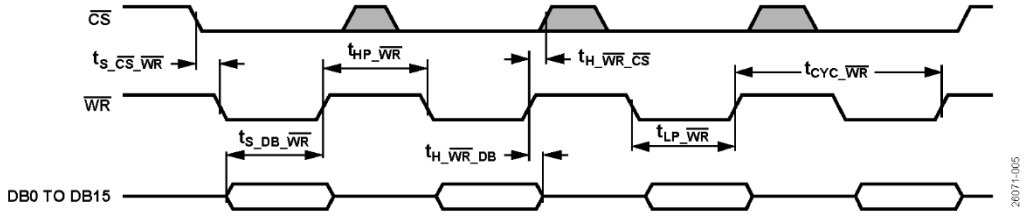

图5. 并行模式写操作

串行模式时序规格

表 5.

参数	最小值	典型值	最大值	单位	描述
f_{SCLK}					SCLK频率$f_{SCLK} = 1/t_{SCLK}$
			60	MHz	$V_{DRIVE} > 2.7$ V
			40	MHz	$V_{DRIVE} < 2.7$ V
t_{SCLK}	$1/f_{SCLK}$			µs	最短SCLK周期
$t_{S_\overline{CS}_SCK}$	2			ns	CS到SCLK下降沿建立时间
$t_{H_SCK_\overline{CS}}$	2			ns	SCLK到CS上升沿保持时间
t_{LP_SCK}	$0.4 \times t_{SCLK}$			ns	SCLK低电平脉宽
t_{HP_SCK}	$0.4 \times t_{SCLK}$			ns	SCLK高电平脉宽
$t_{D_\overline{CS}_DO}$			18	ns	从CS到D_{OUT}x三态被禁用的延迟时间
$t_{D_SCK_DO}$					SCLK上升沿后的数据输出访问时间
			17	ns	$V_{DRIVE} > 2.7$ V
			25	ns	$V_{DRIVE} < 2.7$ V
$t_{H_SCK_DO}$					SCLK上升沿后的数据输出保持时间
	7			ns	$V_{DRIVE} > 2.7$ V
	10			ns	$V_{DRIVE} < 2.7$ V
$t_{S_SDI_SCK}$	9			ns	SCLK下降沿前的数据输入建立时间
$t_{H_SCK_SDI}$	0			ns	SCLK下降沿后的数据输入保持时间

参数	最小值	典型值	最大值	单位	描述
$t_{DHZ_\overline{CS}_DO}$			25	ns	$\overline{CS}$上升沿到$D_{OUT}x$高阻抗
$t_{\overline{WR}}$	25			ns	读写同一个寄存器或两次写操作之间的时间（如果f_{SCLK} >50 MHz）
$t_{D_\overline{CS}_FD}$			16	ns	从$\overline{CS}$到$D_{OUT}x$三态被禁用的延迟时间，或从$\overline{CS}$到MSB有效的延迟时间
$t_{D_SCK_FDL}$			18	ns	第16个SCLK下降沿到FRSTDATA低电平
t_{DHZ_FD}			20	ns	$\overline{CS}$从上升沿到FRSTDATA三态使能

串行模式时序图

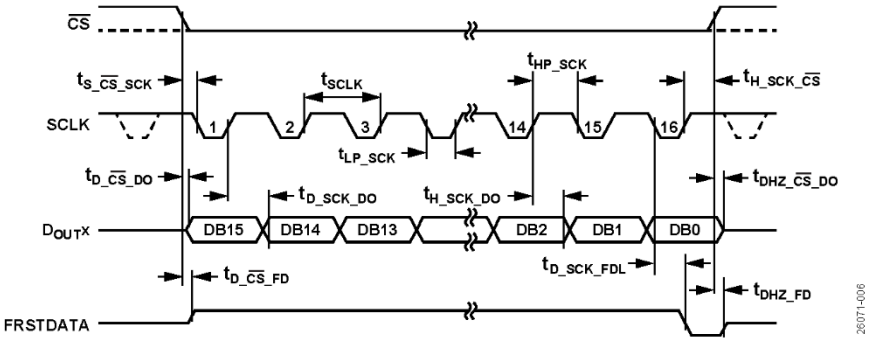

图6. 串行时序图，ADC模式（通道1）

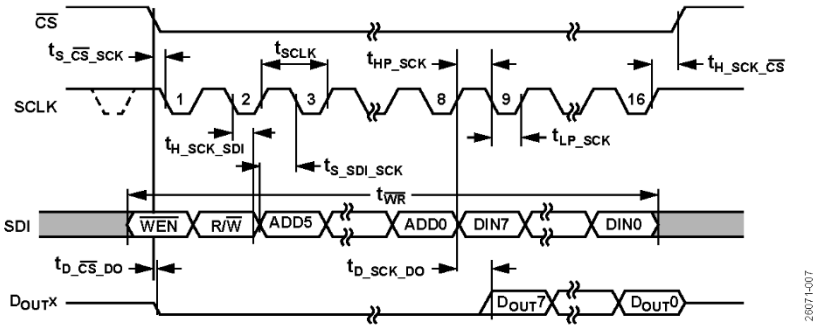

图7. 串行时序接口，寄存器映射读写操作

绝对最大额定值

除非另有说明，T_A = 25°C。

表 6.

参数	额定值
AV_{CC}至AGND	-0.3 V至+6.5 V
V_{DRIVE}至AGND	–0.3 V至AV_{CC} + 0.3 V
模拟输入电压至AGND[1]	±21 V
数字输入电压至AGND	–0.3 V至V_{DRIVE} + 0.3 V
数字输出电压至AGND	–0.3 V至V_{DRIVE} + 0.3 V
REFIN至AGND	–0.3 V至AV_{CC} + 0.3 V
输入电流至除电源引脚外的任何引脚[1]	±10 mA
温度	
工作范围	–40°C至+125°C
存储范围	-65°C至+150°C
结温	150°C
铅锡焊接，回流焊（10秒至30秒）	240 (+0)°C
无铅回流焊	260 (+0)°C

[1] 100 mA以下的瞬态电流不会造成硅控整流器(SCR)闩锁。

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热阻

热性能与印刷电路板(PCB)设计和工作环境直接相关。必须慎重对待PCB散热设计。

θ_{JA}是自然对流下的结至环境热阻，在1立方英尺的密封外罩中测量。θ_{JC}是结至外壳热阻。

表 7. 热阻

封装类型	θ_{JA}[1]	θ_{JC}	单位
ST-64-2	40	7	°C/W

[1] 基于JEDEC 2s2p热测试PCB的仿真数据，JEDEC自然对流环境。

静电放电(ESD)额定值

以下ESD信息仅用于处理ESD保护区域内的ESD敏感器件。

人体模型(HBM)，根据ANSI/ESDA/JEDEC JS-001。

场感应充电器件模型(FICDM)，根据ANSI/ESDA/JEDEC JS-002。

AD7606C-16的ESD额定值

表 8. AD7606C-16，64 引脚 LQFP

ESD模型	耐受阈值(V)	级别
HBM		3A
仅模拟输入	6000	
所有其他引脚	4000	
FICDM	750	C4

ESD注意事项

ESD（静电放电）敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

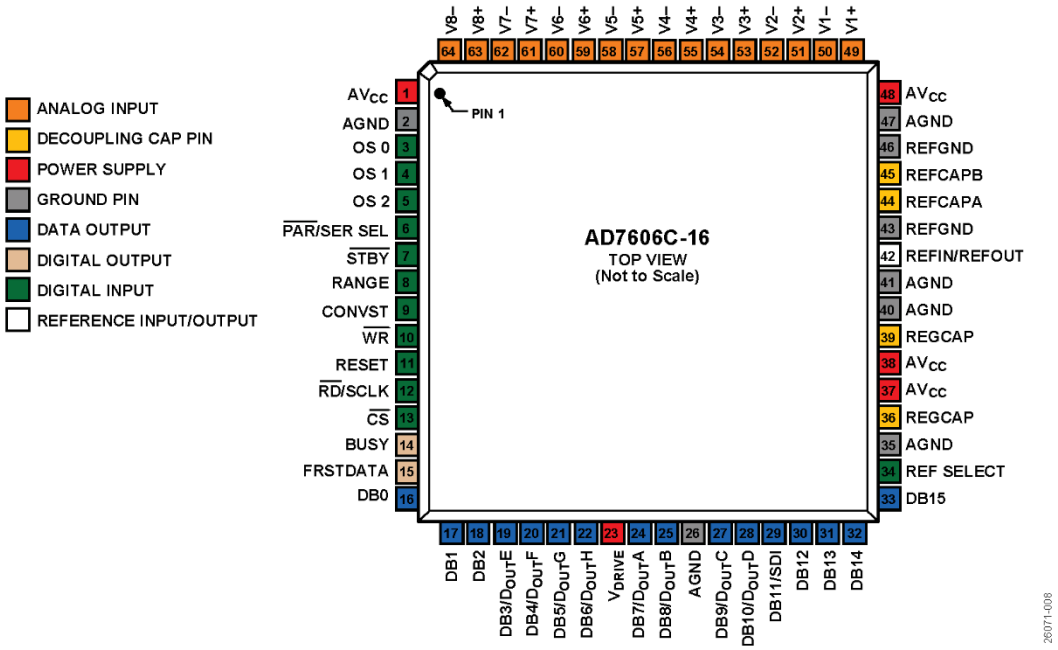

图8. 引脚配置

表 9. 引脚功能描述

引脚编号	类型[1]	引脚名称	描述
1、37、38、48	P	AV_{CC}	模拟电源电压，4.75 V至5.25 V。这是内部前端放大器和ADC内核的电源电压。将这些电源引脚去耦至AGND。
2、26、35、40、41、47	P	AGND	模拟地。AGND引脚是AD7606C-16上所有模拟电路的接地基准点。所有模拟输入信号和外部基准信号都必须参考AGND引脚。所有6个AGND引脚都必须连到系统的AGND平面。
3至5	DI	OS0至OS2	过采样模式引脚。OS0至OS2选择过采样率或使能软件模式（关于过采样位解码，见表14）。关于过采样工作模式的更多信息，见“数字滤波器”部分。
6	DI	$\overline{PAR}$/SER SEL	并行/串行接口选择输入。如果$\overline{PAR}$/SER SEL引脚与逻辑低电平相连，则选择并行接口。如果$\overline{PAR}$/SER SEL引脚与逻辑高电平相连，则选择串行接口。有关每个可用接口的更多信息，请参见“串行接口”部分。
7	DI	$\overline{STBY}$	待机模式输入。在硬件模式下，$\overline{STBY}$引脚和RANGE引脚一起，让AD7606C-16进入两种省电模式之一：待机模式或关断模式。在软件模式下，忽略$\overline{STBY}$引脚。所以，建议将$\overline{STBY}$引脚连接到逻辑高电平。关于硬件模式和软件模式的更多，请参见“省电模式”部分。
8	DI	RANGE	模拟输入范围选择输入。在硬件模式下，RANGE引脚决定模拟输入通道的输入范围（见表10）。如果$\overline{STBY}$引脚为逻辑低电平，RANGE引脚决定省电模式（见表16）。在软件模式下，忽略RANGE引脚。但是，必须将RANGE引脚拉高或拉低。
9	DI	CONVST	转换启动输入。当CONVST引脚从低电平变为高电平时，在所有8个SAR ADC上对模拟输入进行采样。在软件模式下，CONVST引脚可以配置为外部过采样时钟。提供低抖动外部时钟有助于提高较大过采样率的SNR性能。详情参见“外部过采样时钟”部分。
10	DI	$\overline{WR}$	并行写控制输入。在硬件模式下，$\overline{WR}$引脚无功能。所以，可以将$\overline{WR}$引脚拉高、拉低，或者短接至CONVST。在软件模式下，$\overline{WR}$引脚是使用并行接口写入寄存器的低电平有效写入引脚。详情参见“并行接口”部分。

引脚编号	类型[1]	引脚名称	描述
11	DI	RESET	复位输入，有效高电平。提供完全和部分复位选项。复位类型由复位脉冲的长度决定。上电后，建议器件接受完全复位脉冲。详情参见"复位功能"部分。
12	DI	$\overline{RD}$/SCLK	如果选择并行接口($\overline{RD}$)，则为并行数据读取控制输入。 如果选择串行接口，则为串行时钟输入(SCLK)。详情请参见"数字接口"部分。
13	DI	$\overline{CS}$	片选。$\overline{CS}$引脚是低电平有效片选输入，用于在串行和并行接口中进行ADC数据读取或寄存器数据读写。详情请参见"数字接口"部分。
14	DO	BUSY	输出繁忙。BUSY引脚随CONVST上升沿变为逻辑高电平。BUSY输出保持高电平，直到所有通道的转换过程完成为止。
15	DO	FRSTDATA	首个数据输出。FRSTDATA输出信号指示正在并行接口（见图3）或串行接口（见图6）上回读第一通道V1。详情请参见"数字接口"部分。
16至18	DO/DI	DB0至DB2	并行输出/输入数据位。使用并行接口时，DB0至DB2引脚充当三态并行数字输入和输出引脚（参见"并行接口"部分）。当$\overline{CS}$和$\overline{RD}$均处于低电平时，DB0至DB2引脚用来输出转换结果的DB0至DB2。使用串行接口时，将DB0至DB2引脚连接至AGND。
19	DO/DI	DB3/D_{OUT}E	并行输出/输入数据位3/串行接口数据输出引脚。使用并行接口时，DB3/D_{OUT}E引脚充当三态并行数字输入/输出引脚。当$\overline{CS}$和$\overline{RD}$均处于低电平时，DB3/D_{OUT}E引脚用来输出转换结果的DB3。使用串行接口时，DB3/D_{OUT}E引脚用作D_{OUT}E。有关每个数据接口和工作模式的更多详细信息，请参见表23。
20	DO/DI	DB4/D_{OUT}F	并行输出/输入数据位4/串行接口数据输出引脚。使用并行接口时，DB4/D_{OUT}F引脚充当三态并行数字输入/输出引脚。当$\overline{CS}$和$\overline{RD}$均处于低电平时，DB4/D_{OUT}F引脚用来输出转换结果的DB4。使用串行接口时，DB4/D_{OUT}F引脚用作D_{OUT}F。有关每个数据接口和工作模式的更多详细信息，请参见表23。
21	DO/DI	DB5/D_{OUT}G	并行输出/输入数据位5/串行接口数据输出引脚。使用并行接口时，DB5/D_{OUT}G引脚充当三态并行数字输入/输出引脚。当$\overline{CS}$和$\overline{RD}$均处于低电平时，DB5/D_{OUT}G引脚用来输出转换结果的DB5。使用串行接口时，DB5/D_{OUT}G引脚用作D_{OUT}G。有关每个数据接口和工作模式的更多详细信息，请参见表23。
22	DO/DI	DB6/D_{OUT}H	并行输出/输入数据位6/串行接口数据输出引脚。使用并行接口时，DB6/D_{OUT}H引脚充当三态并行数字输入/输出引脚。当$\overline{CS}$和$\overline{RD}$均处于低电平时，DB6/D_{OUT}H引脚用来输出转换结果的DB6。使用串行接口时，DB6/D_{OUT}H引脚用作D_{OUT}H。有关每个数据接口和工作模式的更多详细信息，请参见表23。
23	P	V_{DRIVE}	逻辑电源输入。V_{DRIVE}引脚的电源电压（1.71 V至5.25 V）决定该接口的工作电压。V_{DRIVE}引脚的标称电源与主机接口（即数据信号处理器(DSP)和现场可编程门阵列(FPGA)）电源相同。
24	DO/DI	DB7/D_{OUT}A	并行输出/输入数据位7/串行接口数据输出引脚。使用并行接口时，DB7/D_{OUT}A引脚充当三态并行数字输入/输出引脚。当$\overline{CS}$和$\overline{RD}$均处于低电平时，DB7/D_{OUT}A引脚用来输出转换结果的DB7。使用串行接口时，DB7/D_{OUT}A引脚用作D_{OUT}A。有关每个数据接口和工作模式的更多详细信息，请参见表23。
25	DO/DI	DB8/D_{OUT}B	并行输出/输入数据位8/串行接口数据输出引脚。使用并行接口时，DB8/D_{OUT}B引脚充当三态并行数字输入和输出引脚。当$\overline{CS}$和$\overline{RD}$均处于低电平时，DB8/D_{OUT}B引脚用来输出转换结果的DB8。使用串行接口时，DB8/D_{OUT}B引脚用作D_{OUT}B。有关每个数据接口和工作模式的更多详细信息，请参见表23。
27	DO/DI	DB9/D_{OUT}C	并行输出/输入数据位9/串行接口数据输出引脚。使用并行接口时，DB9/D_{OUT}C引脚用作三态并行数字输入和输出引脚。当$\overline{CS}$和$\overline{RD}$均处于低电平时，DB9/D_{OUT}C引脚用来输出转换结果的DB9。使用串行接口时，如果是在软件模式下，且使用4 D_{OUT}x线路选项或8 D_{OUT}x线路选项，则DB9/D_{OUT}C引脚用作D_{OUT}C。有关每个数据接口和工作模式的更多详细信息，请参见表23。

引脚编号	类型[1]	引脚名称	描述
28	DO/DI	DB10/D_{OUT}D	并行输出/输入数据位10/串行接口数据输出引脚。使用并行接口时，DB10/D_{OUT}D引脚充当三态并行数字输入/输出引脚。当$\overline{CS}$和$\overline{RD}$均处于低电平时，DB10/D_{OUT}D引脚用来输出转换结果的DB10。使用串行接口时，如果是在软件模式下，且使用4 D_{OUT}x线路选项或8 D_{OUT}x线路选项，则DB10/D_{OUT}D引脚用作D_{OUT}D。有关每个数据接口和工作模式的更多详细信息，请参见表23。
29	DO/DI	DB11/SDI	并行输出/输入数据位11/串行数据输入。使用并行接口时，DB11/SDI引脚用作三态并行数字输入和输出引脚。当$\overline{CS}$和$\overline{RD}$均处于低电平时，DB11/SDI引脚用来输出转换结果的DB11。在软件模式下使用串行接口时，DB11/SDI引脚用作SDI。有关每个数据接口和工作模式的更多详细信息，请参见表23。
30、31	DO/DI	DB12、DB13	并行输出/输入数据位。使用并行接口时，DB12和DB13引脚充当三态并行电子输入和输出引脚（参见"并行接口"部分）。当$\overline{CS}$和$\overline{RD}$均处于低电平时，DB12和DB13引脚用来输出转换结果的DB12和DB13。使用串行接口时，将DB12和DB13引脚连接至AGND。
32	DO/DI	DB14	并行输出/输入数据位。使用并行接口时，DB14引脚充当三态并行电子输入和输出引脚（参见"并行接口"部分）。当$\overline{CS}$和$\overline{RD}$均处于低电平时，DB14引脚用来输出转换结果的DB14。使用串行接口时，将DB14引脚连接至AGND。
33	DO/DI	DB15	并行输出/输入数据位。使用并行接口时，DB15引脚充当三态并行电子输入和输出引脚（参见"并行接口"部分）。当$\overline{CS}$和$\overline{RD}$均处于低电平时，DB15引脚用来输出转换结果的DB15。使用串行接口时，将DB15引脚连接至AGND。
34	DI	REF SELECT	内部/外部基准电压模式选择逻辑输入。如果REF SELECT引脚设为逻辑高电平，则选择并使能内部基准电压模式。如果REF SELECT引脚设为逻辑低电平，则内部基准电压禁用，必须将外部基准电压施加到REFIN/REFOUT引脚。
36、39	P	REGCAP	1.9 V内部稳压器、模拟低压差(ALDO)和数字低压差(DLDO)稳压器输出的去耦电容引脚。必须分别将REGCAP输出引脚通过一个1 µF电容去耦至AGND。REGCAP引脚上的电压在1.875 V至1.93 V范围内。
42	REF	REFIN/REFOUT	基准电压输入/基准电压输出。REF SELECT引脚设置为逻辑高电平时，REFOUT引脚将提供内部2.5 V基准电压供外部使用。或者，通过将REF SELECT引脚设置为逻辑低电平，禁用内部基准电压源，必须将2.5 V外部基准电压施加到此输入(REFIN)。无论使用内部还是外部基准电压，都必须在REFIN引脚与REFGND引脚附近的地之间连接一个100 nF电容。更多信息参见"基准电压"部分。
43、46	REF	REFGND	基准电压接地引脚。REFGND引脚必须连接到AGND。
44、45	REF	REFCAPA、REFCAPB	基准电压缓冲输出强制引脚和检测引脚。必须将REFCAPA和REFCAPB引脚连在一起，并通过低有效串联电阻(ESR)、10 µF陶瓷电容去耦至AGND。REFCAPA和REFCAPB引脚上的电压典型值为4.4 V。
49	AI	V1+	通道1正模拟输入引脚。
50	AI	V1−	通道1负模拟输入引脚。
51	AI	V2+	通道2正模拟输入引脚。
52	AI	V2−	通道2负模拟输入引脚。
53	AI	V3+	通道3正模拟输入引脚。
54	AI	V3−	通道3负模拟输入引脚。
55	AI	V4+	通道4正模拟输入引脚。
56	AI	V4−	通道4负模拟输入引脚。
57	AI	V5+	通道5正模拟输入引脚。
58	AI	V5−	通道5负模拟输入引脚。
59	AI	V6+	通道6正模拟输入引脚。
60	AI	V6−	通道6负模拟输入引脚。
61	AI	V7+	通道7正模拟输入引脚。
62	AI	V7−	通道7负模拟输入引脚。
63	AI	V8+	通道8正模拟输入引脚。
64	AI	V8−	通道8负模拟输入引脚。

[1] P表示电源，DI表示数字输入，DO表示数字输出，REF表示基准电压输入/输出，AI表示模拟输入，GND表示地。

典型性能参数

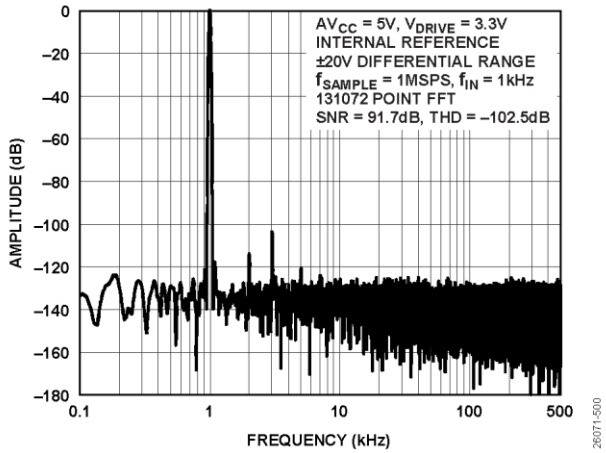

图9. 快速傅立叶变换(FFT)，±20 V差分范围，低带宽模式

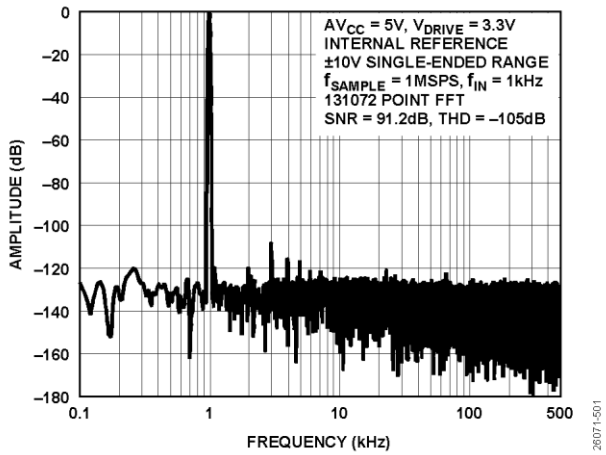

图10. FFT，±10 V单端范围，低带宽模式

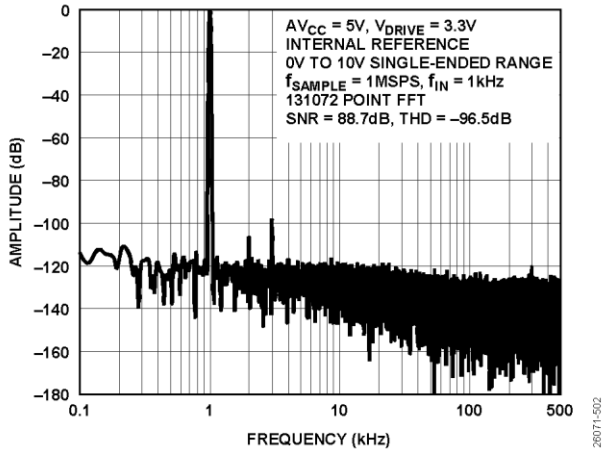

图11. FFT，0 V至10 V单端范围，低带宽模式

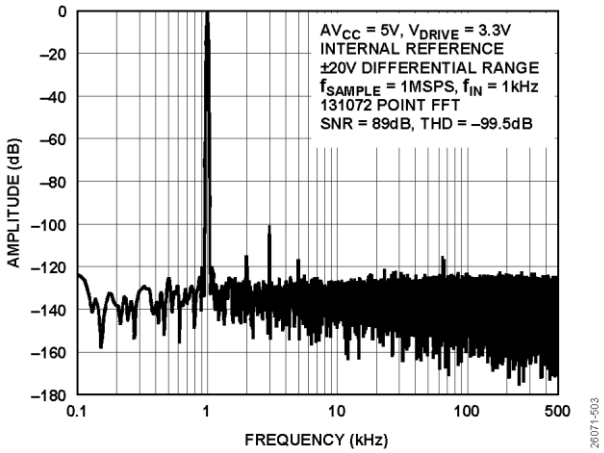

图12. FFT，±20 V差分范围，高带宽模式

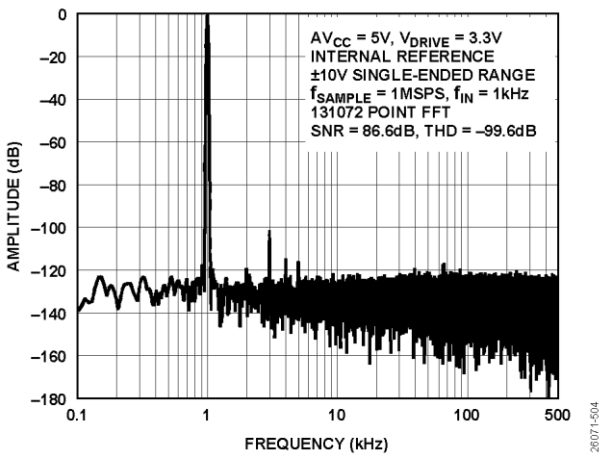

图13. FFT，±10 V单端范围，高带宽模式

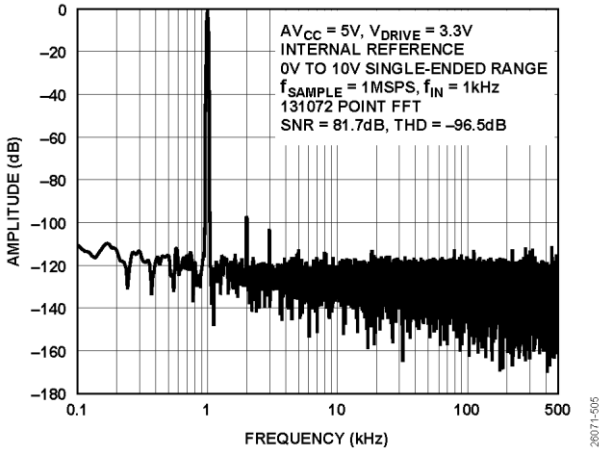

图14. FFT，0 V至10 V单端范围，高带宽模式

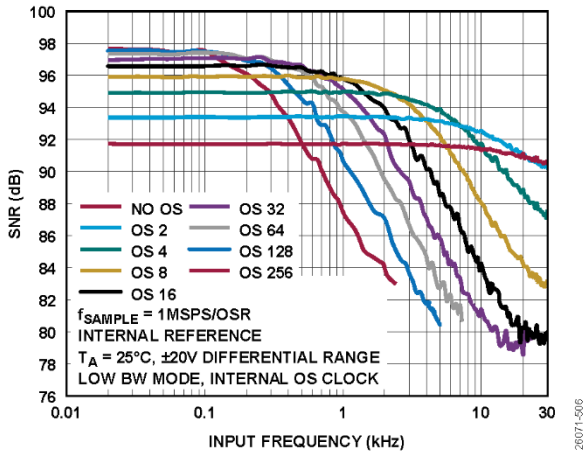

图15. 不同过采样率(OSR)值下SNR与输入频率的关系，±20 V差分范围，低带宽模式，内部过采样时钟（OS = 过采样）

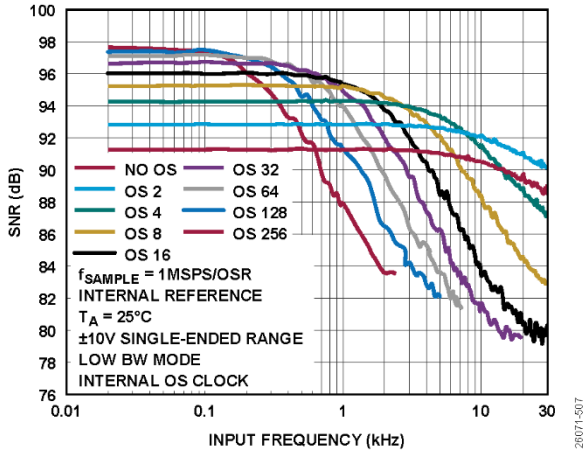

图16. 不同OSR值下SNR与输入频率的关系，±10 V单端范围，低带宽模式，内部过采样时钟

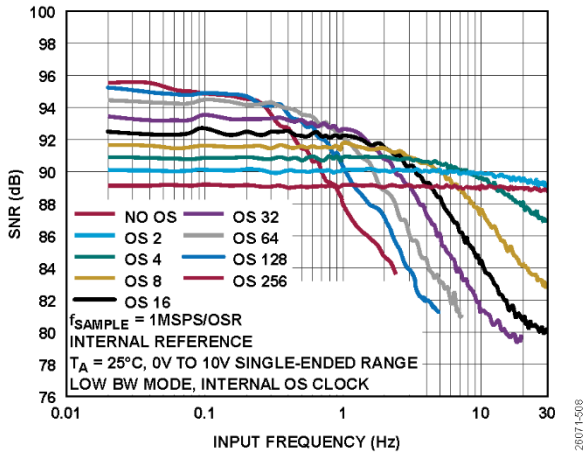

图17. 不同OSR值下SNR与输入频率的关系，0 V至10 V单端范围，低带宽模式，内部过采样时钟

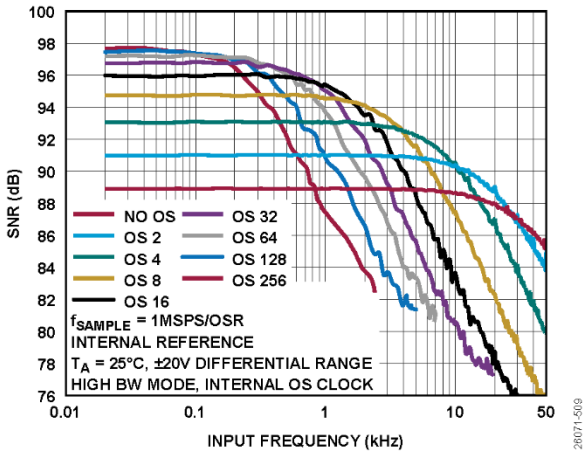

图18. 不同OSR值下SNR与输入频率的关系，±20 V差分范围，高带宽模式，内部过采样时钟

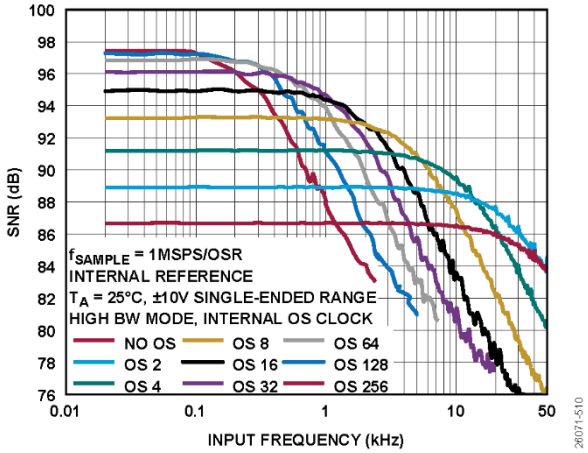

图19. 不同OSR值下SNR与输入频率的关系，±10 V单端范围，高带宽模式，内部过采样时钟

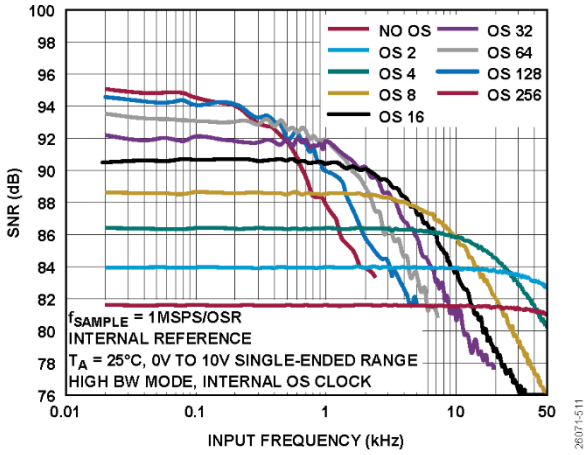

图20. 不同OSR值下SNR与输入频率的关系，0 V至10 V单端范围，高带宽模式，内部过采样时钟

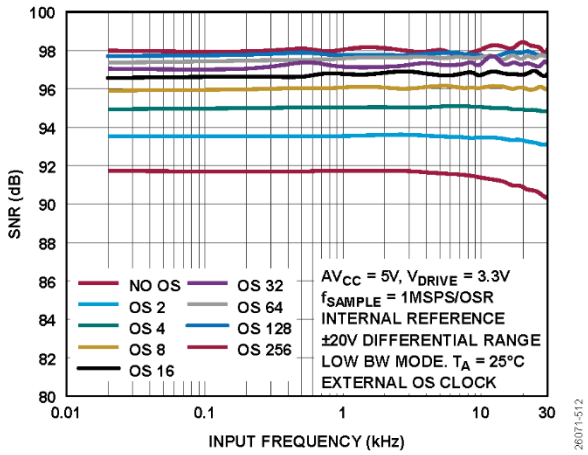

图21. 不同OSR值下SNR与输入频率的关系，±20 V差分范围，低带宽模式，外部过采样时钟

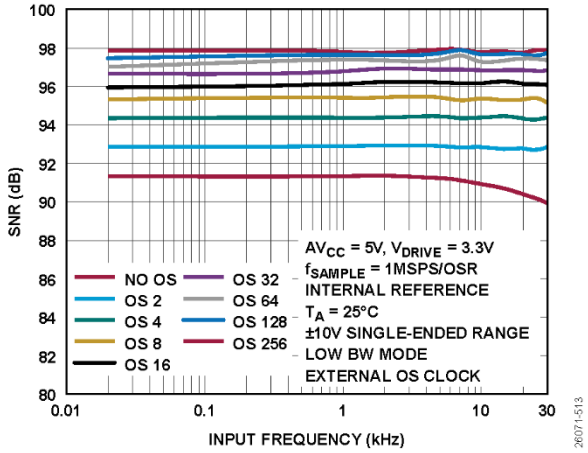

图22. 不同OSR值下SNR与输入频率的关系，±10 V单端范围，低带宽模式，外部过采样时钟

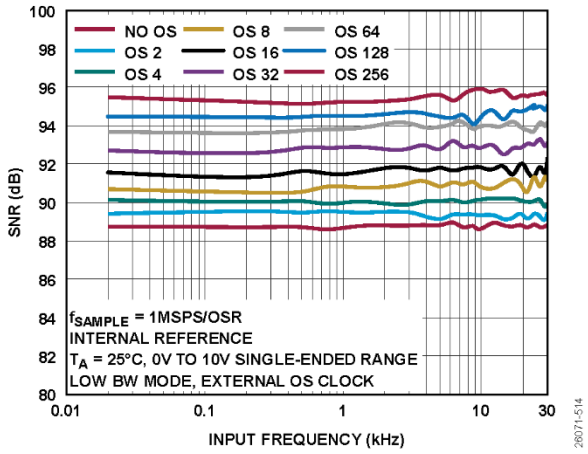

图23. 不同OSR值下SNR与输入频率的关系，0 V至10 V单端范围，低带宽模式，外部过采样时钟

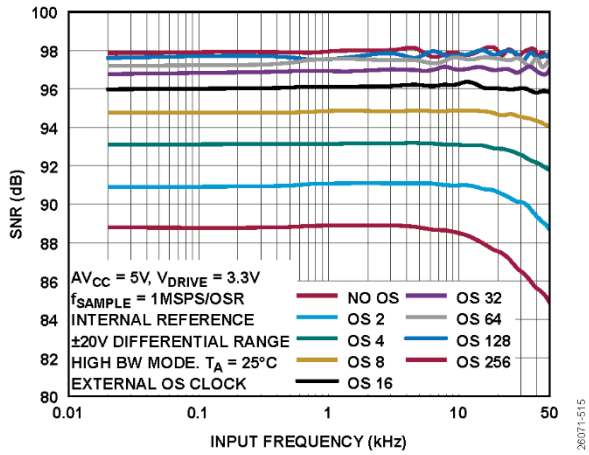

图24. 不同OSR值下SNR与输入频率的关系，±20 V差分范围，高带宽模式，外部过采样时钟

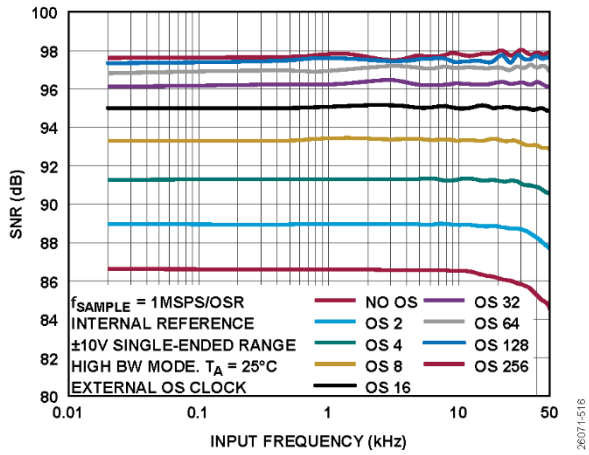

图25. 不同OSR值下SNR与输入频率的关系，±10 V单端范围，高带宽模式，外部过采样时钟

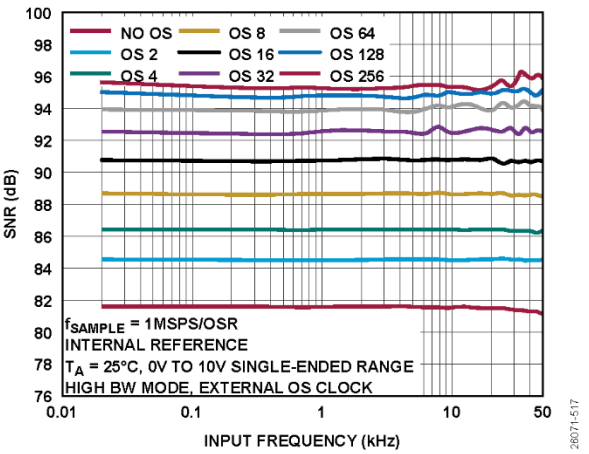

图26. 不同OSR值下SNR与输入频率的关系，0 V至10 V单端范围，高带宽模式，外部过采样时钟

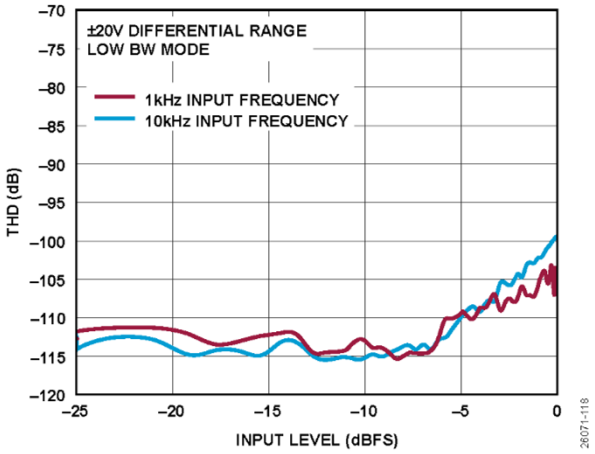

图27. THD与输入电平的关系，±20 V差分范围，低带宽模式

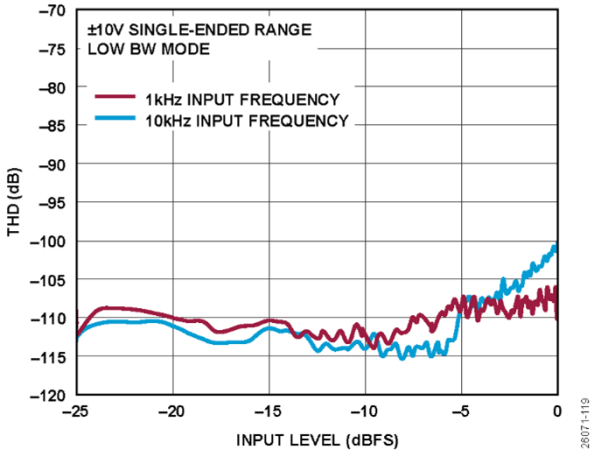

图28. THD与输入电平的关系，±10 V单端范围，低带宽模式

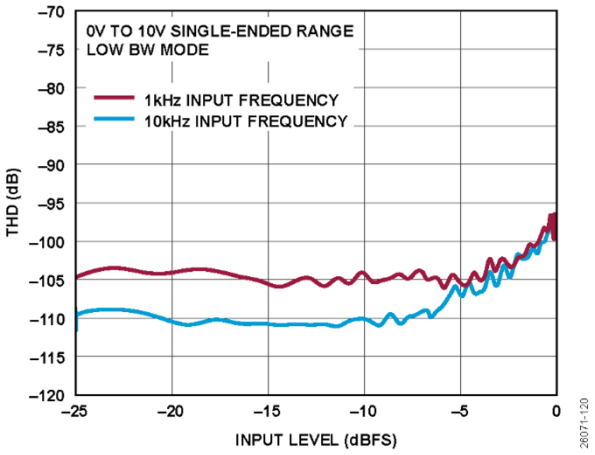

图29. THD与输入电平的关系，0 V至10 V单端范围，低带宽模式

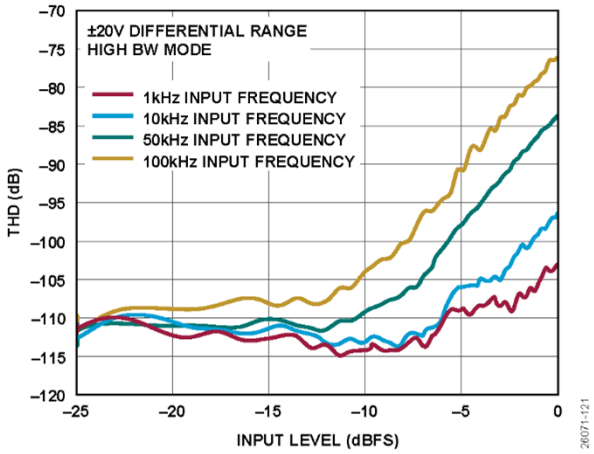

图30. THD与输入电平的关系，±20 V差分范围，高带宽模式

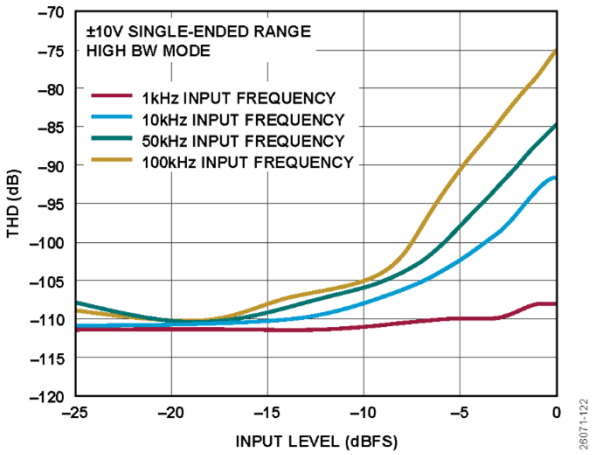

图31. THD与输入电平的关系，±10 V单端范围，高带宽模式

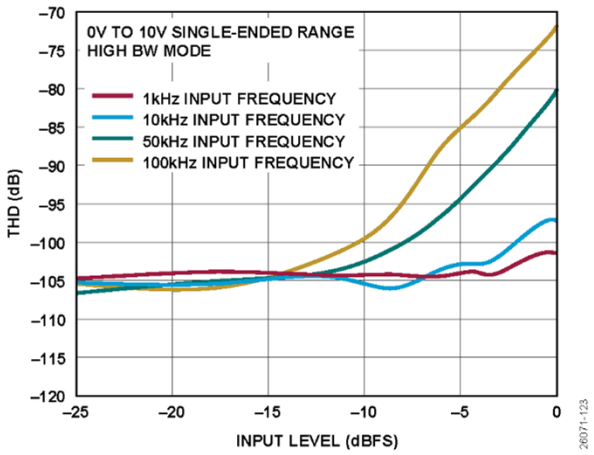

图32. THD与输入电平的关系，0 V至10 V单端范围，高带宽模式

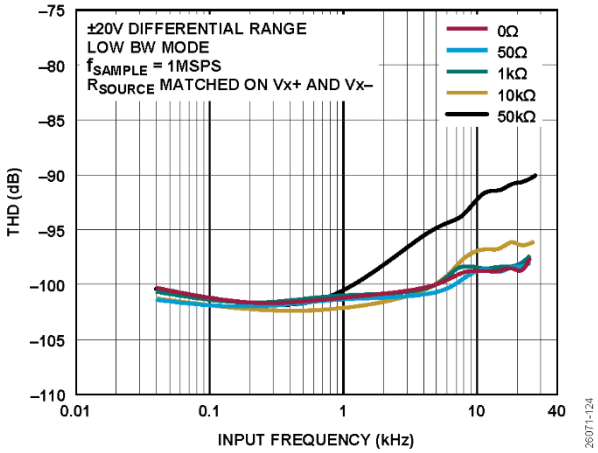

图33. 各种源阻抗(R_{SOURCE})下THD与输入频率的关系，±20 V差分范围，低带宽模式

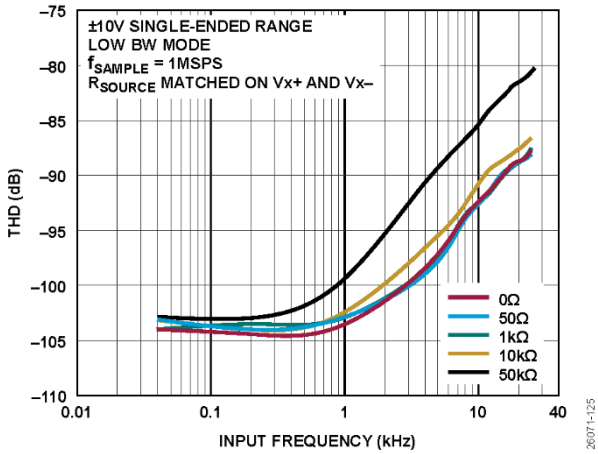

图34. 各种源阻抗下THD与输入频率的关系，±10 V单端范围，低带宽模式

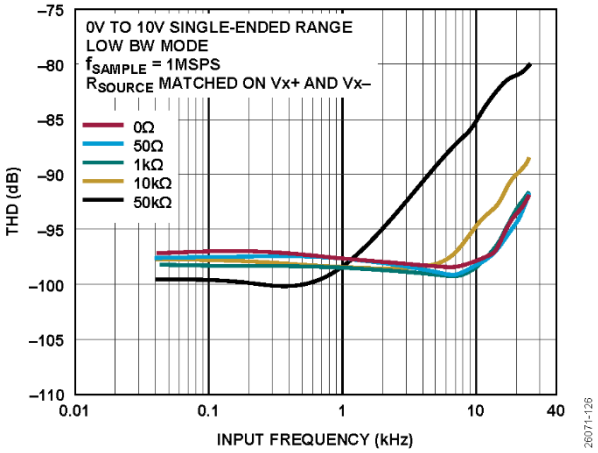

图35. 各种源阻抗下THD与输入频率的关系，0 V至10 V单端范围，低带宽模式

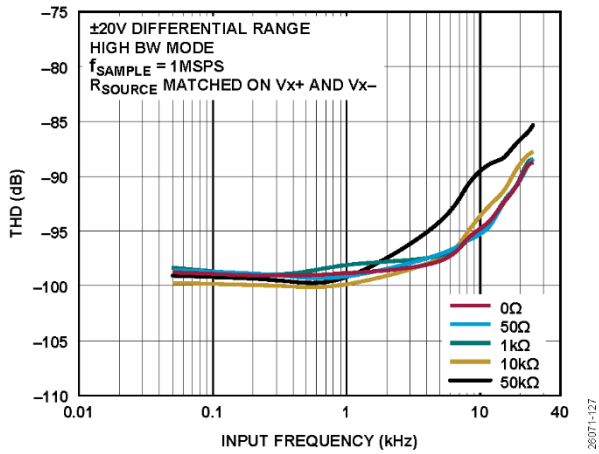

图36. 各种源阻抗下THD与输入频率的关系，±20 V差分范围，高带宽模式

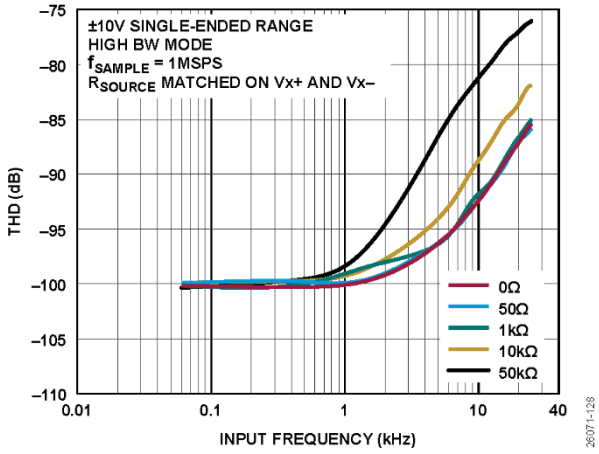

图37. 各种源阻抗下THD与输入频率的关系，±10 V单端范围，高带宽模式

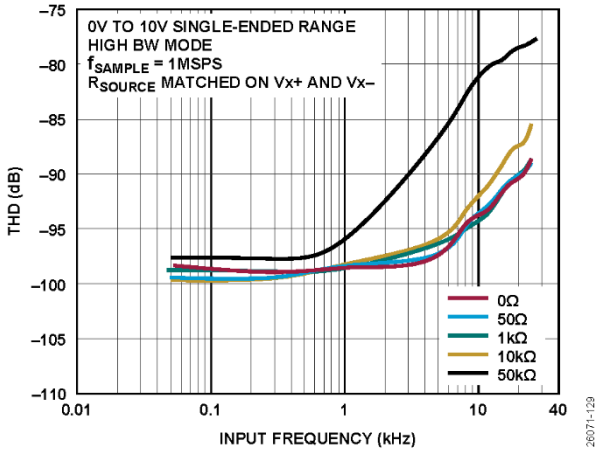

图38. 各种源阻抗下THD与输入频率的关系，0 V至10 V单端范围，高带宽模式

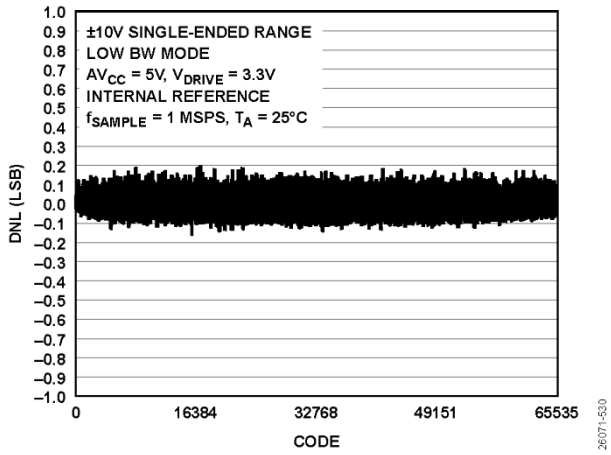

图39. 典型DNL，低带宽模式

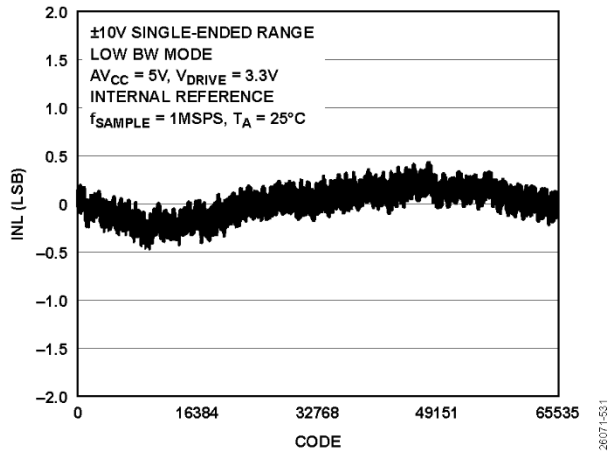

图40. 典型INL，低带宽模式

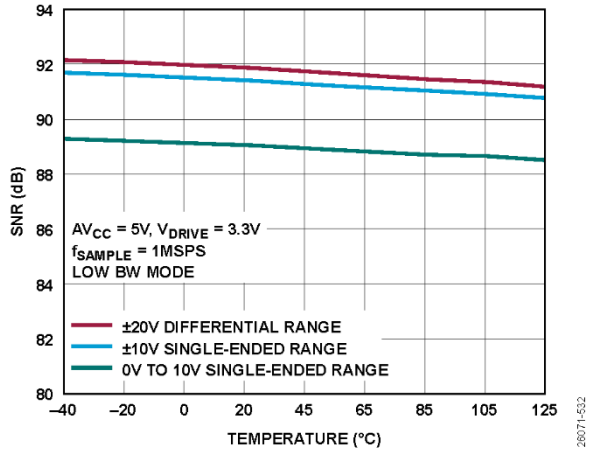

图41. SNR与温度的关系，低带宽模式

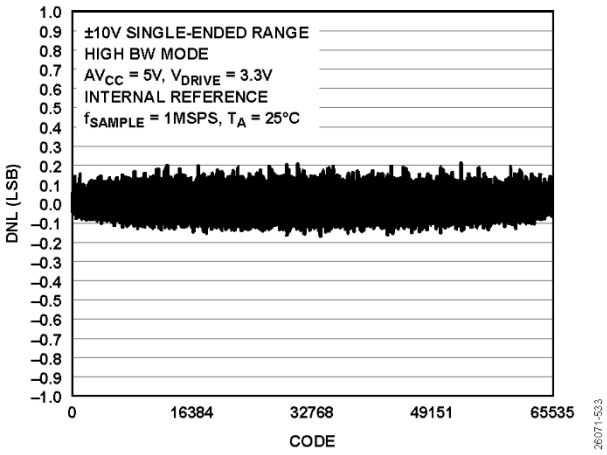

图42. 典型DNL，高带宽模式

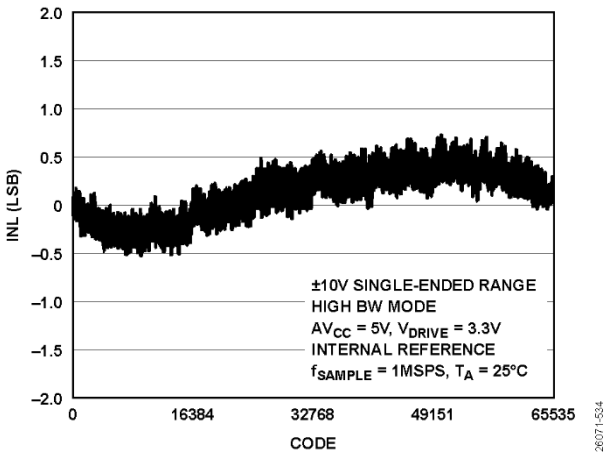

图43. 典型INL，高带宽模式

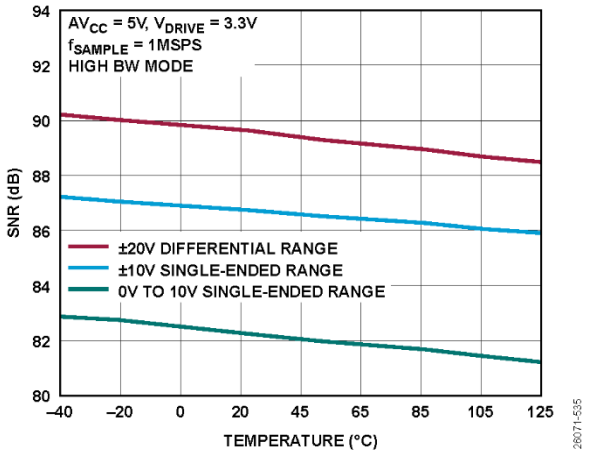

图44. SNR与温度的关系，高带宽模式

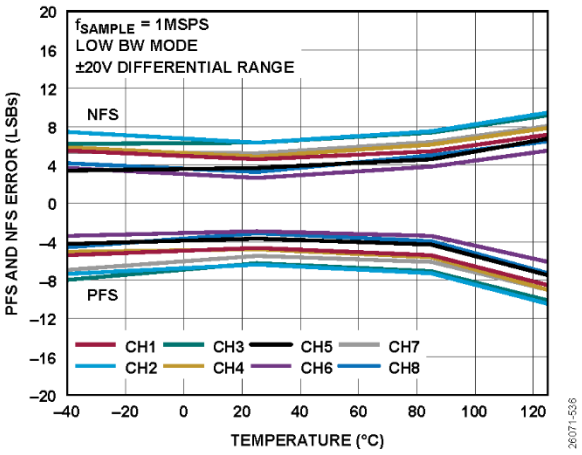

图45. PFS和NFS误差与温度的关系，±20 V差分范围

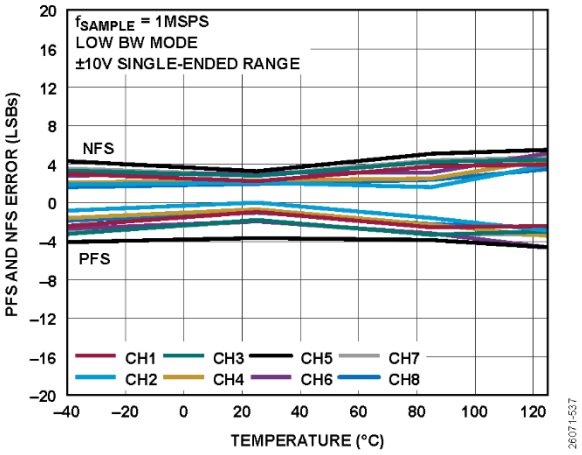

图46. PFS和NFS误差与温度的关系，±10 V单端范围

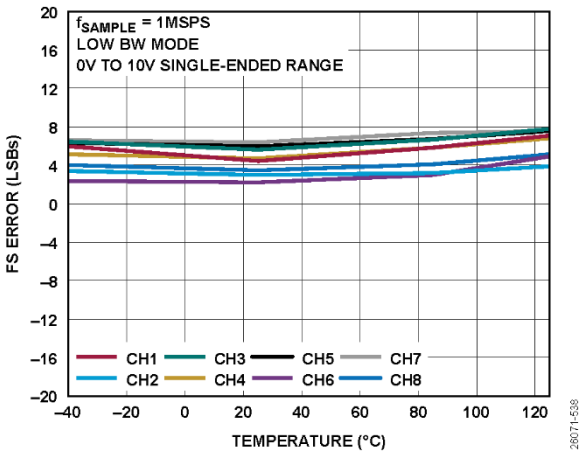

图47. FS误差与温度的关系，0 V至10 V单端范围

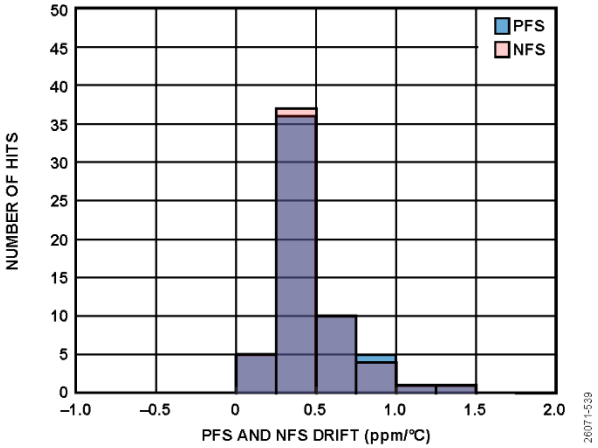

图48. PFS和NFS漂移直方图，±10 V单端范围

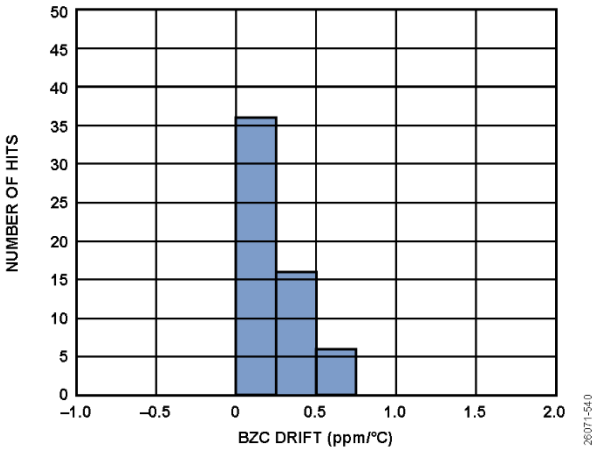

图49. 双极性零码值(BZC)漂移直方图，±10 V单端范围

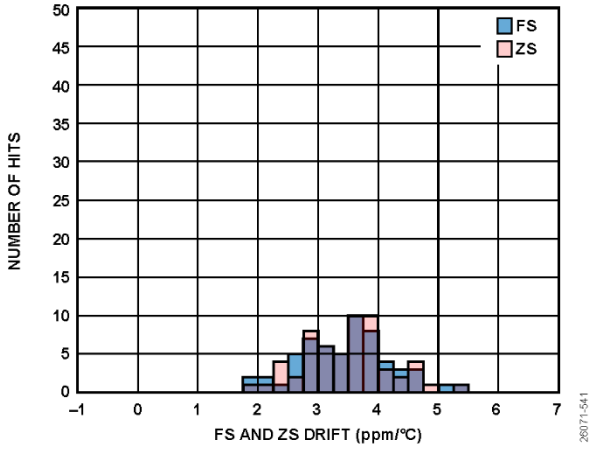

图50. FS和零电平(ZS)漂移直方图，0 V至10 V单端范围

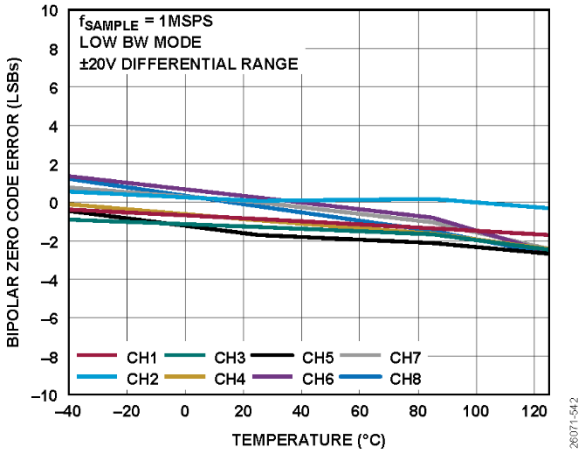

图51. 双极性零码值误差与温度的关系，±20 V差分范围

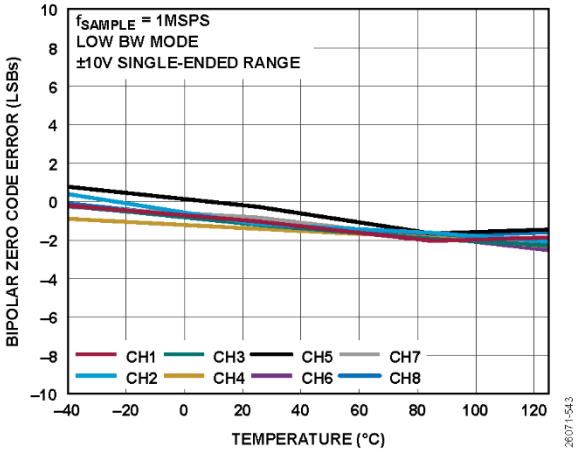

图52. 双极性零码值误差与温度的关系，±10 V单端范围

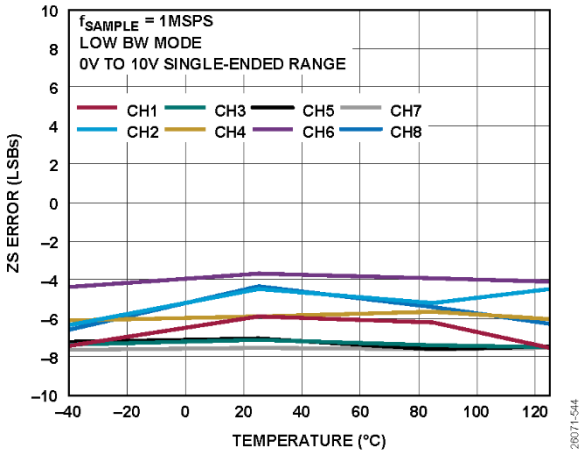

图53. ZS误差与温度的关系，0 V至10 V单端范围

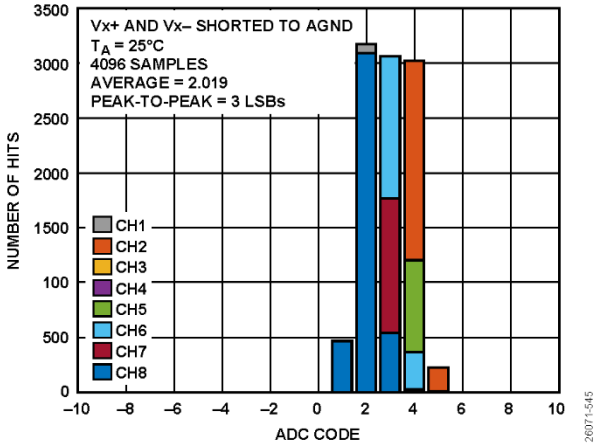

图54. 码值直方图，±20 V差分范围

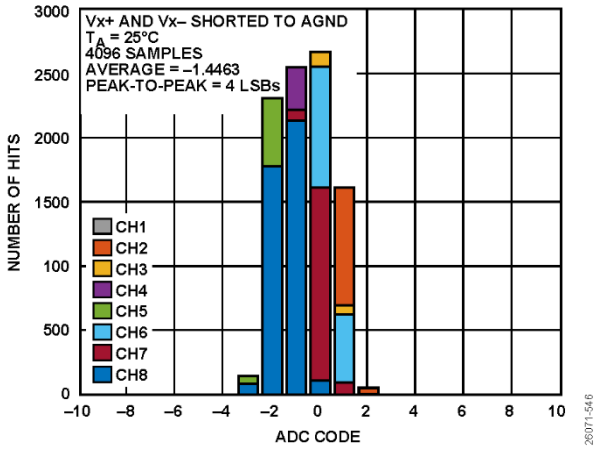

图55. 码值直方图，±10 V单端范围

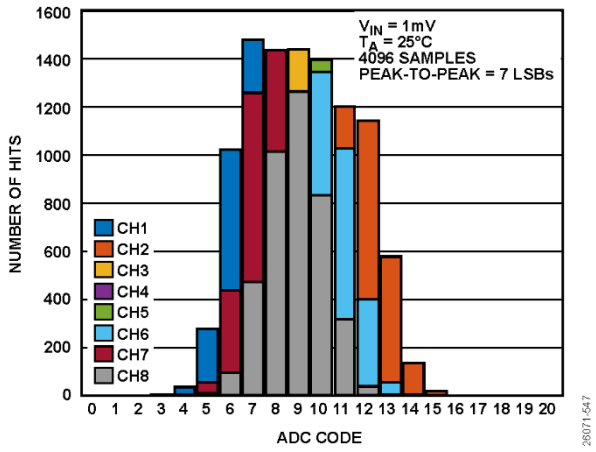

图56. 码值直方图，0 V至10 V单端范围

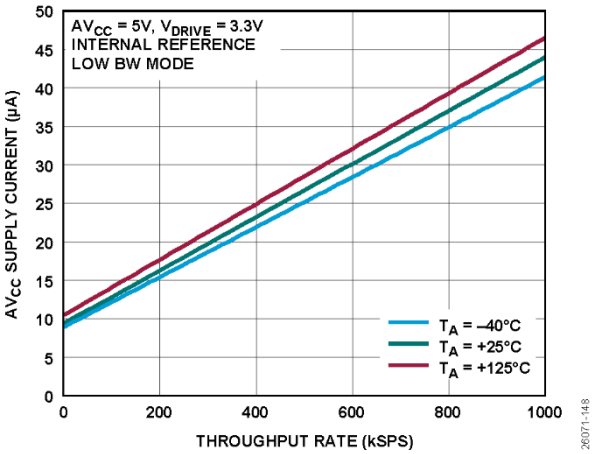

图57. 不同温度下AV_{CC}电源电流与吞吐速率的关系

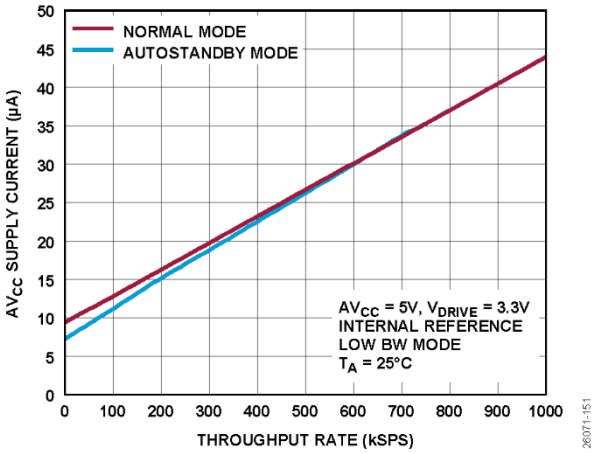

图60. AV_{CC}电源电流与吞吐速率的关系，正常模式和自动待机模式

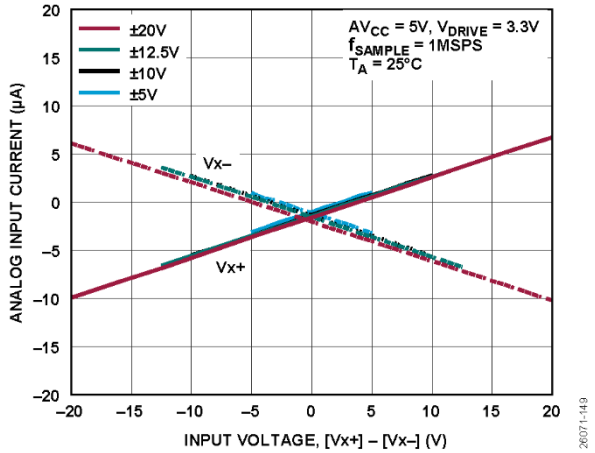

图58. 不同差分范围下模拟输入电流与输入电压的关系

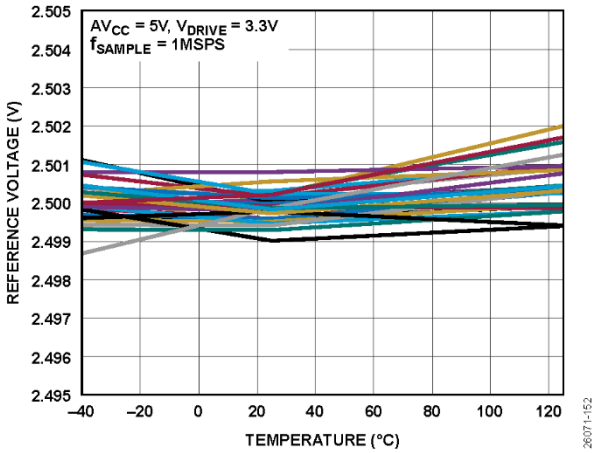

图61. 基准电压漂移

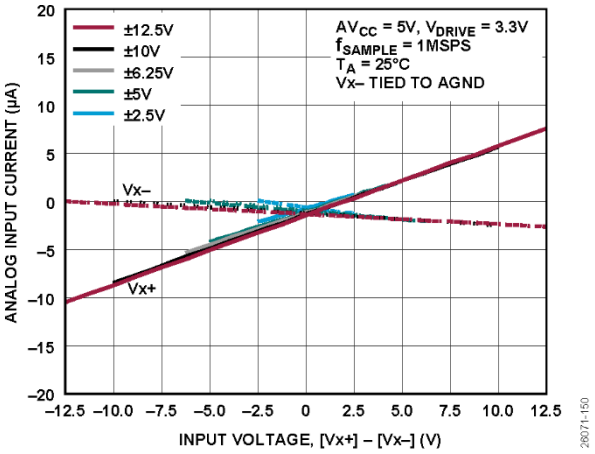

图59. 不同双极性单端范围下模拟输入电流与输入电压的关系

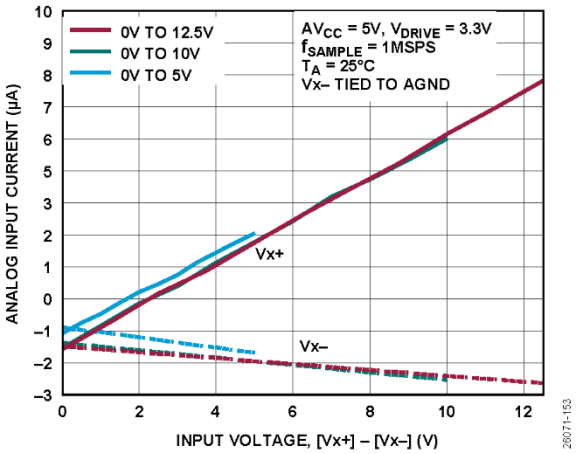

图62. 不同单极性单端范围模拟输入电流与输入电压的关系

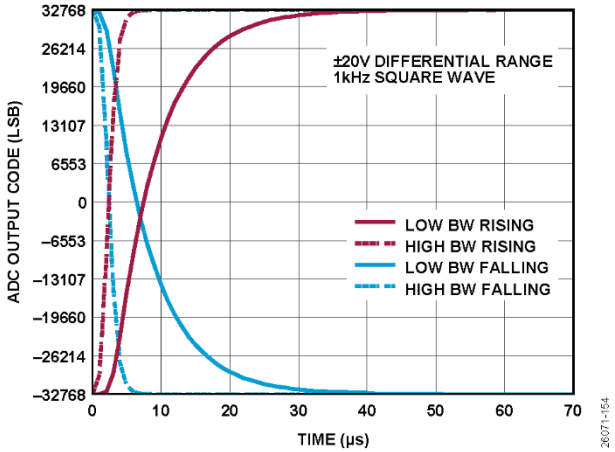

图63. 阶跃响应，±20 V差分范围

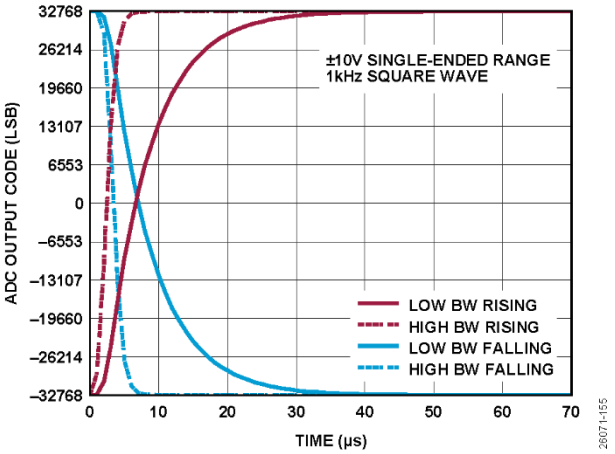

图64. 阶跃响应，±10 V单端范围

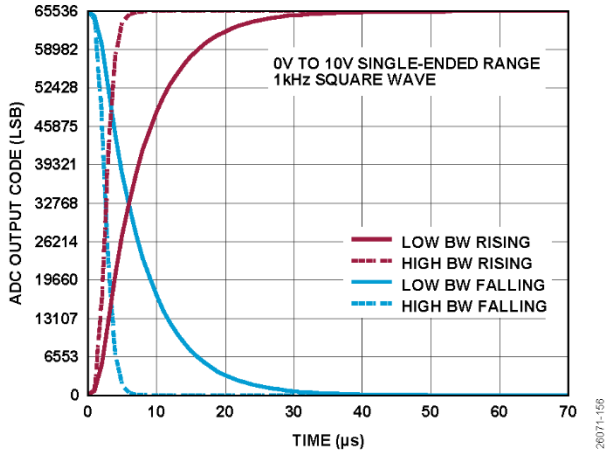

图65. 阶跃响应，0 V至10 V单端范围

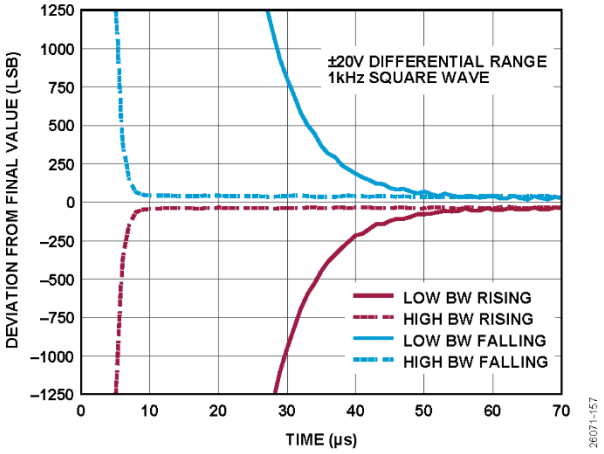

图66. 阶跃响应，±20 V差分范围，稳定建立

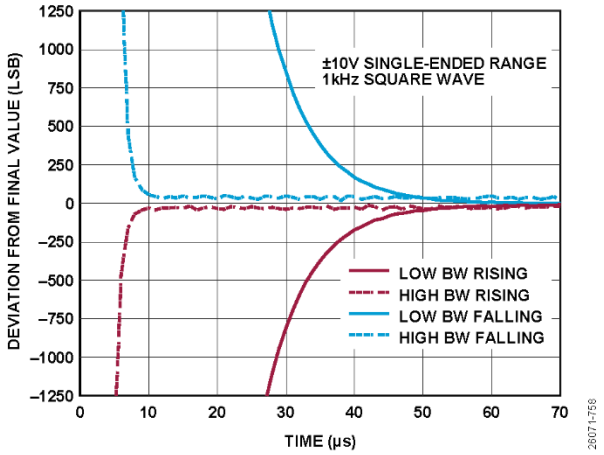

图67. 阶跃响应，±10 V单端范围，稳定建立

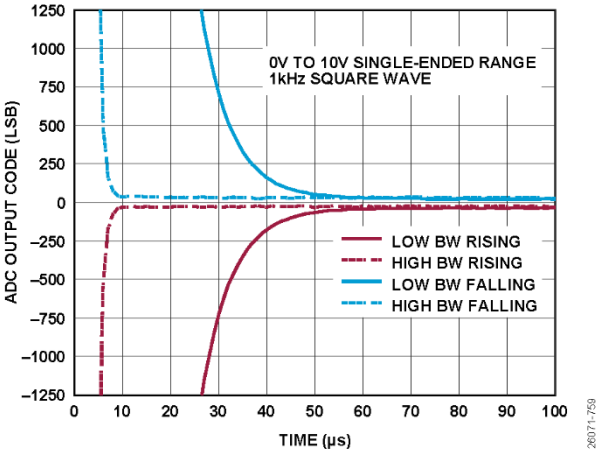

图68. 阶跃响应，0 V至10 V单端范围，稳定建立

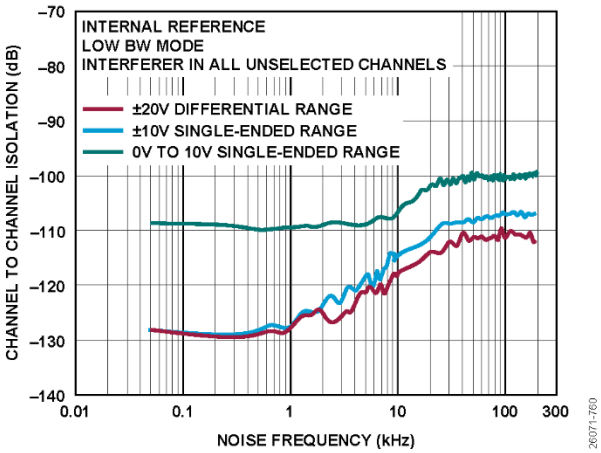

图69. 通道间隔离与噪声频率的关系，低带宽模式

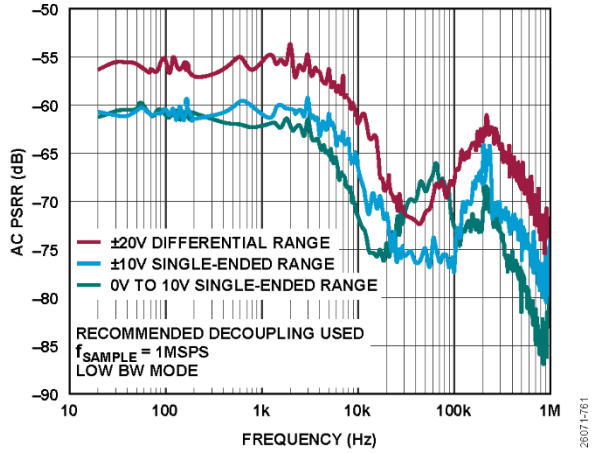

图70. AC电源电压抑制比(PSRR)与频率的关系，低带宽模式

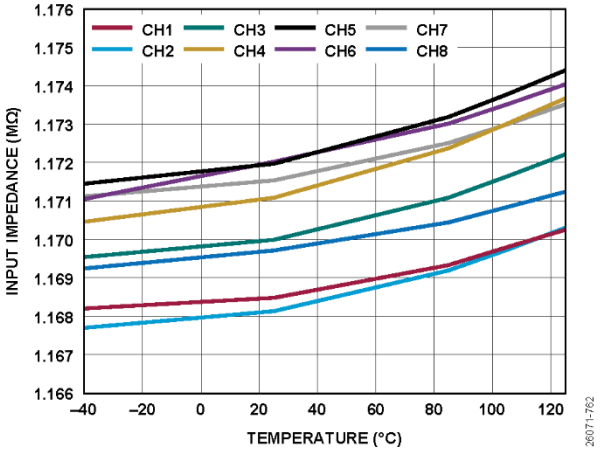

图71. 输入阻抗与温度的关系

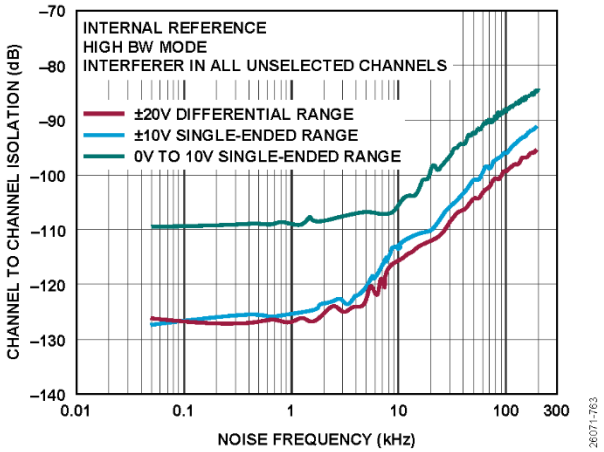

图72. 通道间隔离与噪声频率的关系，高带宽模式

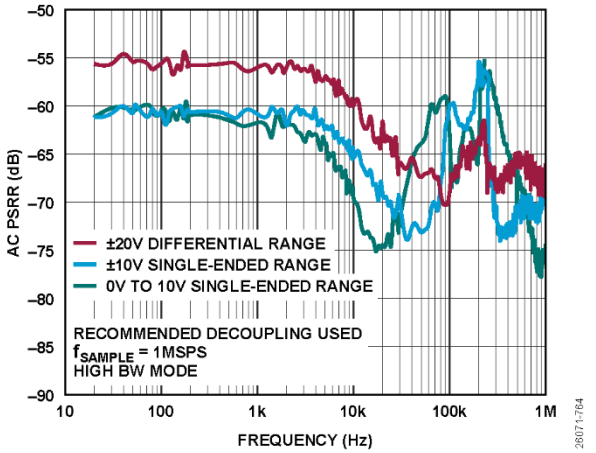

图73. AC PSRR与频率的关系，高带宽模式

术语

积分非线性(INL)

INL指ADC转换函数与一条通过ADC转换函数端点的直线的最大偏差。转换函数的两个端点，起点在低于第一个码转换的½ LSB处的零电平，终点在高于最后一个码转换的½ LSB处的满量程。

差分非线性(DNL)

DNL指ADC中任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。

双极性零码值误差

双极性零码值误差是指半量程转换（全1到全0）与理想值，即0 V − ½ LSB的偏差。

双极性零码值误差匹配

双极性零码值误差匹配是指任何两个输入通道之间双极性零码值误差的绝对差。

开路码值误差

开路码值误差是指当模拟输入上有一个开路，且下拉电阻(R_{PD})连接在模拟输入引脚对之间时的ADC输出码值。更多信息参见图95。

正满量程(PFS)误差

在双极性范围内，PFS误差是指校正双极性零码值误差之后，实际的最后一个码转换与理想的最后一个码转换（例如，10 V − 1½ LSB (9.99954)、5 V − 1½ LSB (4.99977)或2.5 V − 1½ LSB (2.49988)）的偏差。PFS误差包括基准电压缓冲的贡献。

正满量程(PFS)误差匹配

PFS误差匹配是指任何两个输入通道之间正满量程误差的绝对差。

负满量程(NFS)误差

在双极性范围内，NFS误差是指校正双极性零码值误差之后，第一个码转换与理想的第一个码转换（例如，−10 V + ½ LSB (−9.99984)、−5 V + ½ LSB (−4.99992)或−2.5 V + ½ LSB (−2.49996)）的偏差。NFS误差包括基准电压缓冲的贡献。

负满量程(NFS)误差匹配

NFS误差匹配是指任何两个输入通道之间负满量程误差的绝对差。

满量程(FS)误差

在单极性范围内，FS误差是指校正零电平误差之后，实际的最后一个码转换与理想的最后一个码转换（例如，10 V − 1½ LSB (9.99816)或5 V − 1½ LSB (4.999816)）的偏差。FS误差包括基准电压缓冲的贡献

零电平(ZS)误差

在单极性范围内，ZS误差是指第一个码转换与理想的第一个码转换的偏差，为0 V − ½ LSB。

总非调整误差(TUE)

TUE指输出码值与理想值的最大偏差。TUE包括INL误差、双极性零码值、正负满量程误差，以及基准电压误差。

信纳比(SINAD)

SINAD比是指在ADC输出端测得的信号对噪声及失真比。这里的信号是基波幅值的均方根值。噪声为所有达到采样频率一半（$f_S/2$，直流信号除外）的非基波信号之和。

在数字化过程中，这个比值的大小取决于量化级数，量化级数越多，量化噪声就越小。

对于一个正弦波输入的理想N位转换器，信纳比理论值计算公式为：

$$SINAD = (6.02N + 1.76)\ \text{dB}$$

因此，对于16位转换器，SINAD为98 dB。

总谐波失真(THD)

THD指所有谐波均方根和与基波的比值。对于AD7606C-16，其定义为

$$THD\ (\text{dB}) = 20\log\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2 + V_8^2 + V_9^2}}{V_1}$$

其中：

V_2至V_9是二次到九次谐波幅值的均方根值。

V_1是基波幅度的均方根值。

峰值谐波或杂散噪声

峰值谐波或杂散噪声是指在ADC输出频谱（最高达$f_S/2$，直流信号除外）中，下一个最大分量的均方根值与基波均方根值的比。通常情况下，此参数值由频谱内的最大谐波决定，但对于谐波淹没于噪底内的ADC，其值由噪声峰值决定。

电源电压抑制比(PSRR)

电源变化会影响转换器的满量程转换，但不会影响其线性。电源抑制(PSR)是由于电源电压偏离标称值所引起的最大满量程转换点变化。PSRR定义为ADC频率f_S下施加于AV_{CC}电源的100 mV p-p正弦波功率与该频率f_S下ADC输出功率的比值。

$$PSRR\ (\text{dB}) = 20\log(0.1/Pf_S)$$

其中：

Pf_S是在频率f_S下耦合到AV_{CC}电源的功率。

通道间隔离

通道间隔离衡量所有输入通道之间的串扰水平。通过向所有未选定的输入通道施加一个满量程、最高200 kHz正弦波信号，然后决定该信号在选定通道内随所施加的1 kHz正弦波信号的衰减程度来测量（见图58）。

相位延迟

相位延迟衡量一个输入被转换器采样到与该样本相关的结果可从ADC读出的绝对延迟时间，包括器件模拟前端引入的延迟。

相位延迟漂移

相位延迟漂移是指在器件的完整工作温度范围内，温度每改变一个单位所引起的相位延迟变化。

相位延迟匹配

相位延迟匹配是指任何同步采样对之间的最大相位延迟。

黑盒法

黑盒法可通过以下公式表示：

$$TCV_{OUT} = \left| \frac{\text{最大值}\{V_{OUT}(T_1, T_2, T_3)\} - \text{最小值}\{V_{OUT}(T_1, T_2, T_3)\}}{V_{OUT}(T_2) \times (T3 - T_1)} \right| \times 10^6$$

其中：

TCV_{OUT}用ppm/°C表示。

$V_{OUT}(T_X)$表示温度为T_X时的输出电压。

$T_1 = -40°C$。

$T_2 = +25°C$。

$T_3 = +125°C$。

这种黑盒法能够确保TCV_{OUT}精确地描述测量器件输出电压的三个温度之间的最大差异。

工作原理

模拟前端

AD7606C-16是一款8通道16位同步采样模数DAS。每个通道均包含模拟输入箝位保护、PGA、LPF和16位SAR ADC。

模拟输入范围

AD7606C-16可处理真双极性差分、双极性单端和单极性单端输入电压。在软件模式下，可以为每个通道（从地址0x03至地址0x06)配置单独的模拟输入范围。在软件模式下，忽略RANGE引脚上的逻辑电平。

在硬件模式下，RANGE引脚上的逻辑电平决定±10 V或±5 V单端作为所有模拟输入通道的模拟输入范围，如表10所示。

RANGE引脚的逻辑状态改变会立即影响模拟输入范围。但是，除正常采集时间要求外，还有典型值约为80 µs的建立时间要求。对于快速吞吐速率应用，转换期间建议不要更改RANGE引脚的逻辑状态。

表 10. 模拟输入范围选择

范围(V)	硬件模式[1]	软件模式[2]
±10单端	RANGE引脚高电平	地址0x03至地址0x06
±5单端	RANGE引脚低电平	地址0x03至地址0x06
任何其他范围	不适用	地址0x03至地址0x06

[1] 同样的模拟输入范围±10 V或±5 V适用于所有8个通道。
[2] 使用存储器映射基于通道选择模拟输入范围。

模拟输入阻抗

AD7606C-16的最小模拟输入阻抗为1 MΩ。这是固定输入阻抗，不随AD7606C-16采样频率而变化。高模拟输入阻抗可免除AD7606C-16前端的驱动放大器，允许其与信号源或传感器直接相连。所以，可从信号链中去除双极性电源。

模拟输入箝位保护

图74显示了AD7606C-16的模拟输入电路。AD7606C-16的每个模拟输入均包含箝位保护电路。虽然采用5 V单电源供电，但此模拟输入箝位保护允许输入过压达到±21 V。

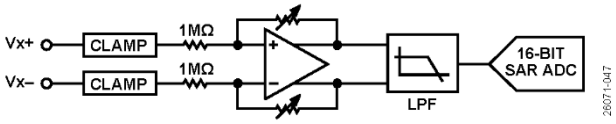

图74. 每个通道的模拟输入电路

图75显示了箝位电路的输入箝位电流与源电压特性的关系。当输入电压不超过±21 V时，箝位电路中无电流。当输入电压超过±21 V时，AD7606C-16箝位电路开启。

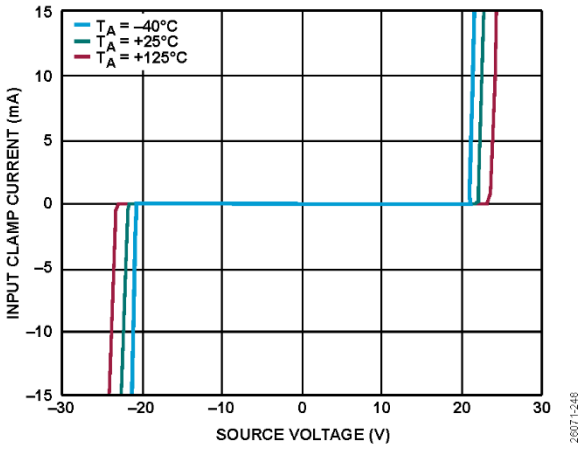

图75. 输入箝位保护特性

建议在模拟输入通道上放置一个串联电阻，以将输入电压高于±21 V的电流限制在±10 mA以下。如果模拟输入通道Vx+上有一个串联电阻(R)，建议将该电阻(R)与Vx–上的电阻匹配，以消除系统中产生的失调，如图76所示。但是，在软件模式下，可通过每通道系统失调校准消除整个系统的失调（参见“系统失调校准”部分）。

在正常运行期间，建议不要将AD7606C-16长时间置于模拟输入高于输入范围的条件下，因为这可能会降低双极性零码值误差性能。在关断或待机模式下，则不存在这种问题。

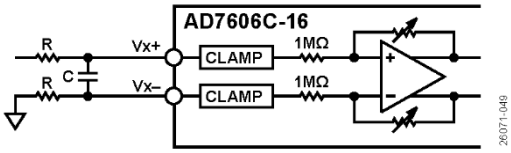

图76. 在单端范围内，AD7606C-16模拟输入端上的输入电阻匹配（Vx–连接至地）

PGA

每个输入通道都提供一个PGA。增益根据所选的模拟输入范围（见表10）来配置，以将模拟输入信号（双极性差分，或者双极性或单极性单端）扩展至ADC全差分输入范围。

每个PGA输入端上的输入阻抗经过准确调整，以保持总增益误差。随后在使能增益校准以补偿外部串联电阻产生的增益误差时，会使用这个调整值。有关PGA特性的更多信息，请参见“系统增益校准”部分。

模拟输入抗混叠滤波器

AD7606C-16提供了模拟抗混叠滤波器。图77和图78分别显示了模拟抗混叠滤波器的频率响应和相位响应。−3 dB频率典型值为25 kHz。

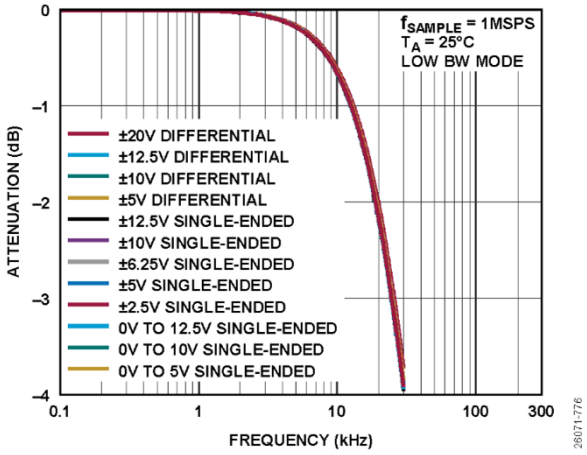

图77. 模拟抗混叠滤波器频率响应，低带宽模式

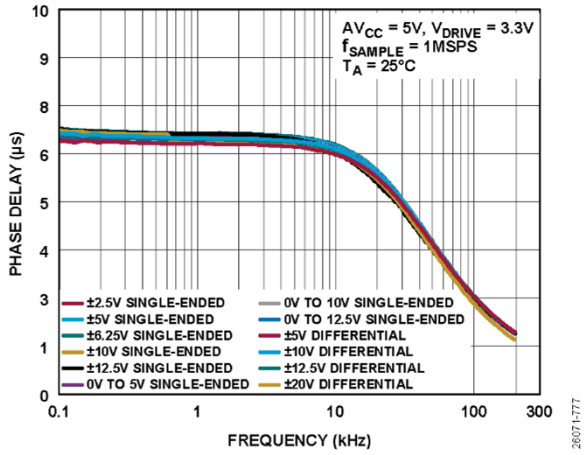

图78. 模拟抗混叠滤波器相位响应，低带宽模式

此外，AD7606C-16允许ADC基于通道使能高带宽模式，以将−3 dB频率增加至220 kHz，如图79和图80所示。此模式专用于快速模拟输入建立应用，如图63至图68所示。

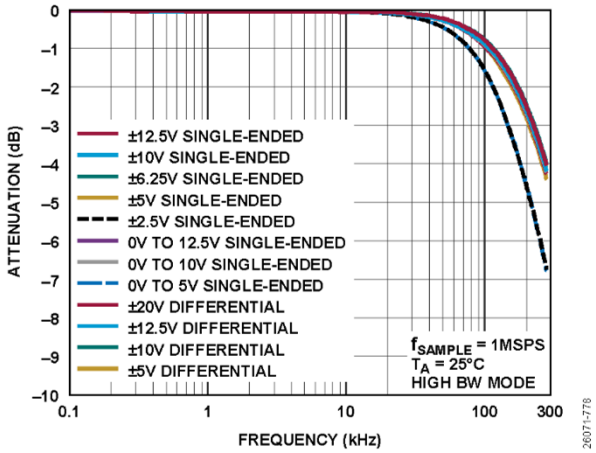

图79. 模拟抗混叠滤波器频率响应，高带宽模式

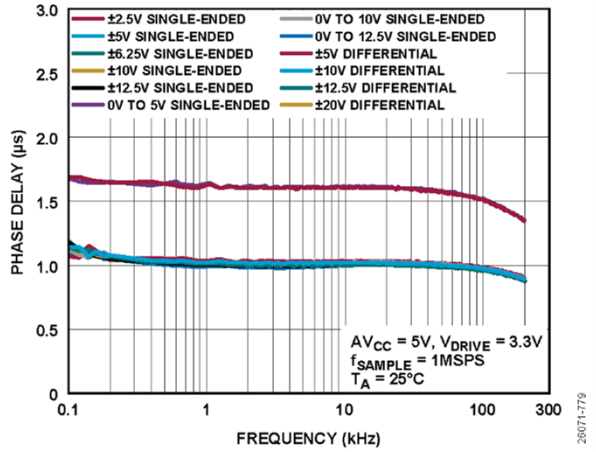

图80. 模拟抗混叠滤波器相位响应，高带宽模式

SAR ADC

AD7606C-16允许ADC获取以16位分辨率精确采集满量程幅度的输入信号。所有8个SAR ADC都在CONVST信号的上升沿时对其各自输入进行同步采样。

BUSY信号指示转换是否正在进行中。所以，当施加CONVST信号的上升沿时，BUSY引脚变为逻辑高电平，在整个转换过程结束时变为低电平。BUSY信号的下降沿指示所有8个通道上的转换过程何时结束。当BUSY信号沿下降时，下一组转换采集时间开始。当BUSY信号为高电平时，CONVST信号的上升沿不起作用。

BUSY输出变为低电平后，新数据可通过并行或串行接口从输出寄存器读取。或者，当BUSY引脚为高电平时，可以读取前一次转换的数据，如“在转换期间读取”部分所述。

AD7606C-16内置一个片内振荡器用于转换。所有ADC通道的转换时间为t_{CONV}（见表3）。在软件模式下，可以选择通过CONVST引脚施加外部时钟。提供低抖动外部时钟有助于提高较大过采样率的SNR性能。参见“数字滤波器”部分和图15至图18了解更多信息。

将所有不使用的模拟输入通道接AGND。不使用通道的结果仍会包括在所读取的数据中，因为始终会转换所有通道。

ADC传递函数

AD7606C-16的输出编码是双极性模拟输入范围（单端或差分）的二进制补码。在单极性范围内，输出编码方式始终为标准二进制。

所设计的码转换在连续LSB整数值的中间（即1/2 LSB和3/2 LSB）进行。AD7606C-16的LSB大小为FSR/262,144。图81显示了AD7606C-16的理想传递特性。LSB大小取决于所选的模拟输入范围（见表11和表12）。

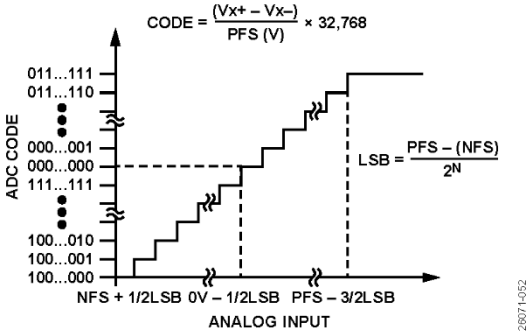

图81. AD7606C-16理想传递特性，双极性模拟输入范围（二进制补码输出编码）

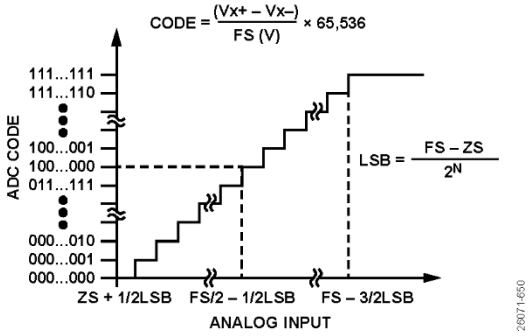

图82. AD7606C-16理想传递特性，单极性模拟输入范围（标准二进制输出编码）

表 11. 双极性输入电压范围

范围	PFS (V)	中间电平(V)	NFS (V)	LSB (µV)
差分，双极性				
±20 V	+20	0	–20	610.32
±12.5 V	+12.5	0	-12.5	381.44
±10 V	+10	0	-10	305.2
±5 V	+5	0	-5	152.4
单端，双极性				
±12.5 V	+12.5	0	-12.5	381.44
±10 V	+10	0	-10	305.2
±6.25 V	+6.25	0	-6.25	190.8
±5 V	+5	0	-5	152.4
±2.5 V	+2.5	0	-2.5	76

表 12. 单极性输入电压范围

范围	FS (V)	中间电平(V)	ZS (V)	LSB (µV)
单端，单极性				
0 V至12.5 V	12.5	6.25	0	190.4
0 V至10 V	10	5	0	152.4
0 V至5 V	5	2.5	0	76

基准电压源

AD7606C-16内置一个2.5 V片内带隙基准电压源。REFIN/REFOUT引脚支持以下操作：

- 如果REF SELECT引脚连接至逻辑高电平，采用内部2.5 V基准电压源
- 如果REF SELECT引脚连接至逻辑低电平，采用2.5 V外部基准电压源

表 13. 基准电压配置

REF SELECT引脚	所选的基准电压源
逻辑高电平	使能内部基准电压源
逻辑低电平	内部基准电压源禁用，必须对REFIN/REFOUT引脚施加外部2.5 V基准电压

AD7606C-16内置一个基准电压缓冲，缓冲配置为将参考电压放大至约4.4 V，如图83所示。此4.4 V缓冲的基准电压是SAR ADC所用的基准电压，如图83所示。复位之后，AD7606C-16使用REF SELECT引脚所选择的基准电压模式。REFCAPA和REFCAPB引脚必须在外部短路连在一起，并通过一个10 µF陶瓷电容连接至REFGND引脚，以确保基准电压缓冲工作在闭环中。REFIN/REFOUT引脚需要一个0.1 µF陶瓷电容。

当AD7606C-16配置为外部基准电压模式时，REFIN/REFOUT引脚为高输入阻抗引脚。

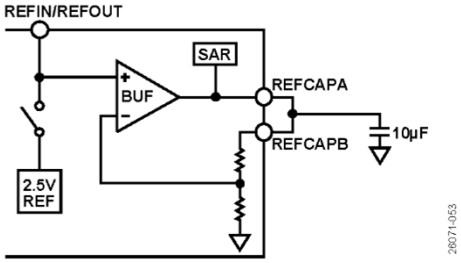

图83. 基准电压电路

使用多个AD7606C-16器件

对于使用多个AD7606C-16器件的应用，建议根据应用要求采取“外部基准电压模式”部分和“内部基准电压模式”部分中的配置。

外部基准电压模式

一个外部基准电压源可以驱动所有AD7606C-16器件的REFIN/REFOUT引脚（见图84）。此配置中，使用至少一个100 nF的去耦电容对AD7606C-16的每一个REFIN/REFOUT引脚去耦。

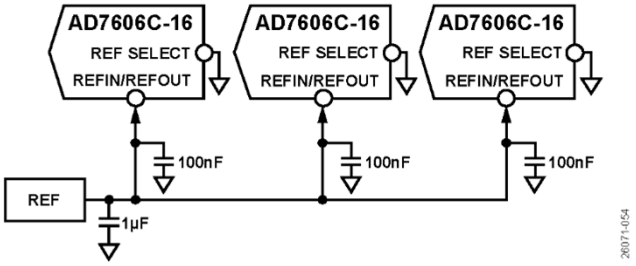

图84. 单个外部基准电压源驱动多个AD7606C-16 REFIN/REFOUT引脚

内部基准电压模式

配置为内部基准电压工作模式的一个AD7606C-16器件，可以驱动配置为外部基准电压工作模式的其余AD7606C-16器件（见图85）。使用一个10 µF陶瓷解耦电容，对配置为内部基准电压模式的AD7606C-16的REFIN/REFOUT引脚去耦。配置为外部基准电压模式的其它AD7606C-16器件必须各利用至少一个100 nF的去耦电容对其REFIN/REFOUT引脚去耦。

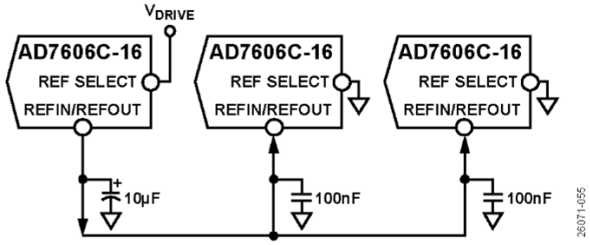

图85. 内部基准电压源驱动多个AD7606C-16 REFIN/REFOUT引脚

工作模式

通过控制OSx引脚，AD7606C-16可采用硬件或软件工作模式，如表14所示。

在硬件模式下，AD7606C-16根据RANGE、OSx或$\overline{\text{STBY}}$引脚上的逻辑电平来配置。AD7606C-16向后兼容AD7606、AD7606B、AD7608和AD7609。

若要进入软件模式，连接所有三个OSx引脚至逻辑高电平，AD7606C-16由通过串行或并行接口访问的对应寄存器进行配置。AD7606C-16提供其他特性，如表15所述。在硬件和软件模式下，基准电压源和数据接口通过REFSELECT和$\overline{\text{PAR}}$/SER SEL引脚来选择。

表 14. 过采样引脚解码

OS2	OS1	OS0	过采样率
0	0	0	无过采样
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	进入软件模式

表 15. 功能矩阵

参数	硬件模式	软件模式
模拟输入范围[1]	±10 V或±5 V[2]	单端，双极性：±12.5 V、±10 V、±6.25 V、±5 V和±2.5 V[3] 单端，单极性：0 V至12.5 V、0 V至10 V、0 V至5 V[3] 差分，双极性：±20 V、±12.5 V、±10 V和±5 V[3]
系统增益、相位和失调校准	无法访问	可用[3]
OSR	从无过采样到OSR = 64	从无过采样到OSR = 256
模拟输入开路检测	无法访问	可用[3]
串行数据输出线路	2	可选：1、2、4或8
诊断	无法访问	提供
省电模式	待机和关断	待机、关断和自动待机

[1] 参见表10了解模拟输入范围选择。
[2] 所有输入通道都配置了相同的输入范围。
[3] 基于每通道。

复位功能

AD7606 C-16有两种复位模式：完全或部分。复位模式选择取决于复位高电平脉冲的持续时间。部分复位要求RESET引脚保持高电平55 ns到2 µs。释放RESET引脚（t_{DEVICE_SETUP}，部分复位）50 ns之后，器件即完全可用，可以启动转换。完全复位要求RESET引脚保持高电平至少3.2 µs。释放RESET引脚274 µs之后（t_{DEVICE_SETUP}，完全复位），器件完全重新配置，可以启动转换。

部分复位会重新初始化下列模块：

- 数字滤波器
- SPI和并行接口，复位至ADC模式
- 逐次逼近型ADC核
- CRC逻辑

部分复位之后，状态寄存器上的RESET_DETECT位被置位（地址0x01，位7）。部分复位完成后，会丢弃当前转换结果。部分复位不会影响软件模式下设置的寄存器值，或硬件和软件模式下存储用户配置的锁存器。

完全复位会将器件复位至默认上电状态，状态寄存器上的RESET_DETECT位被置位（地址0x01，位7），且丢弃当前转换结果。除了上述特性外，AD7606C-16退出完全复位时会配置如下内容：

- 硬件模式或软件模式
- 接口类型，串行或并行

省电模式

在硬件模式下，AD7606C-16提供两种省电模式：待机模式和关断模式。$\overline{STBY}$引脚控制AD7606C-16是处在正常模式还是两种省电模式之一，如表16所示。如果$\overline{STBY}$引脚处于低电平，由RANGE引脚的状态选择省电模式。

表 16. 省电模式选择，硬件模式

功耗模式	STBY引脚	RANGE引脚
正常	1	X[1]
待机	0	1
关断	0	0

[1] X = 无关。

在软件模式下，通过存储器映射内的CONFIG寄存器（地址0x02，位[1:0]）的OPERATION_MODE位选择省电模式。在软件模式下还提供另一种省电模式，即自动待机模式。

表 17. 省电模式选择，软件模式，通过 CONFIG 寄存器（地址 0x02）

工作模式	地址0x02，位1	地址0x02，位0
正常	0	0
待机	0	1
自动待机	1	0
关断	1	1

在AD7606C-16处于关断模式时，所有电路均被关断，电流消耗降低到最高4.5 µA。上电时间约为10 ms。当AD7606C-16从关断模式上电，经过所需的上电时间后，必须对AD7606C-16进行完全复位。

当AD7606C-16处于待机模式时，所有PGA和所有SAR ADC进入低功耗模式，以使整体电流消耗降低到最高6.5 mA。退出待机模式后，无需进行复位。

当AD7606C-16进入自动待机模式时（仅在软件模式下可用），该器件自动在BUSY信号下降沿上进入待机模式。AD7606C-16自动在CONVST信号上升沿上退出待机模式。所以，CONVST信号低电平脉冲时间超过t_{WAKE_UP}（待机模式）= 1 µs（见图86）。

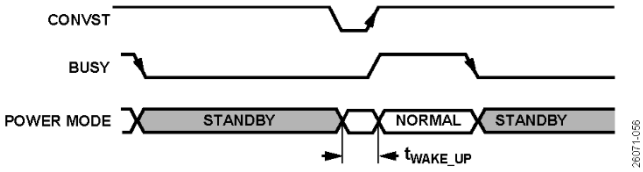

图86. 自动待机模式操作

数字滤波器

AD7606C-16内置一个可选的数字平均滤波器，可以在需要更高SNR或动态范围的更低吞吐率应用中使能该滤波器。

在硬件模式下，数字滤波器的过采样率由过采样引脚OSx控制，如表14所示。OSx引脚在BUSY信号的下降沿或在进行完全复位时锁存。

在软件模式下，如果所有OSx引脚都连接至逻辑高电平，则通过过采样寄存器（地址0x08）选择过采样率。在软件模式下，还提供两种额外的过采样率（128倍过采样和256倍过采样）。

在过采样模式下，ADC在CONVST信号的上升沿时采集各通道的第一个样本。转换第一个样本后，后续样本由内部产生的采样信号采集，如图87所示。或者，此采样信号可从外部施加，如“外部过采样时钟”部分所述。

例如，如果配置为8倍过采样，则会采集8个样本，计算它们的平均值，然后在输出端提供结果。CONVST信号上升沿触发第一个样本，其余7个样本由内部产生的采样信号(OS_CLOCK)采集。因此，开启多样本的均值计算可以提高SNR的性能，但会导致最大吞吐率降低。当过采样功能开启时，BUSY信号高电平时间(t_{CONV})会延长，如表3所示。

表18和表19显示了SNR和带宽之间的权衡，以及±10 V单端范围、±20 V差分范围和0 V至10 V单端范围各自的吞吐量。

图87显示，在过采样开启时，转换时间(t_{CONV})会延长。必须降低吞吐率($1/t_{CYCLE}$)，以适应更长的转换时间，且为读取操作留出空间。当开启过采样时，为实现最快吞吐速率，可以在BUSY信号高电平期间执行读取操作，如“在转换期间读取”部分所述。

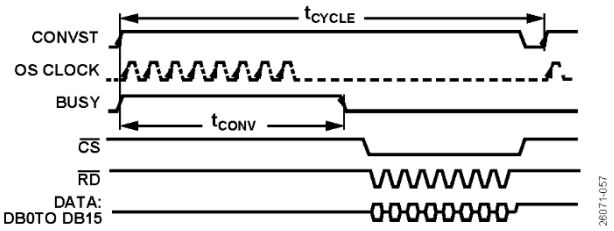

图87. AD7606C-16的8倍样本过采样，在转换之后读取，并行接口，OS_CLOCK是内部生成的采样信号

表 18. 过采样性能，低带宽模式

		±10 V单端范围		±20 V差分范围		0 V至10 V单端范围		
过采样率	输入频率(Hz)	SNR (dB)	−3 dB带宽(kHz)	SNR (dB)	−3 dB带宽(kHz)	SNR (dB)	−3 dB带宽(kHz)	最大吞吐量(kSPS)
无过采样	1000	91.5	25	92	25	89	25	1000
2	1000	92.5	24.6	93	24.4	90	24.6	500
4	1000	94.5	24	95	23.7	91	24	250
8	1000	95	22.3	96	22.2	91.7	22.3	125
16	1000	96	17.8	96.5	17.6	92.5	17.8	62.5
32	160	96.5	11.6	97	11.5	93	11.6	31.25
64	160	97	6.5	97.5	6.4	94.5	6.4	15.6
128	50	97.5	3.3	97.6	3.4	95	3.3	7.8
256	50	97.7	1.7	97.8	1.7	95.5	1.7	3.9

表 19. 过采样性能，高带宽模式

过采样率	输入频率(Hz)	±10 V单端范围		±20 V差分范围		0 V至10 V单端范围		最大吞吐量(kSPS)
		SNR (dB)	−3 dB带宽(kHz)	SNR (dB)	−3 dB带宽(kHz)	SNR (dB)	−3 dB带宽(kHz)	
无过采样	1000	86	220	88	220	81	220	1000
2	1000	89	154	91	154	84	155	500
4	1000	91	97.5	93	97.5	86.5	97.5	250
8	1000	92.5	53	94.5	53	88.5	53.5	125
16	1000	95	27.5	96	27.5	90.5	27.5	62.5
32	160	96	13.8	97	13.7	92	13.8	31.25
64	160	97	7	97.5	7	93.5	7	15.6
128	50	97.5	3.5	97.7	3.5	94.5	3.5	7.8
256	50	97.7	1.7	97.8	1.7	95	1.7	3.9

过采样填充

如图87所示，内部产生的时钟触发样本的均值计算，然后ADC保持空闲，直到下一个CONVST信号上升沿。在软件模式下，内部时钟(OS_CLOCK)频率可以通过过采样寄存器（地址0x08）进行更改，使空闲时间达到最短，采样时刻保持同等间隔，如图88所示。因此，实际的过采样时钟频率由OS_PAD位配置决定，可按照以下公式计算：

$$OS_CLOCK(kHz) = \frac{1}{1000 \times (1 + \frac{OS_PAD}{16})}$$

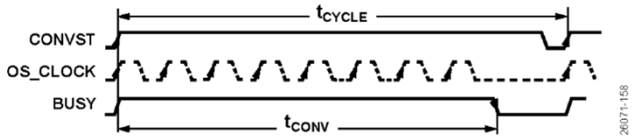

图88. 8倍样本过采样，过采样填充使能

外部过采样时钟

在软件模式下，在过采样模式使能时，可以选择通过CONVST引脚施加外部时钟。提供低抖动外部时钟有助于提高较大过采样率的SNR性能。通过施加外部时钟，按正常的时间间隔对输入采样，以实现最优化的抗混叠性能。

要使能外部过采样时钟，必须置位CONFIG寄存器（地址0x02，位5）的位5。然后，吞吐速率为

$$吞吐量 = \frac{1}{t_{CYCLE} \times OSR}$$

也就是说，采样信号通过CONVST引脚从外部提供，在每个OSR数量的时钟之后，计算并提供输出均值，如图90所示。此特性可使用并行接口或串行接口提供。

多个AD7606C-16器件同时采样

一般情况下，可使用一个公共CONVST信号来同步多个SAR ADC。但是，在使能过采样后，默认使用内部时钟来触发后续样本。这些内部时钟之间的任何偏差都可能妨碍器件之间的同步。由于所有样本的CONVST信号都从外部管理，所以采用外部过采样时钟可以使这种偏差最小化。

部分复位(t_{RESET} < 2 µs)会中断过采样过程并清空数据寄存器。所以，如果因为任何原因各个AD7606C-16器件未能同步，发起部分复位可以重新同步这些器件，如图89所示。

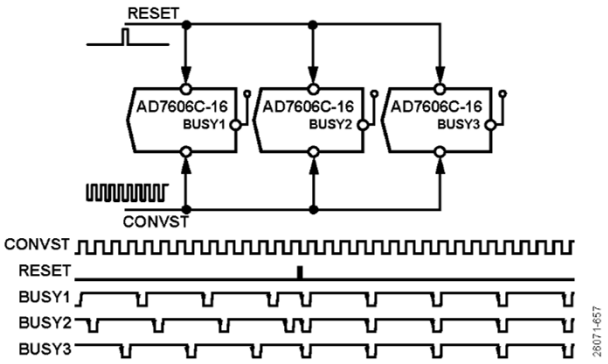

图89. 在外部过采样时钟使能后，同步多个AD7606C-16器件

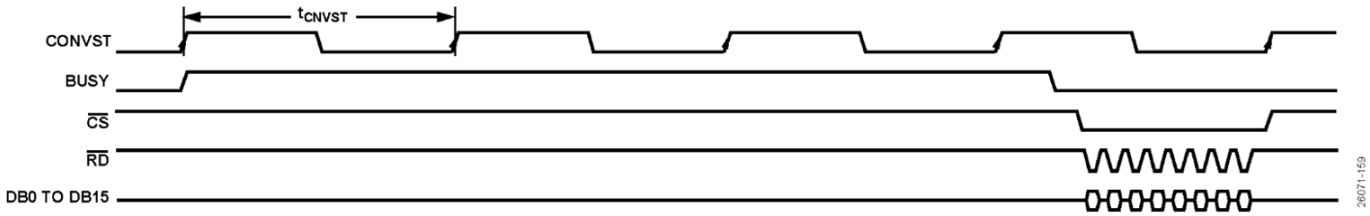

图90. 对CONVST引脚(OSR = 4)应用外部过采样时钟，并行接口

系统校准特性

通过向存储器映射中对应的寄存器写入，可在软件模式下使用以下系统校准特性：

- 相位校准
- 增益校准
- 失调校准
- 模拟输入开路检测

系统相位校准

使用外部滤波器时，如图92所示，分立组件或使用的传感器的任何不匹配都会导致通道之间出现相位不匹配。在软件模式下，可通过延迟单个通道上的采样时刻，基于通道补偿这种相位不匹配。

通过写入对应的CHx_PHASE寄存器（地址0x19至地址0x20），可以使任何特定通道上的采样时刻根据CONVST信号上升沿延迟，分辨率1 µs，最高255 µs。

例如，如果CH4_PHASE寄存器（地址0x1C）被写入十进制10，那么通道4在CONVST信号上升沿10 µs后有效采样，如图91所示。

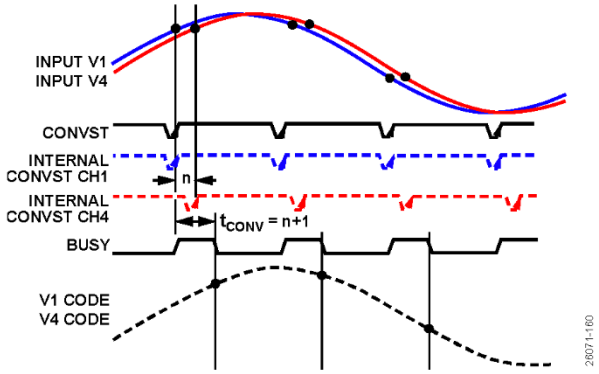

图91. 系统相位校准功能

注意，延迟任何通道都会延长BUSY信号高电平时间，t_{CONV}会延长直至t_{CONV} = n + 1 µs，n表示延长最多的通道的CHx_PHASE寄存器内容。在之前说明的示例中，如果仅编程CH4_PHASE寄存器，t_{CONV}为11 µs。所以，在以更高的吞吐率运行时，必须考虑此种情况。

系统增益校准

使用与模拟输入前端串联外部R_{FILTER}电阻（见图92）会产生系统增益误差。在软件模式下，可以通过写入对应寄存器（地址0x09至地址0x10）所用的串行电阻值，基于通道补偿这种增益误差。这些寄存器能以1024 Ω分辨率补偿最高65 kΩ的串联电阻。

注意，系统增益校准仅在双极性模拟输入范围（单端和差分）内可用。系统增益校准在单极性单端范围内不可用。

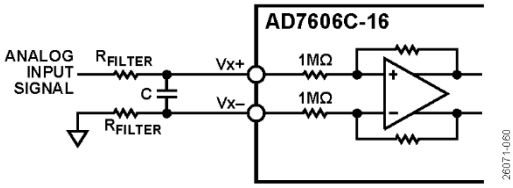

图92. 系统增益误差

例如，如果将27 kΩ电阻与通道5的模拟输入串联，该电阻在该系统上产生约–2%的正满量程误差（在±10 V范围内），如图93所示。在软件模式下，可以通过对CH5_GAIN寄存器（地址0x0D）写入十进制27来降低这种误差，无论串行电阻的R_{FILTER}值是多少，都将误差保持在0.05% FSR内，如图94所示。

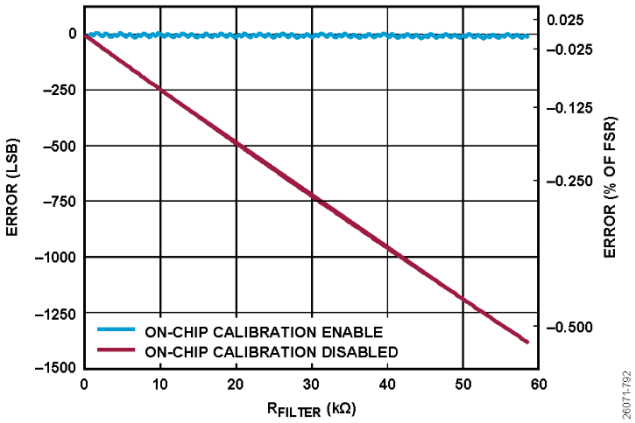

图93. 系统增益校准，校准和无校准，±10 V单端范围

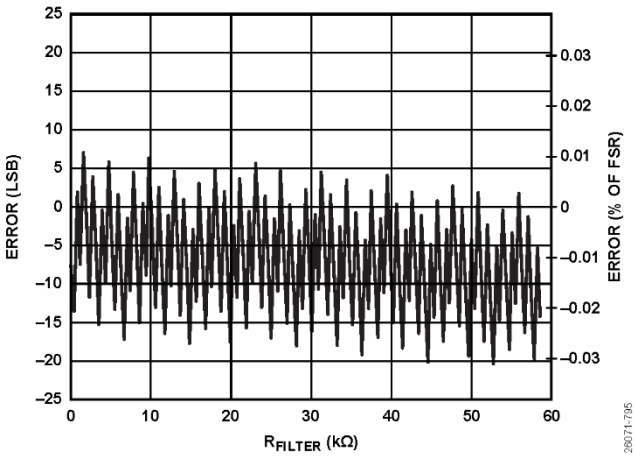

图94. 增益校准使能时的系统增益

系统失调校准

传感器上的潜在失调，或特定通道上的R_{FILTER}对不匹配导致的失调（如"模拟前端"部分所述）可以在软件模式下基于通道补偿。CHx_OFFSET寄存器（地址0x11至地址0x18）允许以4 LSB分辨率，自动在ADC码值中加上或减除最高512 LSB，如表20所示。

例如，如果连接至通道3的信号出现9 mV失调，且模拟输入范围设置为±10 V范围（LSB的大小 = 76.3 µV）来补偿此失调，则对相应的寄存器编程−30 LSB（也就是，9 mV/76.3 µV/4）。向CH3_OFFSET寄存器（地址0x13）写入十进制128 -十进制30 = 0x80 − 0x1E = 0x62可以消除这种失调。

表 20. CHx_OFFSET 寄存器位解码

CHx_OFFSET寄存器码值	失调校准(LSB)
0x00	-512
0x45	-236
0x80（默认）	0
0x83	+12
0xFF	+508

模拟输入开路检测

AD7606C-16在软件模式下可使用模拟输入开路检测功能。要使用此功能，必须如图95所示放置R_{PD}。如果模拟输入断开连接，例如，如果开关打开（图95），则源阻抗从负载电阻(R_S)转至R_{PD}，只要$R_S < R_{PD}$。建议使用R_{PD} = 20 kΩ，这样AD7606C-16能够通过内部切换PGA共模电压来检测源阻抗的变化。模拟输入开路检测可在手动模式或自动模式下使用。

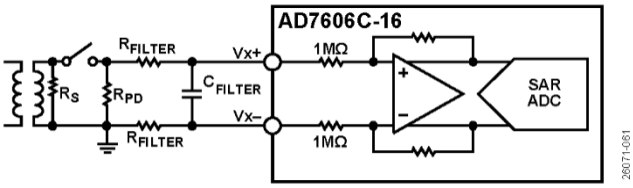

图95. 具有R_{PD}的模拟前端

注意，模拟输入开路检测仅在双极性模拟输入范围（单端和差分）内可用。模拟输入开路检测在单端单极性输入范围内不可用。

手动模式

可以向OPEN_DETECT_QUEUE寄存器（地址0x2C）写入0x01来使能手动模式。在手动模式下，每个PGA共模电压都由OPEN_DETECT_ENABLE寄存器（地址0x23）上的对应CHx_OPEN_DETECT_EN位来控制。将此位置于高电平会使PGA共模电压升高。如果模拟输入端上有开路，ADC输出会与R_{PD}成比例变化，如图96所示。如果没有开路，则PGA共模电压的任何变化都不会影响到ADC输出。

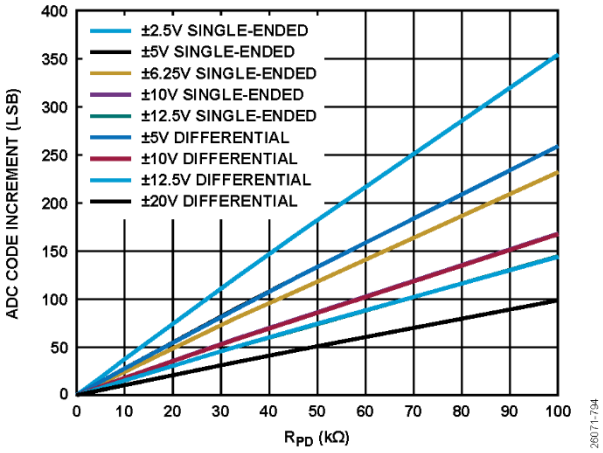

图96. 开路码值误差增量，与R_{PD}相关

自动模式

通过向OPEN_DETECT_QUEUE寄存器（地址0x2C）写入大于0x01的值来使能自动模式，如表21所示。如果AD7606C-16检测到ADC报告了一定数量（在OPEN_DETECT_QUEUE寄存器中指明）的连续不变转换，则模拟输入开路检测算法在内部和外部执行。模拟输入开路检测算法自动更改PGA共模电压，检查ADC输出，并返回至初始共模电压，如图97所示。如果ADC码值随PGA共模电压的变化在任何通道上变化，这表示，没有输入信号与该模拟输入连接，且对应的标志位在OPEN_DETECTED寄存器（地址0x24）内置位。每个通道都可以通过OPEN_DETECT_ENABLE寄存器（地址0x23）单独使能或禁用。

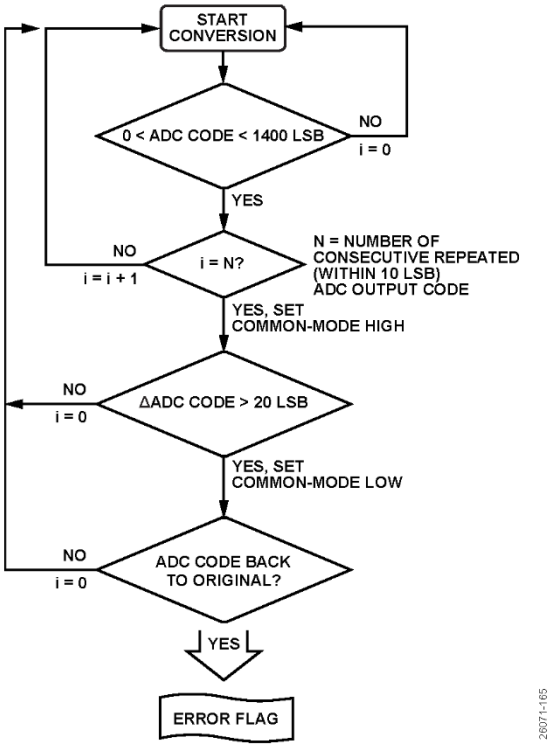

图97. 模拟输入开路自动检测流程图

如果未使用过采样，为了自动检测模拟输入开路，建议对AD7606C-16编程的最小转换数量为

$$\text{OPEN_DETECT_QUEUE} = 10 \times f_{SAMPLE}\left(R_{PD} + 2 \times R_{FILTER}\right) \times (C_{FILTER} + 10\ \text{pF})$$

但是，在使能过采样模式时，建议使用的最小转换数量为

$$\text{OPEN_DETECT_QUEUE} = 1 + \left(f_{SAMPLE} \times 2\left(R_{PD} + 2 \times R_{FILTER}\right) \times (C_{FILTER} + 10\ \text{pF}) \times \text{OSR}\right)$$

表 21. 模拟输入开路检测模式选择和寄存器功能

OPEN_DETECT_QUEUE（地址0x2C）	开路检测模式	OPEN_DETECT_ENABLE（地址0x23）
0x00（默认）	禁用。	不适用。
0x01	手动。	基于通道将共模电压设为高电平或低电平。
0x02[1]至0xFF	自动。OPEN_DETECT_QUEUE是置位CHx_OPENED标志位之前的连续转换次数。	基于通道使能或禁用模拟输入开路自动检测。

[1] 建议向OPEN_DETECT_QUEUE写入大于5的数值。

数字接口

AD7606C-16提供两种接口选项：并行接口和高速串行接口。所需接口模式可通过$\overline{PAR}$/SER SEL引脚来选择。

表 22. 接口模式选择

PAR/SER SEL设置	接口模式
0	并行接口
1	串行接口

关于接口模式的工作原理，参见“硬件模式”部分和“软件模式”部分。

硬件模式

在硬件模式下，仅ADC模式可用。ADC数据可以通过带有标准$\overline{CS}$和$\overline{RD}$信号的并行数据总线，或者通过带有标准$\overline{CS}$、SCLK和两个D_{OUT}x信号的串行接口从AD7606C-16读取。

关于ADC模式工作原理的详情，参见“读取转换结果”（并行ADC模式）部分和“读取转换结果”（串行ADC模式）部分。

软件模式

只有当所有三个OSx引脚都连接至高电平，软件模式才会激活，在该模式，ADC模式和寄存器模式都可用时。ADC数据的读取，寄存器的读写均可以通过AD7606C-16带标准$\overline{CS}$、$\overline{RD}$和$\overline{WR}$信号的并行数据总线，或者通过带标准$\overline{CS}$、SCLK、SDI和D_{OUT}A行的串行接口操作。

关于寄存器模式工作原理的详情，参见“并行寄存器模式”（写入寄存器数据）和“并行寄存器模式”（读取寄存器数据）部分。

根据所选的接口（并行或串行）和工作模式（硬件或软件），引脚功能有所不同，如表23所示。

表 23. 按工作模式的数据接口引脚功能

		并行接口			串行接口		
			软件模式			软件模式	
引脚名称	引脚编号	硬件模式	ADC模式	寄存器模式	硬件模式	ADC模式	寄存器模式
DB0至DB2	16至18	DB0至DB2		寄存器数据	N/A[1]	N/A	
DB3/D_{OUT}E	19	DB3		寄存器数据	N/A	D_{OUT}E[2]	未用
DB4/D_{OUT}F	20	DB4		寄存器数据	N/A	D_{OUT}F[2]	未用
DB5/D_{OUT}G	21	DB5		寄存器数据	N/A	D_{OUT}G[2]	未用
DB6/D_{OUT}H	22	DB6		寄存器数据	N/A	D_{OUT}H[2]	未用
DB7/D_{OUT}A	24	DB7		寄存器数据(MSB)	D_{OUT}A	D_{OUT}A	D_{OUT}A
DB8/D_{OUT}B	25	DB8		ADD0	D_{OUT}B	D_{OUT}B[3]	未用
DB9/D_{OUT}C	27	DB9		ADD1	N/A	D_{OUT}C[4]	未用
DB10/D_{OUT}D	28	DB10		ADD2	N/A	D_{OUT}D[4]	未用
DB11/SDI	29	DB11		ADD3	N/A	未用	SDI
DB12	30	DB12		ADD4	N/A	N/A	
DB13	31	DB13		ADD5	N/A	N/A	
DB14	32	DB14		ADD6	N/A	N/A	
DB15	33	DB15		R/$\overline{W}$	N/A	N/A	

[1] N/A表示不适用。将所有N/A引脚连接至AGND。
[2] 仅在CONFIG寄存器上选择8 D_{OUT}x模式时使用，否则保持断开连接状态。
[3] 仅在CONFIG寄存器上选择2 D_{OUT}x、4 D_{OUT}x或8 D_{OUT}x模式时使用，否则保持断开连接状态。
[4] 仅在CONFIG寄存器上选择4 D_{OUT}x或8 D_{OUT}x模式时使用，否则保持断开连接状态。

并行接口

要读取ADC数据，或通过并行接口读写寄存器内容，将PAR/SER SEL引脚连接至低电平。

CS输入信号的上升沿使总线进入三态，CS输入信号的下降沿使总线脱离高阻态。CS是使能数据线的控制信号，利用该功能可以让多个AD7606C-16器件共享同一并行数据总线。

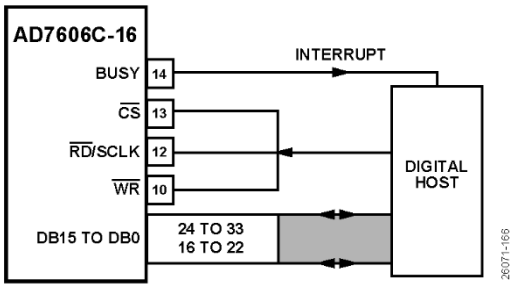

图98. AD7606C-16接口图—一个AD7606C-16使用并联总线，CS和RD短路连在一起

读取转换结果（并行ADC模式）

RD引脚的下降沿用来从输出转换结果寄存器读取数据。对RD引脚施加一系列RD脉冲，可使各通道的转换结果按升序（从V1至V8）逐个输出到并行总线DB15至DB0，如图99所示。

CS信号可永久性地接低电平，而RD信号可用来访问转换结果，如图3所示。BUSY信号变为低电平后，可以读取新数据（图2）；或者，在BUSY引脚为高电平时，可以读取前一次转换的数据。

当系统上只有一个AD7606C-16且它不共享并行总线时，可以仅用数字主机的一个控制信号来读取数据。CS和RD信号可以连在一起，如图4所示。在这种情况下，CS和RD信号的下降沿使数据总线脱离三态，并输出数据。

FRSTDATA输出信号指示何时回读第一通道V1，如图4所示。当CS输入为高电平时，FRSTDATA输出引脚处于三态。CS下降沿使FRSTDATA脱离三态。与V1结果相对应的RD信号的下降沿将FRSTDATA引脚设为高电平，表示输出数据总线可以提供V1的结果。在RD的下一个下降沿之后，FRSTDATA引脚恢复逻辑低电平。

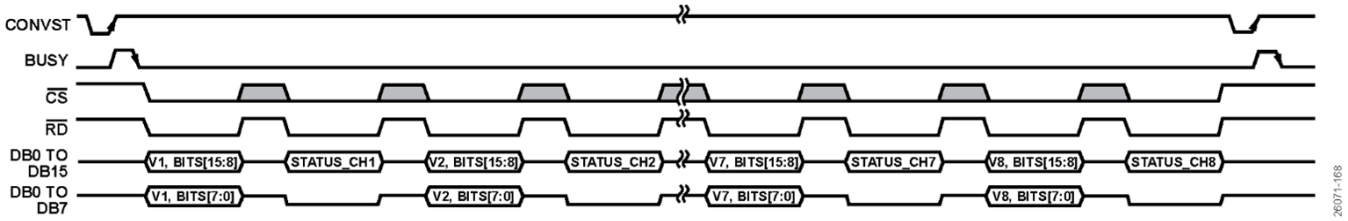

图99. 并行接口，状态报头已使能的ADC模式

转换期间读取

在以下三种场景下，会从AD7606C-16读取数据（如图100所示）：

- 在BUSY线路处于低电平时，在转换之后
- 在BUSY线路处于高电平时，在转换期间
- 在BUSY线路处于低电平时开始，在以下转换进行期间结束，参见图2

在转换期间读取几乎不会影响转换器的性能，而且可以实现更快的吞吐速率。在BUSY信号下降沿时，输出数据寄存器会被新转换数据更新，除外之外的任何时候都可以从AD7606C-16读取数据。在BUSY信号为高电平时执行的数据读取操作应当在BUSY信号下降沿之前完成。

CRC使能后的并行ADC模式

在软件模式下，当通过INT_CRC_ERR_EN位（地址0x21，位2）使能时，并行接口支持在附加CRC的情况下读取ADC数据。CRC为16位，在读取所有8个通道的转换后输出结果，如图101所示。CRC计算包括DBx引脚上的所有数据：数据、状态（附加时）和零。关于CRC的更多详情，参见“诊断”部分。

状态已使能的并行ADC模式

在软件模式下，8位状态报头通过在CONFIG寄存器（地址0x02，位6）中将位6置位来使能（参见表25），然后，每个通道采用以下两个数据帧：

- 第一个帧通过DB15至DB0正常输出ADC数据。
- 第二个帧在DB15至DB8上输出通道的状态报头，DB15是MSB，DB8是状态报头的LSB，DB7至DB0引脚则输出零。

图99显示了该时序。表25说明状态报头的内容，并描述每个位。

表 24. 状态报头中的 CH.ID 位解码

CH.ID2	CH.ID1	CH.ID0	通道号
0	0	0	通道1 (V1)
0	0	1	通道2 (V2)
0	1	0	通道3 (V3)
0	1	1	通道4 (V4)
1	0	0	通道5 (V5)
1	0	1	通道6 (V6)
1	1	0	通道7 (V7)
1	1	1	通道8 (V8)

表 25. 状态报头，并行接口

	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)
内容	RESET_DETECT	DIGITAL_ERROR	OPEN_DETECTED	RESERVED		CH.ID 2	CH.ID 1	CH.ID 0
意义[1]	检测到复位	地址0x22上的错误标志	此通道的模拟输入为开			通道ID（见表24）		

[1] 详情参见“诊断”部分。

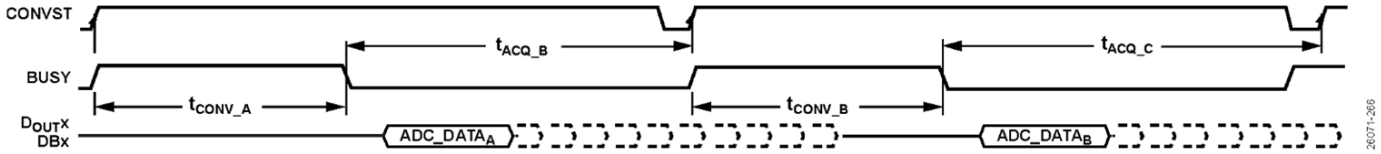

图100. 可在每次转换后和/或在下次转换期间读取数据

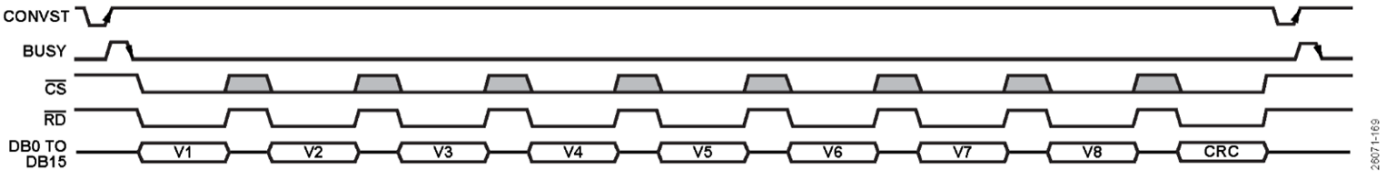

图101. 并行接口，CRC使能后的ADC模式

并行寄存器模式（读取寄存器数据）

在软件模式下，表31中的所有寄存器均可通过并行接口读取。当$\overline{CS}$信号和$\overline{RD}$信号都处于逻辑低电平来读取寄存器内容时，或者当$\overline{CS}$信号和$\overline{WR}$信号都处于逻辑低电平来写入寄存器地址和/或寄存器内容时，位[DB15:DB0]保持高阻抗状态。

通过两个帧执行寄存器读取：第一个，将读取命令发送至AD7606C-16，第二个，AD7606C-16输出寄存器内容。寄存器读命令的格式如图102所示。在第一个帧中，执行以下操作：

- 要选择读取命令，必须将位DB15设为1。读取命令让AD7606C-16进入寄存器模式。
- 位[DB14:DB8]必须包含寄存器地址。
- 忽略随后的8位（位[DB7:DB0]）。

寄存器地址在$\overline{WR}$信号的上升沿锁存到AD7606C-16中。然后，可以通过在以下帧中让$\overline{RD}$线路变为低电平，从锁存的寄存器中读取寄存器内容，操作如下：

- 由AD7606C-16将位DB15拉至0。
- 位[DB14：DB8]提供正被读取的寄存器地址。
- 随后的8个位（位[DB7：DB0]）提供寄存器内容。

要返回ADC模式，在一个$\overline{WR}$周期中让所有DBx引脚保持低电平，如“并行寄存器模式”（写入寄存器数据）部分所示。当器件处于寄存器模式时，无法读取ADC数据。

并行寄存器模式（写入寄存器数据）

在软件模式下，表31中的所有R/W寄存器均可通过并行接口写入。要对一系列寄存器写入，通过读取存储器映射上的任何寄存器来退出ADC模式（默认模式）。寄存器写命令可由单个帧通过并行总线（位[DB15:DB0]）、$\overline{CS}$信号和$\overline{WR}$信号执行。写命令的格式如图102所示，其结构如下：

- 要选择写入命令，必须将位DB15设为0。
- 位[DB14:DB8]为寄存器地址。
- 随后的8位（位[DB7:DB0]）包含待写入选定寄存器的数据。

数据在$\overline{WR}$引脚的上升沿锁存到器件中。要返回ADC模式，在一个$\overline{WR}$周期中让所有DBx引脚保持低电平。当器件处于寄存器模式时，无法读取ADC数据。

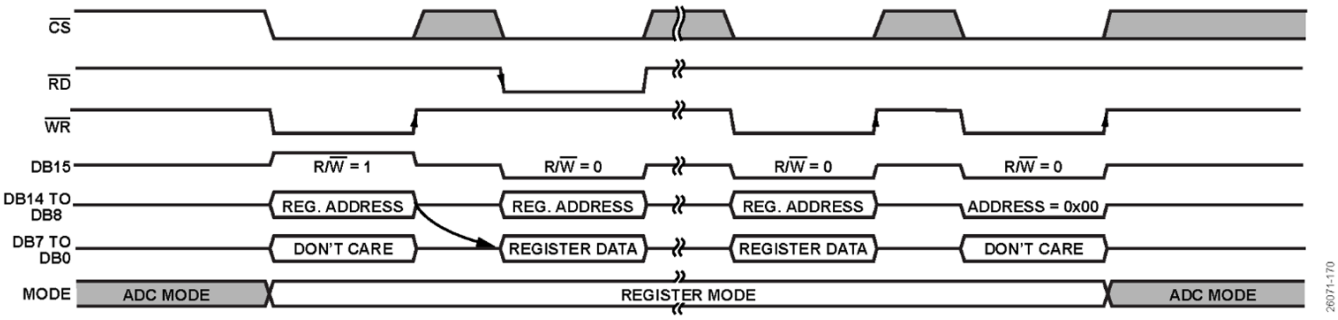

图102. 并行接口寄存器读操作，后接写入操作

串行接口

要读取ADC数据或通过串行接口读写寄存器内容，将$\overline{PAR}$/SERSEL引脚连接至高电平。

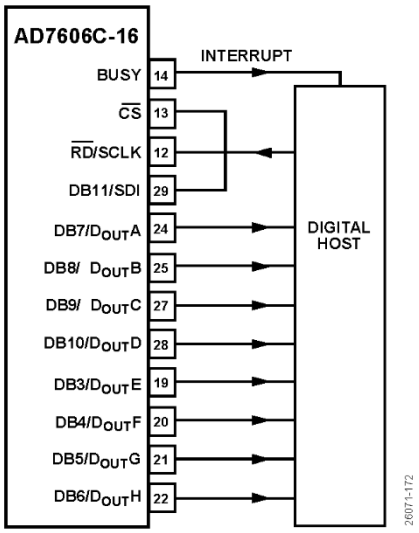

图103. AD7606C-16接口图—一个AD7606C-16使用串行接口，8条DOUTx线路

读取转换结果（串行ADC模式）

AD7606C-16有8个串行数据输出引脚（DOUTA至DOUTH）。在软件模式下，可以使用一条（见图107）、两条（见图104）、四条（见图105）或八条（见图106）DOUTx线路从AD7606C-16回读数据，具体取决于通过CONFIG寄存器设置的配置。

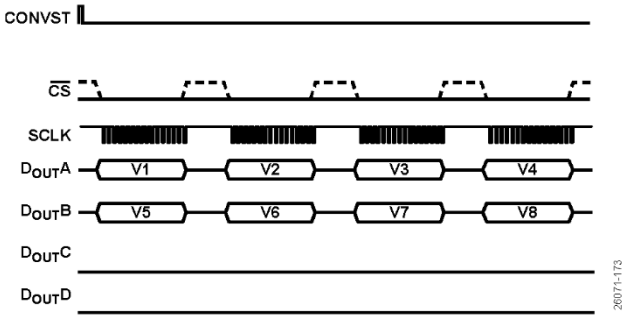

图104. 串行接口ADC读取，两条DOUTx线路

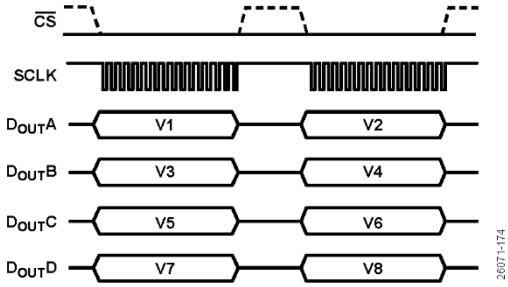

图105. 串行接口ADC读取，四条DOUTx线路

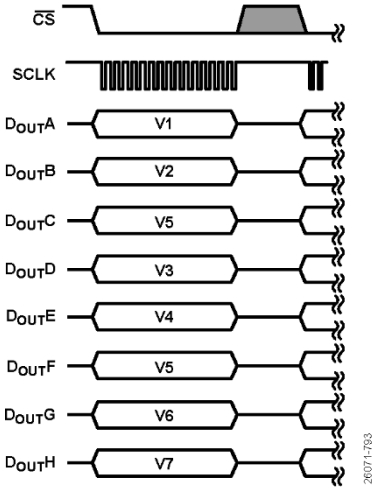

图106. 串行接口ADC读取，八条DOUTx线路

表 26. 使用 CONFIG 寄存器（地址 0x02）选择 DOUTx 格式

DOUTx格式	地址0x02，位4	地址0x02，位3
1 DOUTx	0	0
2 DOUTx	0	1
4 DOUTx	1	0
8 DOUTx	1	1

在硬件模式下，只有2条DOUTx线路的选项可用。但是，可以通过在两个CONVST脉冲之间提供8个16位SPI帧来从DOUTA读取所有通道。

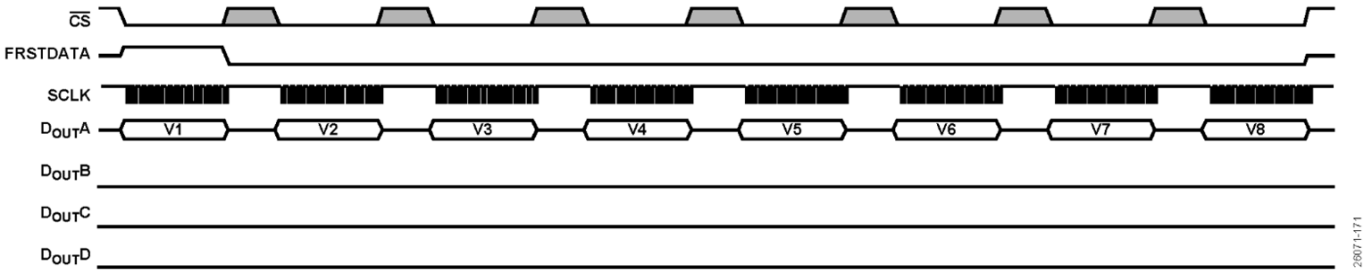

图107. 串行接口ADC读取，一条DOUTx线路

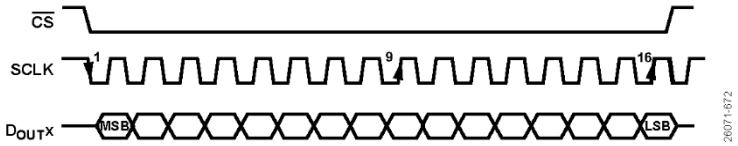

图108. 串行接口数据回读（一个通道）

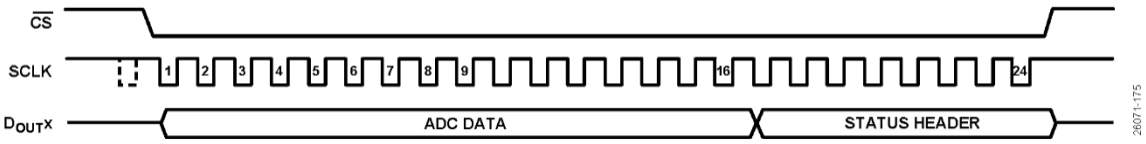

图109. 串行接口，ADC模式，状态开启

$\overline{CS}$下降沿使数据输出线路$D_{OUT}x$脱离三态，并输出转换结果的MSB，如图108所示。

在3线模式下（$\overline{CS}$接低电平），由BUSY信号的下降沿输出MSB，而不是由$\overline{CS}$输出MSB。SCLK信号的上升沿将随后的所有数据位逐个送至串行数据输出$D_{OUT}x$，如图6所示。可以使$\overline{CS}$输入在整个串行读取操作过程中保持低电平，也可以通过脉冲激活它，以使能各通道的16个SCLK周期帧读取（参见图104）。但是，如果$\overline{CS}$在传输通道转换结果期间用脉冲驱动，被中断的通道会在下一个帧重新传输，从MSB从头开始。

还可以仅使用$D_{OUT}A$引脚来输出数据，如图107所示。对于AD7606C-16，通过一路$D_{OUT}x$线访问所有8个转换结果时，总共需要128个SCLK周期。在硬件模式下，必须通过$\overline{CS}$信号使能16组共128个SCLK周期帧。只用一路$D_{OUT}x$线的缺点是：如果在转换之后进行读取，则吞吐速率会下降。串行模式下，不用的$D_{OUT}x$线应保持不连接。

图105显示采用4路$D_{OUT}x$线在AD7606C-16上读取8个同步转换结果，此操作在软件模式下可用。这种情况下，使用32个SCLK传输来访问AD7606C-16的数据，并且$\overline{CS}$保持低电平，以使能全部32个SCLK周期帧，或在2个16位帧之间用脉冲驱动。此模式只能在软件模式下使用，通过CONFIG寄存器（地址0x02）配置。

图6显示串行模式下从AD7606C-16读取一个通道的数据（由$\overline{CS}$信号使能帧传输）的时序图。SCLK输入信号为串行读取操作提供时钟源。$\overline{CS}$信号变为低电平，以从AD7606C-16访问数据。

FRSTDATA输出信号指示何时回读第一通道V1。当$\overline{CS}$输入为高电平时，FRSTDATA输出引脚处于三态。在串行模式下，$\overline{CS}$信号的下降沿使FRSTDATA脱离三态，并将FRSTDATA引脚设为高电平（如果BUSY线路已解除置位），表示$D_{OUT}A$输出数据线可以提供V1的结果。在第16个SCLK下降沿之后，FRSTDATA输出恢复逻辑低电平。如果$\overline{CS}$引脚永久连接至低电平（3线模式），当$D_{OUT}A$能提供V1的结果时，BUSY线路的下降沿将FRSTDATA引脚设置为高电平。

如果SDI连接至低电平或高电平，不会向AD7606C-16输出任何数据。所以，该器件继续读取转换结果。在3线模式下使用AD7606C-16时，保持SDI处于高电平。在ADC模式下，可以执行单次写入操作，如图109所示。要对一系列寄存器写入，请切换至寄存器模式，如“串行寄存器模式（写入寄存器数据）”部分所述。

转换期间读取

在以下三种场景下，会从AD7606C-16读取数据（如图100所示）：

- 在BUSY线路处于低电平时，在转换之后
- 在BUSY线路处于高电平时，在转换期间
- 在BUSY线路处于低电平时开始，在下一次转换进行期间结束（BUSY下降沿之前），参见图2

在转换期间读取几乎不会影响转换器的性能，而且可以实现更快的吞吐速率。在BUSY信号下降沿时，输出数据寄存器会被新转换数据更新，除此之外的任何时候都可以从AD7606C-16读取数据。在BUSY信号为高电平时执行的数据读取操作应当在BUSY信号下降沿之前完成。

CRC使能后的串行ADC模式

在软件模式下，可通过写入寄存器映射来使能CRC。这种情况下，CRC在最后一个通道输出后附加到每条$D_{OUT}x$线上，如图115所示。关于如何计算CRC的更多信息，参见“接口CRC”部分。

状态已使能的串行ADC模式

在软件模式下，8位状态报头（参见表27）可以在使用串行接口时开启，以在每次16位数据转换后附加，将每个通道的帧大小扩展到24位，如图109所示。

串行寄存器模式（读取寄存器数据）

表31中的所有寄存器均可通过串行接口读取。读取命令的格式如图110所示。由两个16位帧组成。在第一个帧中，执行以下操作：

- SDI输入的第一个位必须设置为0，以使能读取地址。
- SDI输入的第二个位必须设置为1，以选择读取命令。
- SDI输入的位第3到8位包含下一个帧要在DOUTA上输出的寄存器地址。
- 忽略SDI随后输入的第9到16位。

如果AD7606C-16处于ADC模式，DOUTX线路继续在位[9:16]上输出ADC数据，之后，AD7606C-16切换至寄存器模式。

如果AD7606C-16处于寄存器模式，DOUTX线路回读前一个寻址寄存器的内容，无论前一个帧是读取还是写入命令。要退出寄存器模式，使SDI线路在16个SCLK周期内保持低电平，如图111所示。

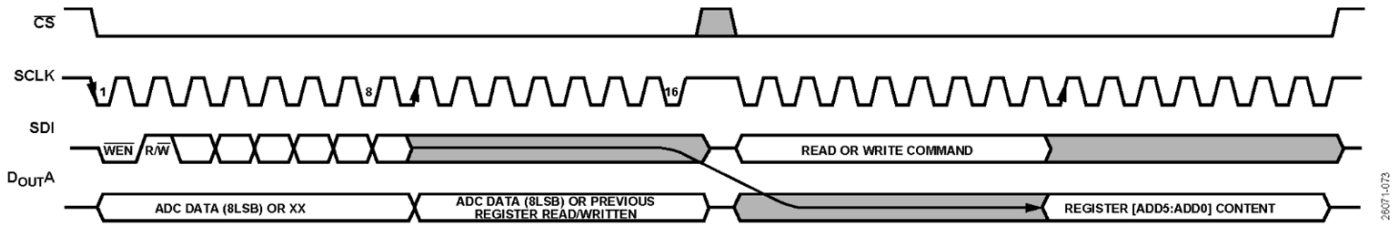

图110. 串行接口读取命令，第一个帧提供地址，第二个帧提供寄存器内容

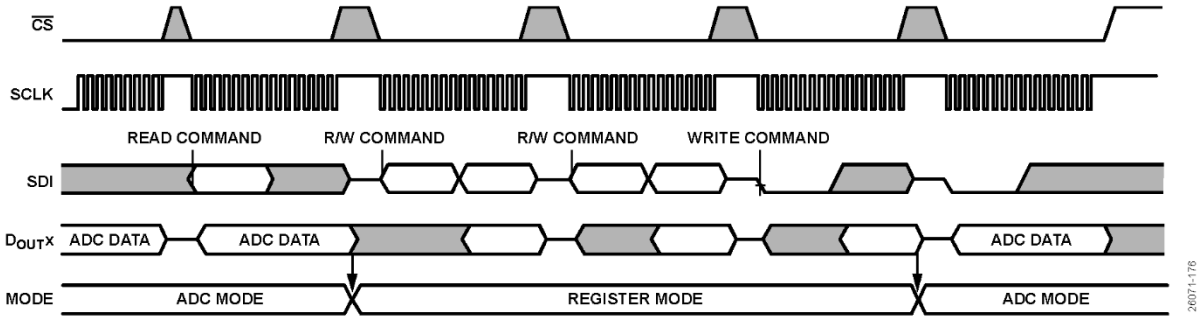

图111. AD7606C-16寄存器模式

表 27. 状态报头，串行接口

	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)
内容	RESET_DETECT	DIGITAL_ERROR	OPEN_DETECTED	RESERVED		CH.ID 2	CH.ID 1	CH.ID 0
意义[1]	检测到复位	地址0x22上的错误标志	此通道的模拟输入为开			通道ID（见表24）		

[1] 详情参见"诊断"部分。

串行接口模式（写入寄存器数据）

在软件模式下，可以通过串行接口写入表31中的所有读写寄存器。要对一系列寄存器写入，通过读取存储器映射上的任何寄存器来退出ADC模式（默认模式）。通过单次16位SPI读取操作，可执行寄存器写命令。写命令的格式如图112所示，其结构如下：

- SDI输入的第一个位必须设置为0，以使能写入命令。
- SDI输入的第二个位（R/$\overline{W}$位）必须清0。
- SDI输入的位ADD5至位ADD0包含要写入的寄存器地址。
- SDI输入的随后的8位（位[DIN7:DIN0]）包含待写入选定寄存器的数据。数据在SCLK的下降沿从SDI输入，在SCLK的上升沿输出到D_{OUT}A。

连续向器件写入时，出现在D_{OUT}A上的数据来自在前一帧中所写入的寄存器地址，如图112所示。D_{OUT}B、D_{OUT}C和D_{OUT}D引脚在传输期间保持低电平。

在寄存器模式下，不会输出ADC数据，因为D_{OUT}x线路都用于输出寄存器内容。在对要求的所有寄存器执行写操作后，让SDI线路在16个SCLK周期内保持低电平会让AD7606C-16返回到ADC模式，然后，ADC数据重新在D_{OUT}x线路上输出，如图111所示。

在软件模式下，当CRC开启时，8个其他位在每个帧上输入和输出。所以，需要24位帧。

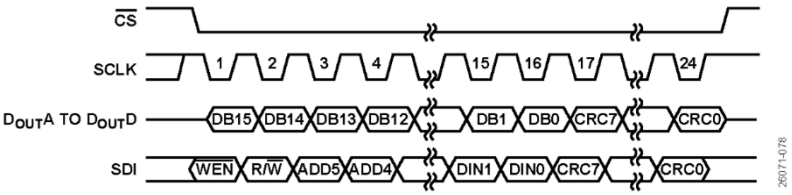

图112. AD7606C-16串行接口，单次写入命令，同一个帧期间，SDI在地址位ADD5至位ADD0，以及寄存器内容位DIN7至位DIN0上输入，D_{OUT}A提供前一个帧要求的寄存器内容

包含CRC的串行寄存器模式

在软件模式下，寄存器可以在已使能CRC的情况下，通过置位INT_CRC_ERR_EN位（地址0x21，位2）从AD7606C-16读取并向其中写入寄存器。

读取寄存器时，AD7606C-16在$D_{OUT}A$引脚上提供8个其他位，以及之前在同一个帧中输出的数据生成的CRC。之后，控制器可以使用下方的多项式来确认接收的数据是否正确：

$$x^8 + x^2 + x + 1$$

在CRC使能的情况下，SPI帧的长度扩展到24位，如图113所示。

在写入寄存器时，控制器必须在AD7606C-16中输入数据（寄存器地址和寄存器内容），后跟一个8位CRC字（使用上述多项式从之前的16位计算得出）。AD7606C-16读取寄存器地址和寄存器内容，计算对应的8位CRC字，如果计算得出的CRC字与在第17个和第24个位之间通过SDI接收的CRC字不匹配，则置位INT_CRC_ERR位（地址0x22，位2），如图114所示。

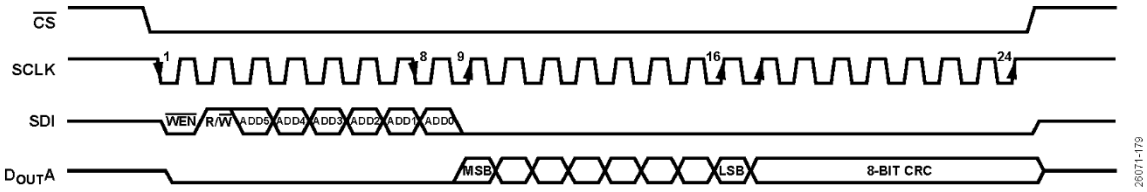

图113. 在CRC使能的情况下，通过SPI读取寄存器

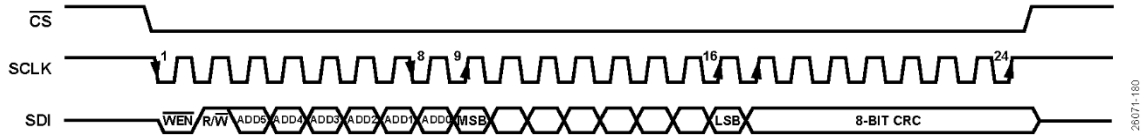

图114. 在CRC使能的情况下，通过SPI写入寄存器

诊断

在软件模式下可使用诊断功能，以验证AD7606C-16的操作是否正确。诊断监控器列表中包括复位检测、过压检测、欠压检测、模拟输入开路检测和数字错误检测。

如果检测到错误，标志位在状态报头（如果使能）上置位，如“数字接口”部分所述。此标志位指向误差所在的寄存器，如以下部分所述。

此外，诊断多路复用器可以指定任何通道来验证一系列内部节点，如“诊断多路复用器”部分所述。

复位检测

如果对AD7606C-16施加部分复位或完全复位脉冲，状态寄存器（地址0x01，位7）上的RESET_DETECT位置位。在上电后，需要完全复位。该复位操作会置位RESET_DETECT位，表示上电复位(POR)对器件进行了正确初始化。

POR监控REGCAP电压，如果电压降低至低于某个阈值，则发出完全复位指令。

RESET_DETECT位可用于检测非预期的器件复位或RESET引脚上的大毛刺，或者电源压降。

RESET_DETECT位只能通过读取状态寄存器来清0。

数字错误

状态寄存器和状态报头都包含DIGITAL_ERROR位。在以下任意监控器触发时，该位置位：

- 存储器映射CRC、只读存储器(ROM) CRC和数字接口CRC。
- SPI无效读取或写入。
- BUSY阻塞高电平。

为了找出是哪个监控器触发了DIGITAL_ERROR位，DIGITAL_DIAG_ERR寄存器（地址0x22）有一个专门用于每一个监控器的位，如“ROM CRC”、“存储器映射CRC”、“接口CRC校验和”、“接口检测”、“SPI无效读取和写入”以及“BUSY阻塞高电平”部分所述。

ROM CRC

ROM存储AD7606C-16的出厂调整设置。上电之后，ROM内容在器件初始化期间载入到寄存器中。载入之后，基于载入的数据计算CRC，并验证计算结果是否与ROM中存储的CRC匹配。

AD7606C-16使用下方的16位CRC多项式对存储器映射计算CRC校验和值：

$$x16 + x14 + x13 + x12 + x10 + x8 + x6 + x4 + x3 + x + 1$$

(0xBAAD)

如果计算得出的CRC值和存储的CRC值不匹配，错误检查与校正(ECC)块可以检测多达3个位错误（Hamming距离为4）。否则，ROM_CRC_ERR（地址0x22，位0）置位。如果ROM_CRC_ERR在上电之后置位，建议发出完全复位指令，重新加载所有出厂设置。

此ROM CRC监测功能默认使能，但是可以通过将ROM_CRC_ERR_EN位（地址0x21，位0）清0来禁用。

存储器映射CRC

存储器映射CRC默认禁用。在AD7606C-16通过写入要求的寄存器配置为软件模式后，存储器映射CRC可以通过MM_CRC_ERR_EN位（地址0x21，位1）使能。使能之后，对整个存储器映射执行CRC计算并存储其结果。每隔4 μs，重新计算存储器映射的CRC，并与存储的CRC值比较。

AD7606C-16使用下方的16位CRC多项式对存储器映射计算CRC校验和值：

$$x16 + x14 + x13 + x12 + x10 + x8 + x6 + x4 + x3 + x + 1$$

(0xBAAD)

如果计算得出的CRC值和存储的CRC值不匹配，ECC块可以检测多达3个位错误（Hamming距离为4）。否则，存储器映射被破坏，且MM_CRC_ERR位（地址0x22，位1）置位。每次写入存储器映射时，都会重新计算CRC并存储新值。

如果MM_CRC_ERR位置位，建议写入存储器映射，以重新计算CRC。如果MM_CRC_ERR位保持不变，建议执行发出完全复位指令，以恢复存储器映射的默认内容。

接口CRC校验和

AD7606C-16具有CRC校验和模式，利用这种模式可检测数据传输中的错误，从而提高接口的鲁棒性。ADC模式（串行和并行）和寄存器模式（仅串行）模式下均可使用CRC特性。

AD7606C-16使用下方的16位CRC多项式来计算CRC校验和值：

$$x16 + x14 + x13 + x12 + x10 + x8 + x6 + x4 + x3 + x + 1$$

(0xBAAD)

要在控制器中复制多项式除法，需要将数据左移16位，产生一个后16位为逻辑0的数值。对齐多项式，使其MSB与该数据最左侧的逻辑1对齐。对该数据应用一个异或(XOR)函数以产生一个新的、更短的数字。再次对齐多项式，使其MSB与新结果最左侧的逻辑1对齐，重复上述步骤。最后，原始数据将减少至小于多项式的值，它就是16位校验和。

表28给出了16位数据的CRC计算示例。使用之前所述的多项式计算的与数据0x064E对应的CRC为0x2137。

通过INT_CRC_ERR_EN位（地址0x21，位2）使能时，串行接口支持CRC。CRC是一个16位字，在读取所有通道后，附加到使用的每个DOUTx路线的末尾。图115显示使用4条DOUTx线路的示例。

如果使用两条DOUTx线路（DOUTA和DOUTB），则使用来自4个通道（72位）的数据计算每个16位CRC字，如图116所示。如果仅使用1条DOUTx线路，所有8个通道都通过DOUTA输出，然后使用来自8个通道（144位）的数据计算16位CRC字。

表 28. 16 位数据的 CRC 计算示例 [1, 2]

数据	**0**	**0**	**0**	**0**	**0**	**1**	**1**	**0**	**0**	**1**	**0**	**0**	**1**	**1**	**1**	**0**	**X**	**X**	**X**	**X**	**X**	**X**	**X**	**X**	**X**	**X**	**X**	**X**	**X**	**X**	**X**	**X**
过程数据	**0**	**0**	**0**	**0**	**0**	**1**	**1**	**0**	**0**	**1**	**0**	**0**	**1**	**1**	**1**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**
多项式						1	0	1	1	1	0	1	0	1	0	1	0	1	1	0	1	1										
						0	1	1	1	0	0	1	1	0	1	1	0	1	1	0	1	1	0									
							1	0	1	1	1	1	1	0	1	0	1	0	1	1	0	1	1	0								
							0	1	0	1	1	1	1	0	0	1	1	1	0	1	1	1	0	1	0							
								0	0	0	0	0	0	1	0	0	1	1	0	0	1	0	0	1	1	0	0	1	0	1	0	
														0	0	1	0	1	1	1	0	1	1	0	1	1	0	1	1	0	1	1
CRC																	0	0	1	0	0	0	0	1	0	0	1	1	0	1	1	1

[1] 本表显示的是数据的除法。空白单元用于格式化目的。
[2] X = 无关。

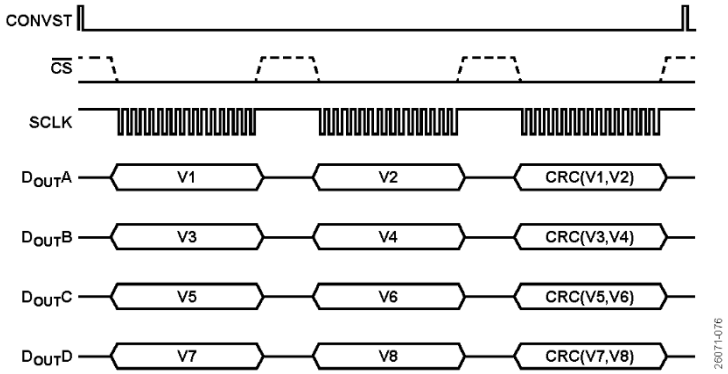

图115. CRC使能后的串行接口读取，四条DOUTx线路

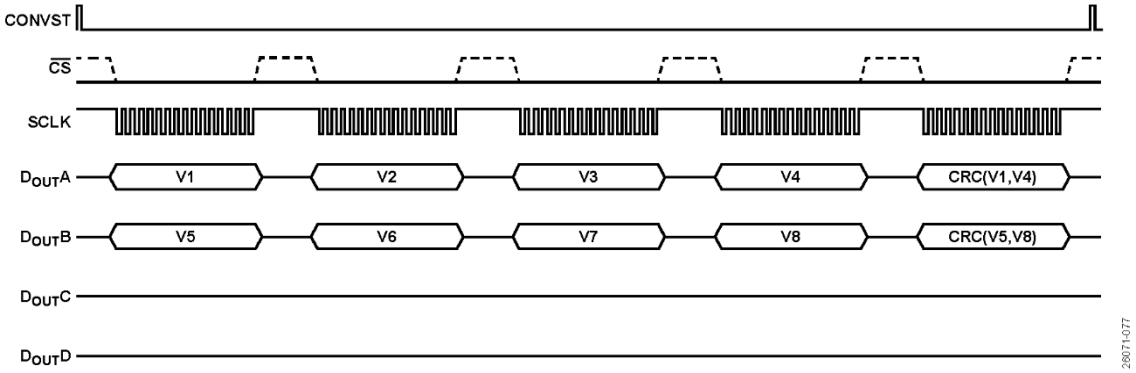

图116. CRC使能后的串行接口读取，两条DOUTx线路

当AD7606C-16处于寄存器模式且寄存器在被读取或写入时，使用的CRC多项式为x8 + x2 + x + 1 (0x83)。读取寄存器时，如果CRC已使能，那么每个SPI帧的长度都为26位，且在第17个至第24个SCLK周期之间输出CRC 8位字。同样，写入寄存器时，CRC字可以附加到SDI线路末尾，如图117所示。如果给出的CRC字和内部计算得出的CRC字不匹配，AD7606C-16会检查并触发错误INT_CRC_ERR（地址0x22，位2）。

并行接口也只在ADC模式下支持CRC，在通道8之后通过DB15至DB0输出，如图101所示。16位CRC字使用来自8个通道（128位）的数据进行计算。

接口检查

可通过置位INTERFACE_CHECK_EN位（地址0x21，位7）来检查数字接口的完整性。选择接口检查迫使转换结果寄存器采用已知值，如表29所示。

确认控制器接收表29中的数据，确保AD7606C-16和控制器之间的接口工作正常。如果接口CRC因传输的数据已知而使能，此模式会验证控制器是否正确执行CRC计算。

表 29. 接口检查转换结果

通道号	强制转换结果(十六进制)
V1	0xACCA
V2	0x5CC5
V3	0xA33A
V4	0x5335
V5	0xCAAC
V6	0xC55C
V7	0x3AA3
V8	0x3553

SPI无效读取和写入

尝试回读无效的寄存器地址时，SPI_READ_ERR位（地址0x22，位4）置位。置位SPI_READ_ERR_EN位（地址0x21，位4）可使能无效回读地址检测。如果触发SPI读取错误，则可通过覆盖该位或禁用检查器来将其清除。

尝试写入无效的寄存器地址或只读寄存器时，SPI_WRITE_ERR位（地址0x22，位3）置位。置位SPI_WRITE_ERR_EN位（地址0x21，位3）可使能无效写入地址检测。如果触发SPI写入错误，则可通过覆盖该位或禁用检查器来将其清除。

BUSY阻塞高电平

置位BUSY_STUCK_HIGH_ERR_EN位（地址0x21，位5）可使能BUSY阻塞高电平监测。此位使能后，使用独立时钟在内部监测转换时间（表3中的t_{CONV}）。如果t_{CONV}超过4 µs，AD7606C-16自动发出部分复位指令并置位BUSY_STUCK_HIGH_ERR位（地址0x22，位5）。要清除此错误标志位，必须写入1覆盖BUSY_STUCK_HIGH_ERR位。

使能过采样模式时，监测每次内部转换单独所用的转换时间。

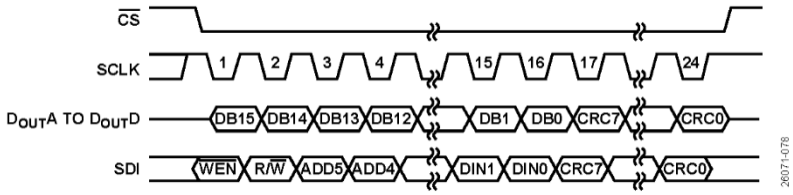

图117. CRC使能后的寄存器写入

诊断多路复用器

所有8个输入通道内置诊断多路复用器，位于PGA之前，用于监测表30中所述的内部节点，确保AD7606C-16正常工作。为了精准测量，建议使用通道8，其中诊断通道的失调和增益已在生产期间经过调整。

表30显示了通道1上诊断多路复用器寄存器的位解码作为示例。内部节点选定之后，从PGA取消选择输入引脚的输入电压，如图118所示。

每个诊断多路复用器配置是在软件模式下通过对应的寄存器（地址0x28至地址0x2B）访问的。要在一个通道上使用多路复用器，必须在该通道上选择±10 V范围。

表 30. 通道 1 诊断多路复用器寄存器位解码

地址0x18			
位2	**位1**	**位0**	**通道1上的信号**
0	0	0	V1
0	0	1	温度传感器
0	1	0	V_{REF}
0	1	1	ALDO
1	0	0	DLDO
1	0	1	V_{DRIVE}
1	1	0	AGND
1	1	1	AV_{CC}

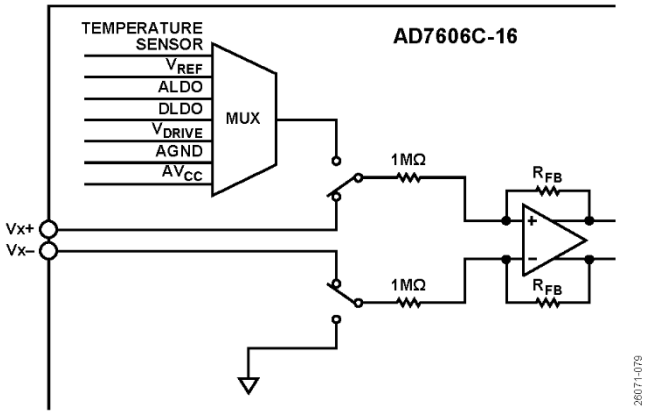

图118. 诊断多路复用器（显示通道1作为示例）（R_{FB} = 反馈电阻）

温度传感器

温度传感器可以通过诊断多路复用器进行选择，并使用ADC进行转换，如图118所示。温度传感器的电压根据如下公式测量，与裸片温度成正比，精度为±2°C：

$$温度(°C) = \frac{ADC_{OUT}(V) - 2.76272(V)}{0.077312(V/°C)} + 25(°C)$$

基准电压

基准电压可以通过诊断多路复用器进行选择，并使用ADC进行转换，如图119所示。内部或外部基准电压源根据REF SELECT引脚来选择，作为诊断多路复用器的输入。理想情况下，ADC输出与基准电压电平成比例。所以，如果ADC输出超过预期的2.5 V，表示基准电压缓冲或PGA存在故障。

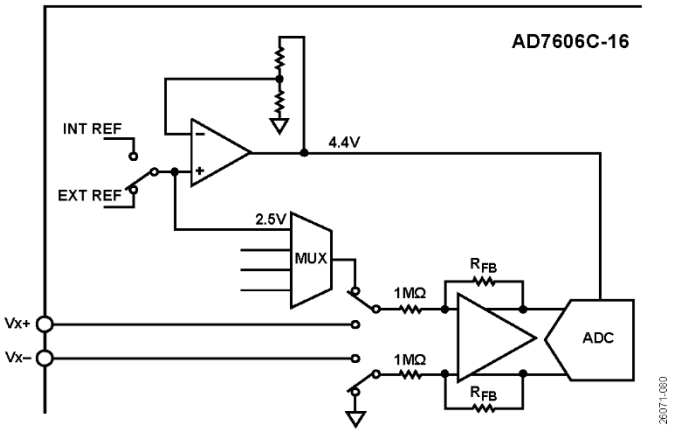

图119. 通过诊断多路复用器的基准电压信号路径

内部LDO

模拟和数字LDO（REGCAP引脚）可以通过诊断多路复用器进行选择，并使用ADC进行转换，如图118所示。ADC输出电压是REGCAP引脚电压的4倍。此测量确认每个LDO的工作电压是否正确，以确保内部电路正确偏置。

电源电压

AV_{CC}、V_{DRIVE}和AGND可以通过诊断多路复用器进行选择，并使用ADC进行转换，如图118所示。此设置确保对器件施加正确的电压和接地，确保正常工作。

典型连接图

AD7606C-16有四个AV_{CC}电源引脚，建议通过每个电源引脚上的100 nF去耦电容和电源上的10 μF电容对每个引脚去耦。AD7606C-16既可在内部基准电压下工作，也可在外部施加的基准电压下工作。在PCB上使用一个AD7606C-16器件时，利用一个100 μF电容对REFIN/REFOUT引脚去耦。当应用中使用多个AD7606C-16器件时，请参阅“基准电压源”部分。REFCAPA和REFCAPB引脚短路连在一起，并通过一个10 μF陶瓷电容来去耦。

V_{DRIVE}电源连接到为处理器供电的同一电源。V_{DRIVE}电压控制输出逻辑信号的电压值。关于布局、去耦和接地的更多信息，请参考“布局指南”部分。

对AD7606C-16施加电源后，对AD7606C-16执行完全复位，以确保将其配置为正确的工作模式。

在图120中，AD7606C-16配置为硬件模式，使用内部基准电压工作，因为REF SELECT引脚被设置为逻辑高电平。在这个示例中，该器件也使用并行接口，因为$\overline{PAR}$/SER SEL引脚与AGND相连。只要RANGE引脚连接至高电平，且过采样率是由控制器通过OSx引脚控制的，则所有8个通道的模拟输入范围均为±10 V。

在图121中，AD7606C-16配置为软件模式，因为OSx引脚处于逻辑高电平。过采样率和每个通道范围都通过访问存储器映射来配置。在本例中，$\overline{PAR}$/SER SEL引脚处于逻辑高电平。所以，串行接口用于读取ADC数据，以及读写存储器映射。REF SELECT引脚连接至AGND。所以，内部基准电压源被禁用，外部基准电压源从外部连接至REFIN/REFOUT引脚，通过一个100 nF电容去耦。

图120和图121是典型的连接图示例。也可以采用其他的基准电压源、数据接口和工作模式组合，具体取决于对每个配置引脚施加的逻辑电平。

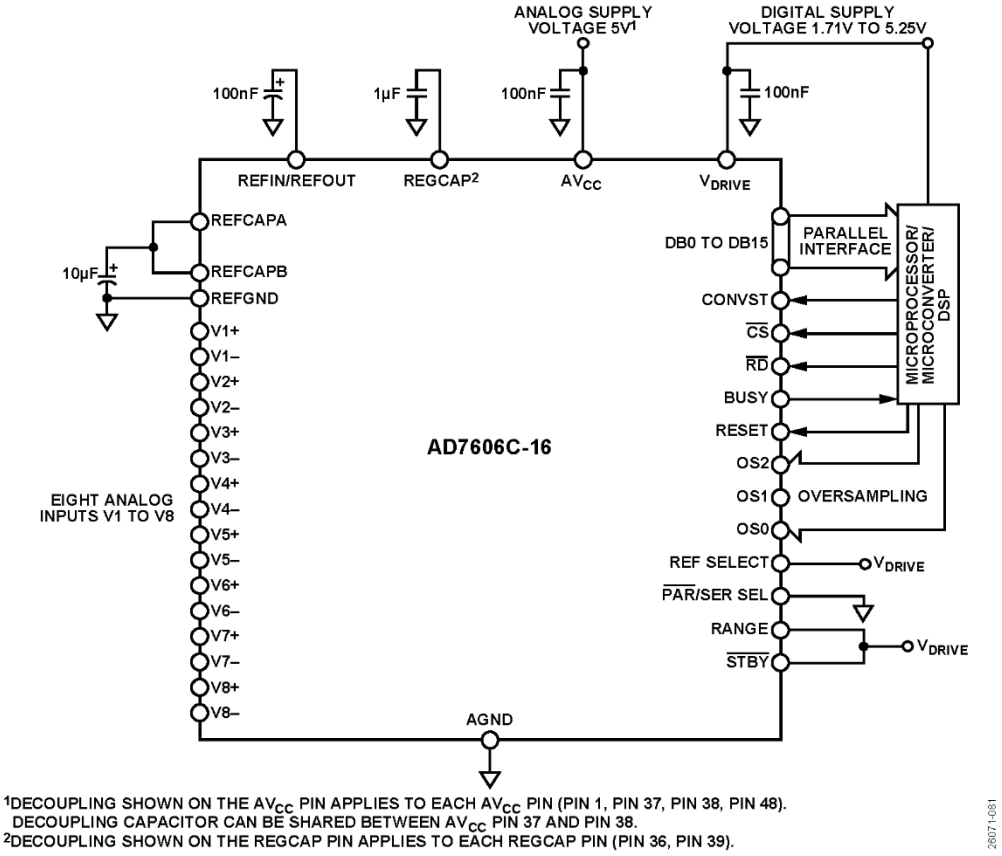

图120. 典型连接图，硬件模式

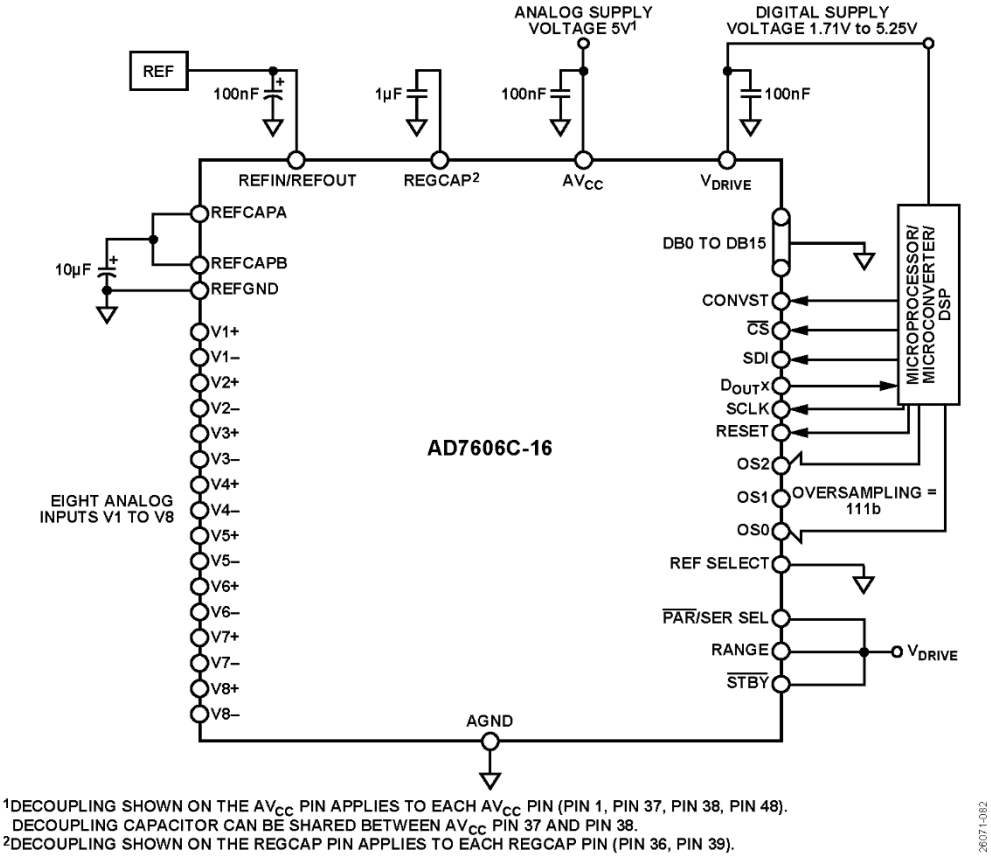

图121. 典型连接图，软件模式

应用信息

布局布线指南

在设计包含AD7606C-16的PCB时，建议遵循以下这些布局布线指南：

- 如果AD7606C-16所在系统中有多个器件要求模拟地至数字地连接，则使用实心接地层（无需分割模拟地和数字地）。
- 确保与地层的稳定连接。避免多个接地引脚共用一个过孔到地层的连接。每个接地引脚应使用单个过孔或多个过孔连接到电源层。
- 应避免在器件下方布设数字线路，否则会将噪声耦合至芯片。应允许模拟接地层布设在AD7606C-16下方，以避免噪声耦合。
- 如果CONVST或时钟等快速切换信号要使用数字地加以屏蔽，以免将噪声辐射到电路板的其他部分，而且快速切换信号绝不能靠近模拟信号路径。
- 避免数字信号与模拟信号走线交叠。
- 确保电路板邻近层上的走线彼此垂直，以减小电路板的馈通效应。
- 确保AD7606C-16上AV_{CC}和V_{DRIVE}引脚的电源线路采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声影响。可能的话，应使用电源层，并在AD7606C-16电源引脚与电路板的电源走线之间建立稳定连接。各电源引脚应使用单个过孔或多个过孔。
- 去耦电容应靠近（理想情况是紧靠）电源引脚及其对应接地引脚放置。REFIN/REFOUT引脚、REFCAPA引脚和REFCAPB引脚的去耦电容应尽可能靠近各自的AD7606C-16引脚。可能的话，应将这些电容放在电路板上与AD7606C-16器件相同的一侧。

图122显示AD7606C-16 PCB顶层的建议解耦配置。图123显示了底层解耦配置，它用于4个AV_{CC}引脚和V_{DRIVE}引脚的去耦。当AV_{CC}引脚的100 nF陶瓷电容靠近其各自的器件引脚时，一个100 nF电容可以在引脚37和引脚38之间共享。

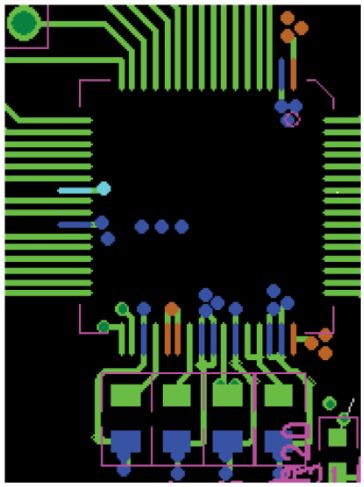

图122. REFIN/REFOUT、REFCAPA、REFCAPB和REGCAP引脚的顶层去耦

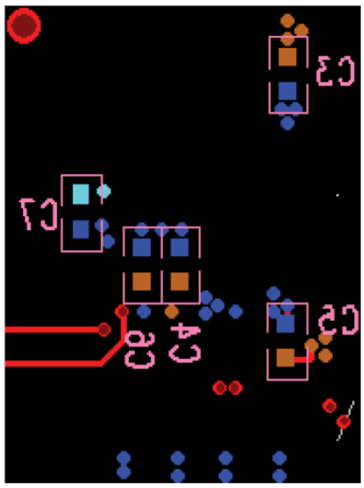

图123. 底层去耦

在内置多个AD7606C-16器件的系统中，为确保器件之间的性能匹配稳定，AD7606C-16器件必须采用对称布局。

图124显示采用两个AD7606C-16器件的布局。AV_{CC}电源层沿两个器件的右侧布设，V_{DRIVE}电源走线沿两个器件的左侧布设。基准电压芯片位于两个器件之间，基准电压走线向北布设到U1的引脚42，向南布设到U2的引脚42。使用实心接地层。

这些对称布局原则同样适用于含有两个以上AD7606C-16器件的系统。AD7606C-16器件可以沿南北方向放置，基准电压位于器件的中间，基准电压走线则沿南北方向布设，类似于图124。

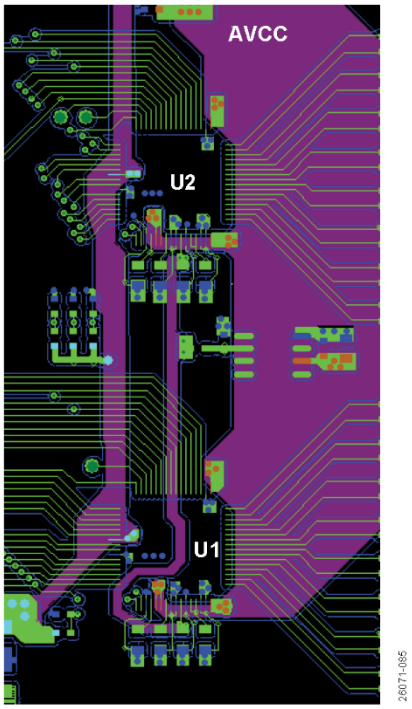

图124. 多个AD7606C-16器件的布局—顶层和电源层

寄存器汇总

表 31. AD7606C-16 寄存器汇总

地址	名称	位7	位6	位5	位4	位3	位2	位1	位0	复位	R/W
0x01	STATUS	RESET_DETECT	DIGITAL_ERROR	OPEN_DETECTED	RESERVED					0x00	R
0x02	CONFIG	RESERVED	STATUS_HEADER	EXT_OS_CLOCK	DOUT_FORMAT		RESERVED	OPERATION_MODE		0x08	R/W
0x03	RANGE_CH1_CH2	CH2_RANGE				CH1_RANGE				0x33	R/W
0x04	RANGE_CH3_CH4	CH4_RANGE				CH3_RANGE				0x33	R/W
0x05	RANGE_CH5_CH6	CH6_RANGE				CH5_RANGE				0x33	R/W
0x06	RANGE_CH7_CH8	CH8_RANGE				CH7_RANGE				0x33	R/W
0x07	BANDWIDTH	CH8_BW	CH7_BW	CH6_BW	CH5_BW	CH4_BW	CH3_BW	CH2_BW	CH1_BW	0x00	R/W
0x08	OVERSAMPLING	OS_PAD				OS_RATIO				0x00	R/W
0x09	CH1_GAIN	RESERVED		CH1_GAIN						0x00	R/W
0x0A	CH2_GAIN	RESERVED		CH2_GAIN						0x00	R/W
0x0B	CH3_GAIN	RESERVED		CH3_GAIN						0x00	R/W
0x0C	CH4_GAIN	RESERVED		CH4_GAIN						0x00	R/W
0x0D	CH5_GAIN	RESERVED		CH5_GAIN						0x00	R/W
0x0E	CH6_GAIN	RESERVED		CH6_GAIN						0x00	R/W
0x0F	CH7_GAIN	RESERVED		CH7_GAIN						0x00	R/W
0x10	CH8_GAIN	RESERVED		CH8_GAIN						0x00	R/W
0x11	CH1_OFFSET	CH1_OFFSET								0x80	R/W
0x12	CH2_OFFSET	CH2_OFFSET								0x80	R/W
0x13	CH3_OFFSET	CH3_OFFSET								0x80	R/W
0x14	CH4_OFFSET	CH4_OFFSET								0x80	R/W
0x15	CH5_OFFSET	CH5_OFFSET								0x80	R/W
0x16	CH6_OFFSET	CH6_OFFSET								0x80	R/W
0x17	CH7_OFFSET	CH7_OFFSET								0x80	R/W
0x18	CH8_OFFSET	CH8_OFFSET								0x80	R/W
0x19	CH1_PHASE	CH1_PHASE								0x00	R/W
0x1A	CH2_PHASE	CH2_PHASE								0x00	R/W
0x1B	CH3_PHASE	CH3_PHASE								0x00	R/W
0x1C	CH4_PHASE	CH4_PHASE								0x00	R/W
0x1D	CH5_PHASE	CH5_PHASE								0x00	R/W
0x1E	CH6_PHASE	CH6_PHASE								0x00	R/W
0x1F	CH7_PHASE	CH7_PHASE								0x00	R/W
0x20	CH8_PHASE	CH8_PHASE								0x00	R/W
0x21	DIGITAL_DIAG_ENABLE	INTERFACE_CHECK_EN	CLK_FS_OS_COUNTER_EN	BUSY_STUCK_HIGH_ERR_EN	SPI_READ_ERR_EN	SPI_WRITE_ERR_EN	INT_CRC_ERR_EN	MM_CRC_ERR_EN	ROM_CRC_ERR_EN	0x01	R/W
0x22	DIGITAL_DIAG_ERR	RESERVED		BUSY_STUCK_HIGH_ERR	SPI_READ_ERR	SPI_WRITE_ERR	INT_CRC_ERR	MM_CRC_ERR	ROM_CRC_ERR	0x00	R/W
0x23	OPEN_DETECT_ENABLE	CH8_OPEN_DETECT_EN	CH7_OPEN_DETECT_EN	CH6_OPEN_DETECT_EN	CH5_OPEN_DETECT_EN	CH4_OPEN_DETECT_EN	CH3_OPEN_DETECT_EN	CH2_OPEN_DETECT_EN	CH1_OPEN_DETECT_EN	0x00	R/W
0x24	OPEN_DETECTED	CH8_OPEN	CH7_OPEN	CH6_OPEN	CH5_OPEN	CH4_OPEN	CH3_OPEN	CH2_OPEN	CH1_OPEN	0x00	R/W
0x28	DIAGNOSTIC_MUX_CH1_2	RESERVED		CH2_DIAG_MUX_CTRL			CH1_DIAG_MUX_CTRL			0x00	R/W
0x29	DIAGNOSTIC_MUX_CH3_4	RESERVED		CH4_DIAG_MUX_CTRL			CH3_DIAG_MUX_CTRL			0x00	R/W
0x2A	DIAGNOSTIC_MUX_CH5_6	RESERVED		CH6_DIAG_MUX_CTRL			CH5_DIAG_MUX_CTRL			0x00	R/W
0x2B	DIAGNOSTIC_MUX_CH7_8	RESERVED		CH8_DIAG_MUX_CTRL			CH7_DIAG_MUX_CTRL			0x00	R/W
0x2C	OPEN_DETECT_QUEUE	OPEN_DETECT_QUEUE								0x00	R/W
0x2D	FS_CLK_COUNTER	CLK_FS_COUNTER								0x00	R
0x2E	OS_CLK_COUNTER	CLK_OS_COUNTER								0x00	R
0x2F	ID	DEVICE_ID				SILICON_REVISION				0x31	R

寄存器详解

地址：0x01，复位：0x00；名称：STATUS

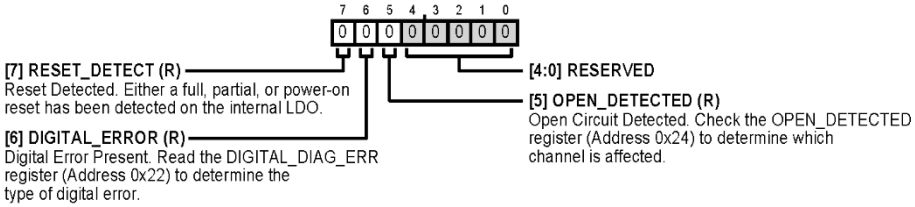

表 32. STATUS 的位功能描述

位	位名称	描述	复位	访问
7	RESET_DETECT	检测到复位。在内部LDO上检测到完全、部分或上电复位。	0x0	R
6	DIGITAL_ERROR	存在数字错误。读取DIGITAL_DIAG_ERR寄存器（地址0x22），以确定数字错误的类型。	0x0	R
5	OPEN_DETECTED	检测到开路。检查OPEN_DETECTED寄存器（地址0x24），以确定哪个通道受到影响。	0x0	R
[4:0]	RESERVED	保留。	0x0	R

地址：0x02，复位：0x08，名称：CONFIG

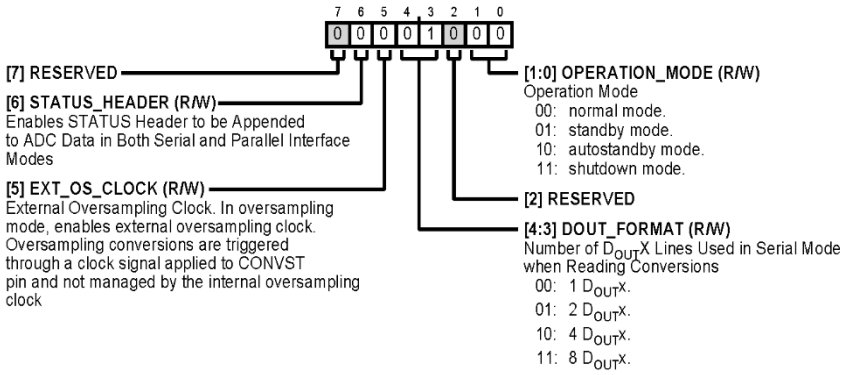

表 33. CONFIG 位功能描述

位	位名称	描述	复位	访问
7	RESERVED	保留。	0x0	R
6	STATUS_HEADER	在串行和并行接口模式下使能要附加到ADC数据末尾的STATUS报头。	0x0	R/W
5	EXT_OS_CLOCK	外部过采样时钟。在过采样模式下，使能外部过采样时钟。过采样转换通过施加给CONVST引脚的时钟信号触发，不由内部过采样时钟管理。	0x0	R/W
[4:3]	DOUT_FORMAT	读取转换时，串行模式下使用的DOUTX线路数量。 00：1 DOUTX。 01：2 DOUTX。 10：4 DOUTX。 11：8 DOUTX。	0x1	R/W
2	RESERVED	保留。	0x0	R
[1:0]	OPERATION_MODE	工作模式。 00：正常模式。 01：待机模式。 10：自动待机模式。 11：关断模式。	0x0	R/W

地址：0x03，复位：0x33，名称：RANGE_CH1_CH2

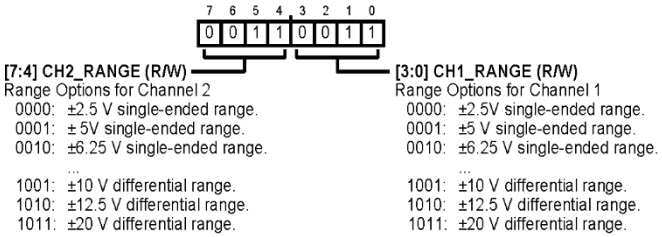

表 34. RANGE_CH1_CH2 的位功能描述

位	位名称	描述	复位	访问
[7:4]	CH2_RANGE	通道2的范围选项。 0000：±2.5 V单端范围。 0001：±5 V单端范围。 0010：±6.25 V单端范围。 0011：±10 V单端范围。 0100：±12.5 V单端范围。 0101：0 V至5 V单端范围。 0110：0 V至10 V单端范围。 0111：0 V至12.5 V单端范围。 1000：±5 V差分范围。 1001：±10 V差分范围。 1010：±12.5 V差分范围。 1011：±20 V差分范围。	0x3	R/W
[3:0]	CH1_RANGE	通道1的范围选项。 0000：±2.5 V单端范围。 0001：±5 V单端范围。 0010：±6.25 V单端范围。 0011：±10 V单端范围。 0100：±12.5 V单端范围。 0101：0 V至5 V单端范围。 0110：0 V至10 V单端范围。 0111：0 V至12.5 V单端范围。 1000：±5 V差分范围。 1001：±10 V差分范围。 1010：±12.5 V差分范围。 1011：±20 V差分范围。	0x3	R/W

地址：0x04，复位：0x33，名称：RANGE_CH3_CH4

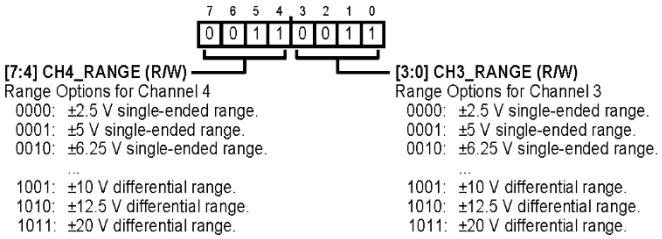

表 35. RANGE_CH3_CH4 的位功能描述

位	位名称	描述	复位	访问
[7:4]	CH4_RANGE	通道4的范围选项。 0000：±2.5 V单端范围。 0001：±5 V单端范围。 0010：±6.25 V单端范围。	0x3	R/W

位	位名称	描述	复位	访问
		0011：±10 V单端范围。 0100：±12.5 V单端范围。 0101：0 V至5 V单端范围。 0110：0 V至10 V单端范围。 0111：0 V至12.5 V单端范围。 1000：±5 V差分范围。 1001：±10 V差分范围。 1010：±12.5 V差分范围。 1011：±20 V差分范围。		
[3:0]	CH3_RANGE	通道3的范围选项。 0000：±2.5 V单端范围。 0001：±5 V单端范围。 0010：±6.25 V单端范围。 0011：±10 V单端范围。 0100：±12.5 V单端范围。 0101：0 V至5 V单端范围。 0110：0 V至10 V单端范围。 0111：0 V至12.5 V单端范围。 1000：±5 V差分范围。 1001：±10 V差分范围。 1010：±12.5 V差分范围。 1011：±20 V差分范围。	0x3	R/W

地址：0x05，复位：0x33，名称：RANGE_CH5_CH6

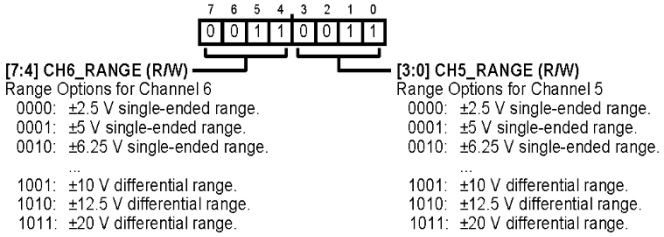

表 36. RANGE_CH5_CH6 的位功能描述

位	位名称	描述	复位	访问
[7:4]	CH6_RANGE	通道6的范围选项。 0000：±2.5 V单端范围。 0001：±5 V单端范围。 0010：±6.25 V单端范围。 0011：±10 V单端范围。 0100：±12.5 V单端范围。 0101：0 V至5 V单端范围。 0110：0 V至10 V单端范围。 0111：0 V至12.5 V单端范围。 1000：±5 V差分范围。 1001：±10 V差分范围。 1010：±12.5 V差分范围。 1011：±20 V差分范围。	0x3	R/W
[3:0]	CH5_RANGE	通道5的范围选项。 0000：±2.5 V单端范围。 0001：±5 V单端范围。 0010：±6.25 V单端范围。 0011：±10 V单端范围。	0x3	R/W

位	位名称	描述	复位	访问
		0100：±12.5 V单端范围。 0101：0 V至5 V单端范围。 0110：0 V至10 V单端范围。 0111：0 V至12.5 V单端范围。 1000：±5 V差分范围。 1001：±10 V差分范围。 1010：±12.5 V差分范围。 1011：±20 V差分范围。		

地址：0x06，复位：0x33，名称：RANGE_CH7_CH8

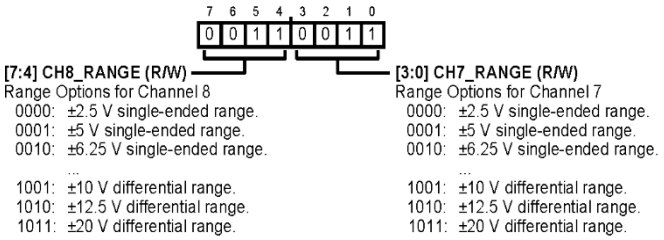

表 37. RANGE_CH7_CH8 的位功能描述

位	位名称	描述	复位	访问
[7:4]	CH8_RANGE	通道8的范围选项。 0000：±2.5 V单端范围。 0001：±5 V单端范围。 0010：±6.25 V单端范围。 0011：±10 V单端范围。 0100：±12.5 V单端范围。 0101：0 V至5 V单端范围。 0110：0 V至10 V单端范围。 0111：0 V至12.5 V单端范围。 1000：±5 V差分范围。 1001：±10 V差分范围。 1010：±12.5 V差分范围。 1011：±20 V差分范围。	0x3	R/W
[3:0]	CH7_RANGE	通道7的范围选项。 0000：±2.5 V单端范围。 0001：±5 V单端范围。 0010：±6.25 V单端范围。 0011：±10 V单端范围。 0100：±12.5 V单端范围。 0101：0 V至5 V单端范围。 0110：0 V至10 V单端范围。 0111：0 V至12.5 V单端范围。 1000：±5 V差分范围。 1001：±10 V差分范围。 1010：±12.5 V差分范围。 1011：±20 V差分范围。	0x3	R/W

地址：0x07，复位：0x00；名称：BANDWIDTH

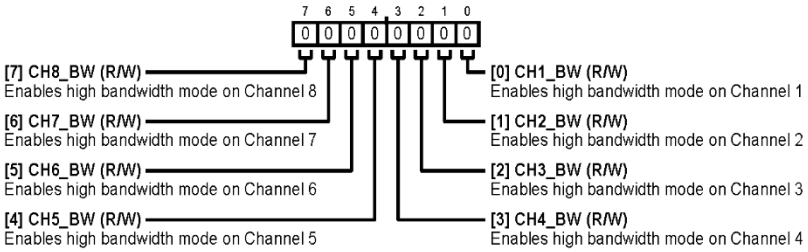

表 38. BANDWIDTH 的位功能描述

位	位名称	描述	复位	访问
7	CH8_BW	在通道8上使能高带宽模式。	0x0	R/W
6	CH7_BW	在通道7上使能高带宽模式。	0x0	R/W
5	CH6_BW	在通道6上使能高带宽模式。	0x0	R/W
4	CH5_BW	在通道5上使能高带宽模式。	0x0	R/W
3	CH4_BW	在通道4上使能高带宽模式。	0x0	R/W
2	CH3_BW	在通道3上使能高带宽模式。	0x0	R/W
1	CH2_BW	在通道2上使能高带宽模式。	0x0	R/W
0	CH1_BW	在通道1上使能高带宽模式。	0x0	R/W

地址：0x08，复位：0x00；名称：OVERSAMPLING

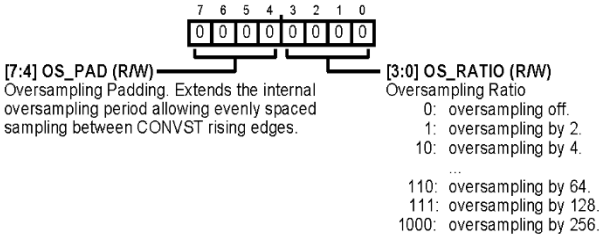

表 39. OVERSAMPLING 的位功能描述

位	位名称	描述	复位	访问
[7:4]	OS_PAD	过采样填充。延长内部过采样周期，以在CONVST上升沿之间按均匀间隔采样。	0x0	R/W
[3:0]	OS_RATIO	过采样率。 0000：过采样关闭。 0001：2倍过采样。 0010：4倍过采样。 0011：8倍过采样。 0100：16倍过采样。 0101：32倍过采样。 0110：64倍过采样。 0111：128倍过采样。 1000：256倍过采样。	0x0	R/W

地址：0x09，复位：0x00；名称：CH1_GAIN

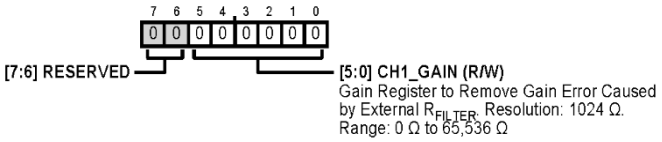

表 40. CH1_GAIN 的位功能描述

位	位名称	描述	复位	访问
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH1_GAIN	消除外部R_{FILTER}引起的增益误差的增益寄存器。分辨率：1024 Ω。范围：0 Ω至65,536 Ω。	0x0	R/W

地址：0x0A，复位：0x00；名称：CH2_GAIN

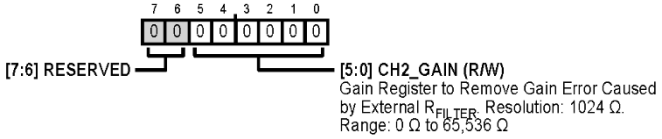

表 41. CH2_GAIN 的位功能描述

位	位名称	描述	复位	访问
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH2_GAIN	消除外部R_{FILTER}引起的增益误差的增益寄存器。分辨率：1024 Ω。范围：0 Ω至65,536 Ω。	0x0	R/W

地址：0x0B，复位：0x00；名称：CH3_GAIN

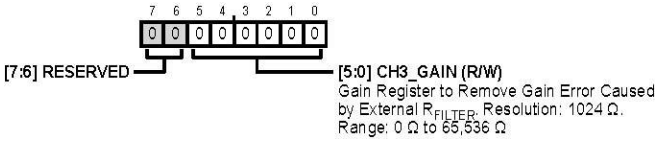

表 42. CH3_GAIN 的位功能描述

位	位名称	描述	复位	访问
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH3_GAIN	消除外部R_{FILTER}引起的增益误差的增益寄存器。分辨率：1024 Ω。范围：0 Ω至65,536 Ω。	0x0	R/W

地址：0x0C，复位：0x00；名称：CH4_GAIN

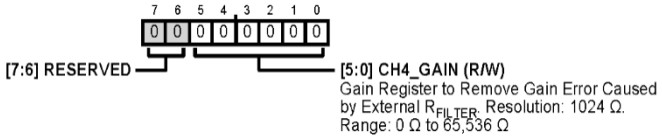

表 43. CH4_GAIN 的位功能描述

位	位名称	描述	复位	访问
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH4_GAIN	消除外部R_{FILTER}引起的增益误差的增益寄存器。分辨率：1024 Ω。范围：0 Ω至65,536 Ω。	0x0	R/W

地址：0x0D，复位：0x00；名称：CH5_GAIN

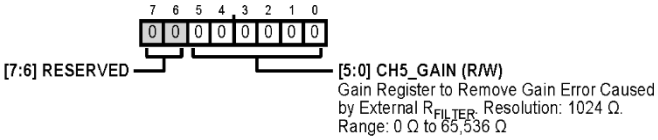

表 44. CH5_GAIN 的位功能描述

位	位名称	描述	复位	访问
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH5_GAIN	消除外部R_{FILTER}引起的增益误差的增益寄存器。分辨率：1024 Ω。范围：0 Ω至65,536 Ω。	0x0	R/W

地址：0x0E，复位：0x00；名称：CH6_GAIN

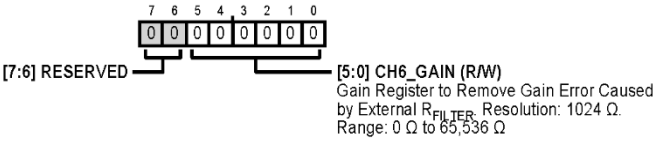

表 45. CH6_GAIN 的位功能描述

位	位名称	描述	复位	访问
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH6_GAIN	消除外部R_{FILTER}引起的增益误差的增益寄存器。分辨率：1024 Ω。范围：0 Ω至65,536 Ω。	0x0	R/W

地址：0x0F，复位：0x00；名称：CH7_GAIN

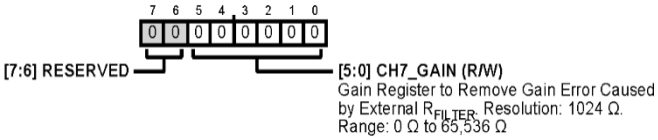

表 46. CH7_GAIN 的位功能描述

位	位名称	描述	复位	访问
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH7_GAIN	消除外部R_{FILTER}引起的增益误差的增益寄存器。分辨率：1024 Ω。范围：0 Ω至65,536 Ω。	0x0	R/W

地址：0x10，复位：0x00；名称：CH8_GAIN

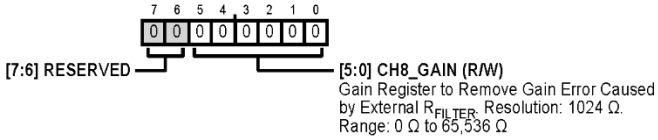

表 47. CH8_GAIN 的位功能描述

位	位名称	描述	复位	访问
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH8_GAIN	消除外部R_{FILTER}引起的增益误差的增益寄存器。分辨率：1024 Ω。范围：0 Ω至65,536 Ω。	0x0	R/W

地址：0x11，复位：0x80，名称：CH1_OFFSET

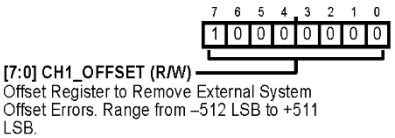

表 48. CH1_OFFSET 的位功能描述

位	位名称	描述	复位	访问
[7:0]	CH1_OFFSET	消除外部系统失调误差的失调寄存器。范围：–512 LSB至+511 LSB。	0x80	R/W

地址：0x12，复位：0x80，名称：CH2_OFFSET

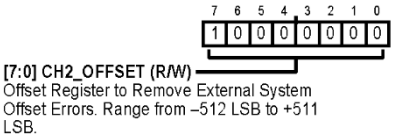

表 49. CH2_OFFSET 的位功能描述

位	位名称	描述	复位	访问
[7:0]	CH2_OFFSET	消除外部系统失调误差的失调寄存器。范围：-128 LSB至+127 LSB。	0x80	R/W

地址：0x13，复位：0x80，名称：CH3_OFFSET

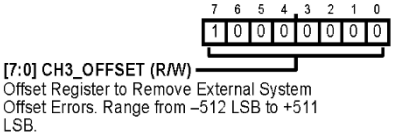

表 50. CH3_OFFSET 的位功能描述

位	位名称	描述	复位	访问
[7:0]	CH3_OFFSET	消除外部系统失调误差的失调寄存器。范围：-128 LSB至+127 LSB。	0x80	R/W

地址：0x14，复位：0x80，名称：CH4_OFFSET

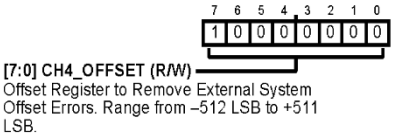

表 51. CH4_OFFSET 的位功能描述

位	位名称	描述	复位	访问
[7:0]	CH4_OFFSET	消除外部系统失调误差的失调寄存器。范围：-128 LSB至+127 LSB。	0x80	R/W

地址：0x15，复位：0x80，名称：CH5_OFFSET

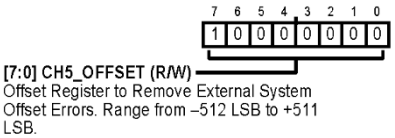

表 52. CH5_OFFSET 的位功能描述

位	位名称	描述	复位	访问
[7:0]	CH5_OFFSET	消除外部系统失调误差的失调寄存器。范围：-128 LSB至+127 LSB。	0x80	R/W

地址：0x16，复位：0x80，名称：CH6_OFFSET

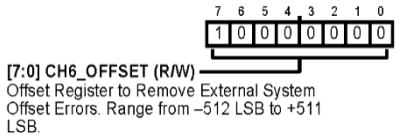

表 53. CH6_OFFSET 的位功能描述

位	位名称	描述	复位	访问
[7:0]	CH6_OFFSET	消除外部系统失调误差的失调寄存器。范围：-128 LSB至+127 LSB。	0x80	R/W

地址：0x17，复位：0x80，名称：CH7_OFFSET

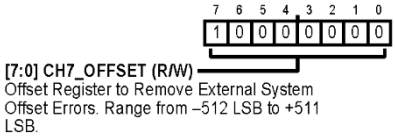

表 54. CH7_OFFSET 的位功能描述

位	位名称	描述	复位	访问
[7:0]	CH7_OFFSET	消除外部系统失调误差的失调寄存器。范围：-128 LSB至+127 LSB。	0x80	R/W

地址：0x18，复位：0x80，名称：CH8_OFFSET

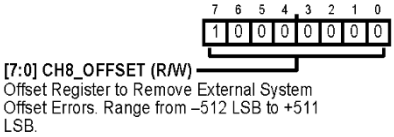

表 55. CH8_OFFSET 的位功能描述

位	位名称	描述	复位	访问
[7:0]	CH8_OFFSET	消除外部系统失调误差的失调寄存器。范围：-128 LSB至+127 LSB。	0x80	R/W

地址：0x19，复位：0x00；名称：CH1_PHASE

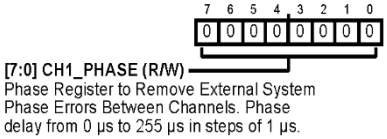

表 56. CH1_PHASE 的位功能描述

位	位名称	描述	复位	访问
[7:0]	CH1_PHASE	消除通道间外部系统相位误差的相位寄存器。相位延迟：0 µs至255 µs，步长为1 µs。	0x0	R/W

地址：0x1A，复位：0x00；名称：CH2_PHASE

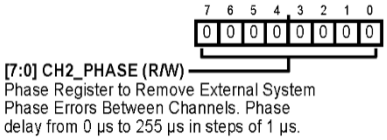

表 57. CH2_PHASE 的位功能描述

位	位名称	描述	复位	访问
[7:0]	CH2_PHASE	消除通道间外部系统相位误差的相位寄存器。相位延迟：0 µs至255 µs，步长为1 µs。	0x0	R/W

地址：0x1B，复位：0x00；名称：CH3_PHASE

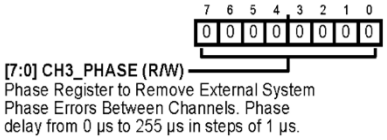

表 58. CH3_PHASE 的位功能描述

位	位名称	描述	复位	访问
[7:0]	CH3_PHASE	消除通道间外部系统相位误差的相位寄存器。相位延迟：0 µs至255 µs，步长为1 µs。	0x0	R/W

地址：0x1C，复位：0x00；名称：CH4_PHASE

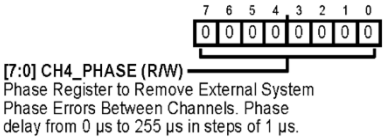

表 59. CH4_PHASE 的位功能描述

位	位名称	描述	复位	访问
[7:0]	CH4_PHASE	消除通道间外部系统相位误差的相位寄存器。相位延迟：0 µs至255 µs，步长为1 µs。	0x0	R/W

地址：0x1D，复位：0x00；名称：CH5_PHASE

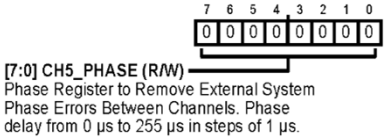

表 60. CH5_PHASE 的位功能描述

位	位名称	描述	复位	访问
[7:0]	CH5_PHASE	消除通道间外部系统相位误差的相位寄存器。相位延迟：0 µs至255 µs，步长为1 µs。	0x0	R/W

地址：0x1E，复位：0x00；名称：CH6_PHASE

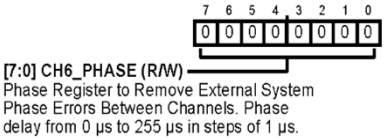

表 61. CH6_PHASE 的位功能描述

位	位名称	描述	复位	访问
[7:0]	CH6_PHASE	消除通道间外部系统相位误差的相位寄存器。相位延迟：0 µs至255 µs，步长为1 µs。	0x0	R/W

地址：0x1F，复位：0x00；名称：CH7_PHASE

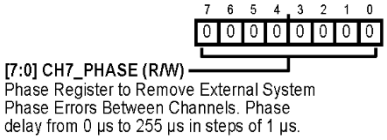

表 62. CH7_PHASE 的位功能描述

位	位名称	描述	复位	访问
[7:0]	CH7_PHASE	消除通道间外部系统相位误差的相位寄存器。相位延迟：0 µs至255 µs，步长为1 µs。	0x0	R/W

地址：0x20，复位：0x00；名称：CH8_PHASE

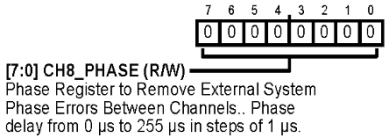

表 63. CH8_PHASE 的位功能描述

位	位名称	描述	复位	访问
[7:0]	CH8_PHASE	消除通道间外部系统相位误差的相位寄存器。相位延迟：0 µs至255 µs，步长为1 µs。	0x0	R/W

地址：0x21，复位：0x01，名称：DIGITAL_DIAG_ENABLE

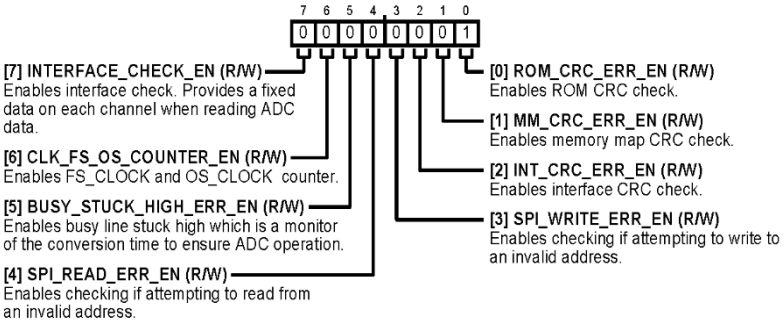

表 64. DIGITAL_DIAG_ENABLE 的位功能描述

位	位名称	描述	复位	访问
7	INTERFACE_CHECK_EN	使能接口检查。在读取ADC数据时，在每个通道上提供一个固定数据。	0x0	R/W
6	CLK_FS_OS_COUNTER_EN	使能FS_CLOCK和OS_CLOCK计数器。	0x0	R/W
5	BUSY_STUCK_HIGH_ERR_EN	使能BUSY线路阻塞高电平，这是一个转换时间监控器，用于确保ADC正常工作。	0x0	R/W
4	SPI_READ_ERR_EN	使能检查，确认是否尝试从无效地址读取。	0x0	R/W
3	SPI_WRITE_ERR_EN	使能检查，确认是否尝试向无效地址写入。	0x0	R/W
2	INT_CRC_ERR_EN	使能接口CRC检查。	0x0	R/W
1	MM_CRC_ERR_EN	使能存储器映射CRC检查。	0x0	R/W
0	ROM_CRC_ERR_EN	使能ROM CRC检查。	0x1	R/W

地址：0x22，复位：0x00；名称：DIGITAL_DIAG_ERR

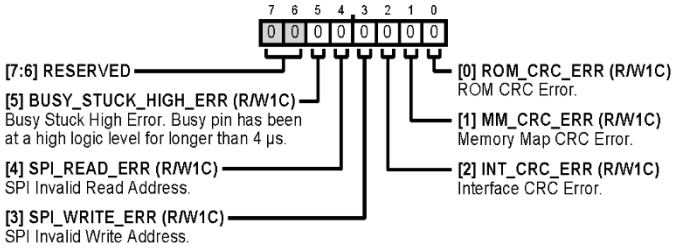

表 65. DIGITAL_DIAG_ERR 的位功能描述

位	位名称	描述	复位	访问
[7:6]	RESERVED	保留。	0x0	R
5	BUSY_STUCK_HIGH_ERR	BUSY阻塞高电平误差。BUSY引脚在超过4 µs的时间里，一直处于逻辑高电平。	0x0	R/W1C
4	SPI_READ_ERR	SPI无效读取地址。	0x0	R/W1C
3	SPI_WRITE_ERR	SPI无效写入地址。	0x0	R/W1C
2	INT_CRC_ERR	接口CRC错误。	0x0	R/W1C
1	MM_CRC_ERR	存储器映射CRC错误。	0x0	R/W1C
0	ROM_CRC_ERR	ROM CRC错误。	0x0	R/W1C

地址：0x23，复位：0x00；名称：OPEN_DETECT_ENABLE

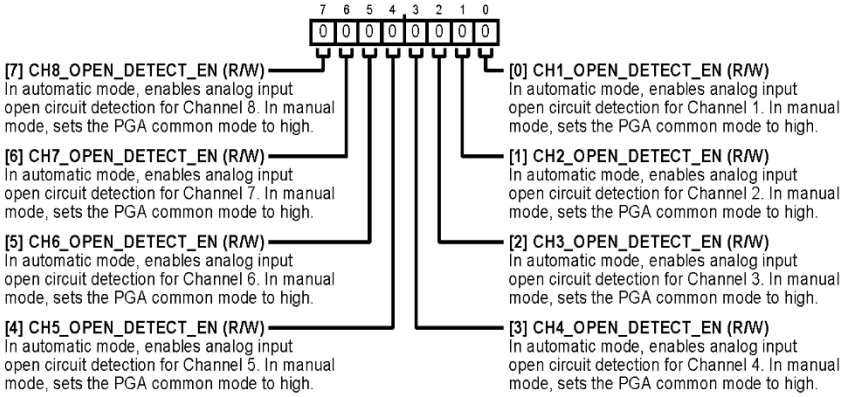

表 66. OPEN_DETECT_ENABLE 的位功能描述

位	位名称	描述	复位	访问
7	CH8_OPEN_DETECT_EN	在自动模式下，为通道8使能模拟输入开路检测。在手动模式下，将PGA共模电压设置为高电平。	0x0	R/W
6	CH7_OPEN_DETECT_EN	在自动模式下，为通道7使能模拟输入开路检测。在手动模式下，将PGA共模电压设置为高电平。	0x0	R/W
5	CH6_OPEN_DETECT_EN	在自动模式下，为通道6使能模拟输入开路检测。在手动模式下，将PGA共模电压设置为高电平。	0x0	R/W
4	CH5_OPEN_DETECT_EN	在自动模式下，为通道5使能模拟输入开路检测。在手动模式下，将PGA共模电压设置为高电平。	0x0	R/W
3	CH4_OPEN_DETECT_EN	在自动模式下，为通道4使能模拟输入开路检测。在手动模式下，将PGA共模电压设置为高电平。	0x0	R/W
2	CH3_OPEN_DETECT_EN	在自动模式下，为通道3使能模拟输入开路检测。在手动模式下，将PGA共模电压设置为高电平。	0x0	R/W
1	CH2_OPEN_DETECT_EN	在自动模式下，为通道2使能模拟输入开路检测。在手动模式下，将PGA共模电压设置为高电平。	0x0	R/W
0	CH1_OPEN_DETECT_EN	在自动模式下，为通道1使能模拟输入开路检测。在手动模式下，将PGA共模电压设置为高电平。	0x0	R/W

地址：0x24，复位：0x00；名称：OPEN_DETECTED

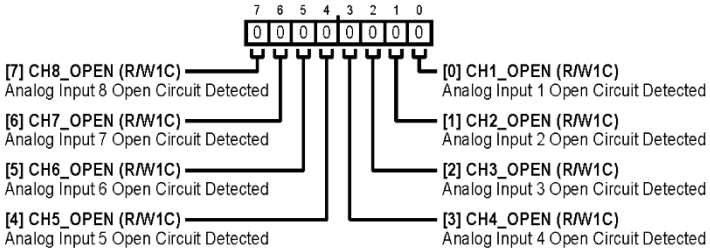

表 67. OPEN_DETECTED 的位功能描述

位	位名称	描述	复位	访问
7	CH8_OPEN	检测到模拟输入8开路。	0x0	R/W1C
6	CH7_OPEN	检测到模拟输入7开路。	0x0	R/W1C
5	CH6_OPEN	检测到模拟输入6开路。	0x0	R/W1C
4	CH5_OPEN	检测到模拟输入5开路。	0x0	R/W1C
3	CH4_OPEN	检测到模拟输入4开路。	0x0	R/W1C
2	CH3_OPEN	检测到模拟输入3开路。	0x0	R/W1C
1	CH2_OPEN	检测到模拟输入2开路。	0x0	R/W1C
0	CH1_OPEN	检测到模拟输入1开路。	0x0	R/W1C

地址：0x28，复位：0x00；名称：DIAGNOSTIC_MUX_CH1_2

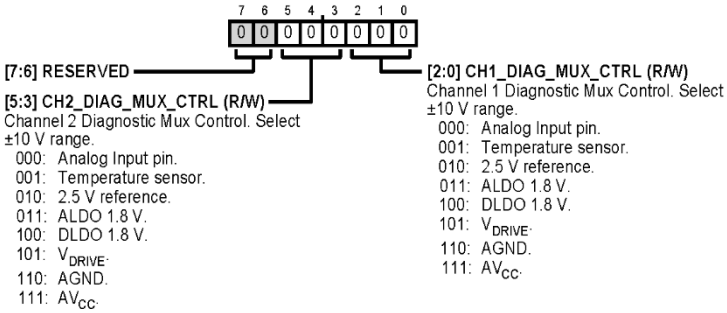

表 68. DIAGNOSTIC_MUX_CH1_2 的位功能描述

位	位名称	描述	复位	访问
[7:6]	RESERVED	保留。	0x0	R
[5:3]	CH2_DIAG_MUX_CTRL	通道2诊断多路复用器控制。选择±10 V范围。 000：模拟输入引脚。 001：温度传感器。 010：2.5 V基准电压源。 011：ALDO 1.8 V。 100：DLDO 1.8 V。 101：V_{DRIVE}。 110：AGND。 111：AV_{CC}。	0x0	R/W
[2:0]	CH1_DIAG_MUX_CTRL	通道1诊断多路复用器控制。选择±10 V范围。 000：模拟输入引脚。 001：温度传感器。 010：2.5 V基准电压源。 011：ALDO 1.8 V。 100：DLDO 1.8 V。 101：V_{DRIVE}。 110：AGND。 111：AV_{CC}。	0x0	R/W

地址：0x29，复位：0x00；名称：DIAGNOSTIC_MUX_CH3_4

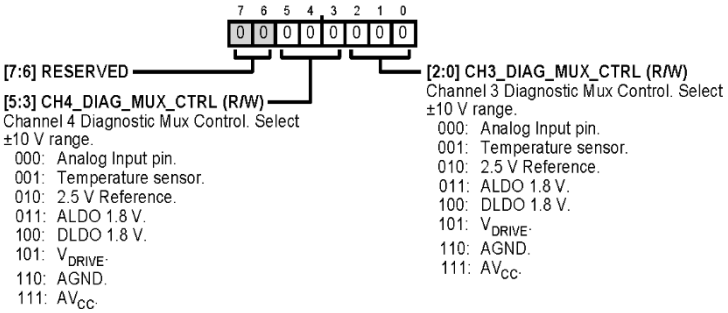

表 69. DIAGNOSTIC_MUX_CH3_4 的位功能描述

位	位名称	描述	复位	访问
[7:6]	RESERVED	保留。	0x0	R
[5:3]	CH4_DIAG_MUX_CTRL	通道4诊断多路复用器控制。选择±10 V范围。 000：模拟输入引脚。 001：温度传感器。 010：2.5 V基准电压源。 011：ALDO 1.8 V。 100：DLDO 1.8 V。 101：V_{DRIVE}。 110：AGND。 111：AV_{CC}。	0x0	R/W
[2:0]	CH3_DIAG_MUX_CTRL	通道3诊断多路复用器控制。选择±10 V范围。 000：模拟输入引脚。 001：温度传感器。 010：2.5 V基准电压源。 011：ALDO 1.8 V。 100：DLDO 1.8 V。 101：V_{DRIVE}。 110：AGND。 111：AV_{CC}。	0x0	R/W

地址：0x2A，复位：0x00；名称：DIAGNOSTIC_MUX_CH5_6

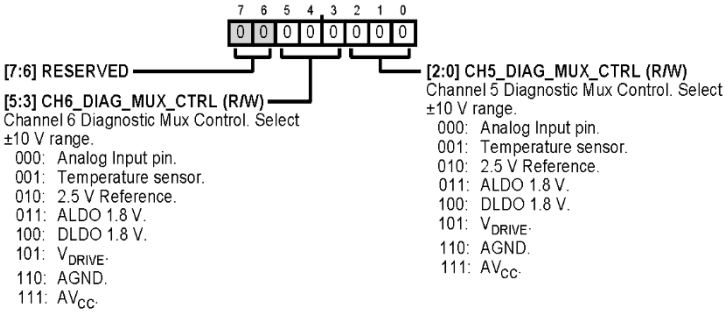

表 70. DIAGNOSTIC_MUX_CH5_6 的位功能描述

位	位名称	描述	复位	访问
[7:6]	RESERVED	保留。	0x0	R
[5:3]	CH6_DIAG_MUX_CTRL	通道6诊断多路复用器控制。选择±10 V范围。 000：模拟输入引脚。 001：温度传感器。 010：2.5 V基准电压源。 011：ALDO 1.8 V。 100：DLDO 1.8 V。	0x0	R/W

位	位名称	描述	复位	访问
		101：V_{DRIVE}。 110：AGND。 111：AV_{CC}。		
[2:0]	CH5_DIAG_MUX_CTRL	通道5诊断多路复用器控制。选择±10 V范围。 000：模拟输入引脚。 001：温度传感器。 010：2.5 V基准电压源。 011：ALDO 1.8 V。 100：DLDO 1.8 V。 101：V_{DRIVE}。 110：AGND。 111：AV_{CC}。	0x0	R/W

地址：0x2B，复位：0x00；名称：DIAGNOSTIC_MUX_CH7_8

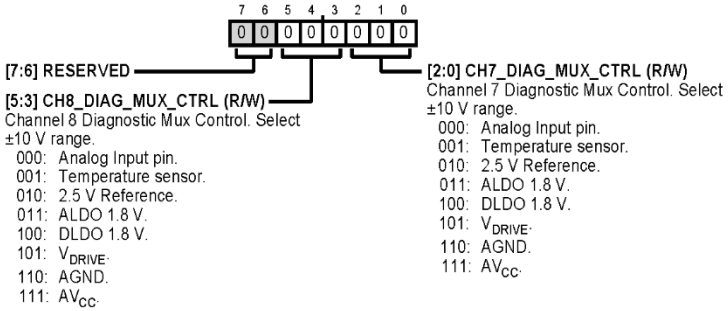

表 71. DIAGNOSTIC_MUX_CH7_8 的位功能描述

位	位名称	描述	复位	访问
[7:6]	RESERVED	保留。	0x0	R
[5:3]	CH8_DIAG_MUX_CTRL	通道8诊断多路复用器控制。选择±10 V范围。 000：模拟输入引脚。 001：温度传感器。 010：2.5 V基准电压源。 011：ALDO 1.8 V。 100：DLDO 1.8 V。 101：V_{DRIVE}。 110：AGND。 111：AV_{CC}。	0x0	R/W
[2:0]	CH7_DIAG_MUX_CTRL	通道7诊断多路复用器控制。选择±10 V范围。 000：模拟输入引脚。 001：温度传感器。 010：2.5 V基准电压源。 011：ALDO 1.8 V。 100：DLDO 1.8 V。 101：V_{DRIVE}。 110：AGND。 111：AV_{CC}。	0x0	R/W

地址：0x2C，复位：0x00；名称：OPEN_DETECT_QUEUE

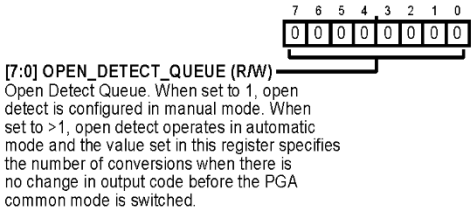

表 72. OPEN_DETECT_QUEUE 的位功能描述

位	位名称	描述	复位	访问
[7:0]	OPEN_DETECT_QUEUE	开路检测队列。设置为1时，开路检测配置为手动模式。设置为>1时，开路检测在自动模式下工作，此寄存器中设置的值指定了当输出码值无变化时在切换PGA共模电压之前的转换次数。	0x0	R/W

地址：0x2D，复位：0x00；名称：FS_CLK_COUNTER

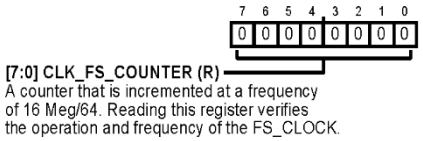

表 73. FS_CLK_COUNTER 的位功能描述

位	位名称	描述	复位	访问
[7:0]	CLK_FS_COUNTER	以16 Meg/64的频率递增的计数器。读取此寄存器可以验证FS_CLOCK的操作和频率。	0x0	R

地址：0x2E，复位：0x00；名称：OS_CLK_COUNTER

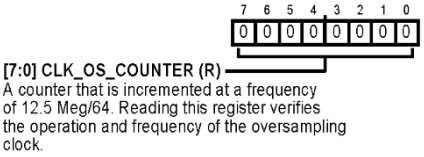

表 74. OS_CLK_COUNTER 的位功能描述

位	位名称	描述	复位	访问
[7:0]	CLK_OS_COUNTER	以12.5 Meg/64的频率递增的计数器。读取此寄存器可以验证过采样时钟的操作和频率。	0x0	R

地址：0x2F，复位：0x31，名称：ID

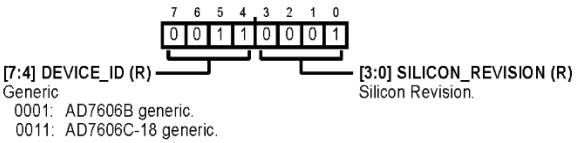

表 75. ID 的位功能描述

位	位名称	描述	复位	访问
[7:4]	DEVICE_ID	通用。 0001：AD7606B通用。 0011：AD7606C-16通用。	0x3	R
[3:0]	SILICON_REVISION	芯片版本。	0x1	R

外形尺寸

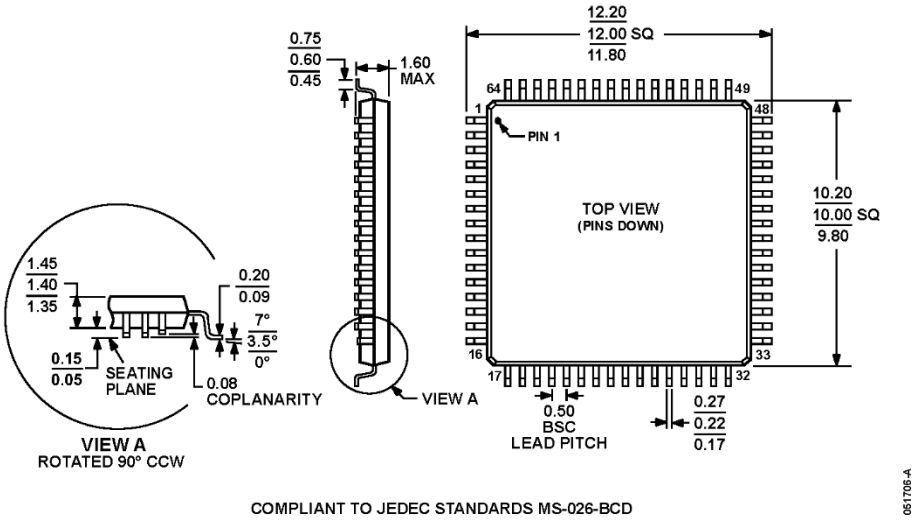

图125. 64引脚薄型四方扁平封装[LQFP]
(ST-64-2)
尺寸单位：mm

订购指南

型号[1]	温度范围	封装描述	封装选项
AD7606C-16BSTZ	–40°C至+125°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7606C-16BSTZ-RL	–40°C至+125°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
EVAL-AD7606C16FMCZ		AD7606C-16评估板	
EVAL-SDP-CH1Z		评估控制板	

[1] Z = 符合RoHS标准的器件。

©2021 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
D26071sc-1/21(0)