

9A、三相、降压型开关稳压器

概述

MAX8973A为高效率、三相、DC/DC、降压型开关稳压器，提供最高9A输出电流，占用很小的电路板面积，具有优异的瞬态响应。每相均工作在2MHz固定频率，允许使用较小的磁性元件。Maxim Integrated拥有专利的旋转相位扩频算法优化了低输出电流下的工作效率。软件可选择强制PWM模式，使器件工作在固定频率；或在轻载下工作在跳脉冲模式，提高效率。三电感架构减小了外部元件尺寸，并可降低纹波电流。MAX8973A工作在2.6V至4.5V输入电压范围。

I²C 3.0兼容串口支持高达3.4MHz的时钟速率，用于控制稳压器的关键参数，例如输出电压、输出摆率以及开/关状态。输出电压可设置在0.60625V至1.4V，步长为6.25mV。默认输出电压由工厂设置。EN输入控制使能或禁止输出，DVS引脚独立于串口选择两种不同的输出电压。

全差分远端检测保证高精度调节负载点直流电压。在整个电源和温度范围内输出总误差小于0.8% @ 1.2V输出。处理器处于空闲状态(轻载)时，输出纹波通常小于输出电压设置的1%；中等和轻载时，通常小于0.5%。

其它功能包括：可降低浪涌电流的内部软启动控制电路、保证电压调节的单调性、提供过流保护和过温保护。MAX8973A工作在-40°C至+85°C扩展级温度范围，采用超小尺寸WLP封装。

特性

- 高达9A输出电流
- 3.6V_{IN}、1.2V_{OUT}时，峰值效率高于91%
- 旋转相位扩频将轻载时的效率最大化
- 0.5% 输出精度@1.2V输出
- 在整个电源和温度范围，确保0.8%输出精度@1.2V输出
- 增强瞬态响应功能，在负载变化较大的条件下确保输出电压跌落最小
- 关闭转换器时，软启动恢复输出电容的电荷
- 可编程V_{OUT}：0.60625V至1.4V (6.25mV步长)
- 启动时进入预偏置输出
- 3.4MHz I²C 3.0兼容串行接口
- 每相均工作在固定2MHz PWM开关频率
- 每相采用小尺寸电感(< 1μH)
- 过流、短路和热保护

应用

- 智能手机
- 平板电脑
- 超级本

订购信息和典型工作电路在数据资料的最后给出。

相关型号以及配合该器件使用的推荐产品，请参见：china.maximintegrated.com/MAX8973.related。

9A、三相、降压型开关稳压器

目录	
概述	1
特性	1
应用	1
Absolute Maximum Ratings	5
Package Thermal Characteristics	5
Electrical Characteristics	5
典型工作特性	18
引脚配置	25
引脚说明	25
详细说明	27
使能稳压器	29
启动延迟(BIASEN)	29
启动爬升速率	29
关闭稳压器(自动放电)	29
软停止(主动回收能量)	30
电阻放电	30
设置输出电压	30
DVS	30
默认上电电压	30
摆率控制	31
控制机制	31
工作模式(跳脉冲、Mid、CCM)	31
工作模式(FPWM)	31
电流检测	31
最大输出电流	32
过载和短路保护	32
增强瞬态响应(ETR)	32
远端检测	32
热保护	32
I2C接口	32
I2C接口特性	32
I2C系统配置	33
I2C接口电源	33
I2C数据传输	33
I2C START和STOP条件	33
I2C应答位	33
I2C从地址	34
I2C时钟展宽	34

9A、三相、降压型开关稳压器

目录(续)	
I2C全呼地址	34
I2C通信速度	35
I2C通信协议	35
写单个寄存器	35
写连续寄存器	36
利用寄存器数据对写多个字节	38
读单个寄存器	38
读连续寄存器	40
激活HS模式以工作在高达3.4MHz	41
I2C看门狗定时器(WDTMR)	41
元件选择	41
输入电容	41
输出电容	41
电感	42
选型指南	42
寄存器	42
寄存器映射	42
寄存器详细说明	43
VOUT寄存器	43
VOUT_DVS寄存器	43
CONTROL1寄存器	44
CONTROL2寄存器	45
CHIPID1寄存器	45
CHIPID2寄存器	46
PCB布局指南	46
典型工作电路	47
订购信息	48
封装信息	48
芯片信息	48
修订历史	49

9A、三相、降压型开关稳压器

图录	
图1. MAX8973_功能框图	27
图2. 典型应用电路	28
图3. 软启动放电	30
图4. 旋转相位扩谱算法	31
图5. I2C系统示例	33
图6. START和STOP条件	33
图7. I2C应答(A)和非应答(nA)	34
图8. 从地址字节示例	34
图9. 利用写字节协议写单个寄存器	36
图10. 连续写入寄存器X至N	37
图11. 利用多字节寄存器数据对协议写入多个寄存器	39
图12. 利用读字节协议读单个寄存器	39
图13. 连续读取寄存器X至N	40
图14. 激活HS模式	41
图15. MAX8973_ EVKIT布局建议	47

表录	
表1. MAX8973A使能真值表	29
表2. BIASEN和启动延迟真值表	29
表3. MAX8973A启动和DVS缓变率	29
表4. MAX8973A输出放电选择真值表	29
表5. MAX8973A软停止摆率	30
表6. 默认输出电压设置	30
表7. DVS对目标电压V _{OUT} 跌落的响应	31
表8. MAX8973A电感参数	31
表9. 增强瞬态响应设置	32
表10. MAX8973_ I2C从地址	34
表11. MAX8973_选型指南	42

9A、三相、降压型开关稳压器

Absolute Maximum Ratings

IN ₋ , V _{CC} , V _{DD} to PG ₋	-0.3V to +6V
SDA, SCL to AGND	-0.3V to (V _{DD} + 0.3V)
LX ₋ to PG ₋	-0.3V to (V _{IN₋} + 0.3V)
DVS, EN, BIASEN to AGND	-0.3V to (V _{CC} + 0.3V)
SNS+, OUT to AGND	-0.3V to (V _{CC} + 0.3V)
PG ₋ , SNS- to AGND	-0.3V to +0.3V
IN ₋ to V _{CC}	-0.3V to +0.3V
RMS LX ₋ Current (per bump)	1.6A

Continuous Power Dissipation (T _A = +70°C)	
28-Bump WLP 0.4mm Pitch	
(derate 20.4mW/°C above +70°C)	1.63W
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Bump Temperature (soldering, reflow)	+260°C

Package Thermal Characteristics (Note 1)

Junction-to-Ambient Thermal Resistance (θ _{JA}) (Note 1)	49°C/W	Junction-to-Case Thermal Resistance (θ _{JC}) (Note 1)	10°C/W
--	--------	---	--------

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to china.maximintegrated.com/thermal-tutorial.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Electrical Characteristics

(V_{IN₋} = V_{CC} = V_{EN} = 3.6V, V_{AGND} = V_{PG₋} = V_{BIASEN} = V_{DVS} = 0V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
INPUT SUPPLIES					
V _{CC} and IN ₋ Operating Range		2.6		4.5	V
V _{CC} and IN ₋ Undervoltage Lockout (UVLO) Threshold	V _{IN₋} falling	2.45	2.5	2.55	V
V _{CC} and IN ₋ UVLO Hysteresis			200		mV
V _{CC} and IN ₋ Shutdown Supply Current	EN = 0	T _A = +25°C		2	μA
		T _A = +85°C		2.5	
V _{CC} and IN ₋ BIAS Enable Supply Current	EN = 0, BIASEN = 1, no switching		34	50	μA
V _{CC} and IN ₋ Operating Supply Current	FPWM_EN = 0, V _{OUT} = 1.2V, no load, no switching, CKADV=11 (ETR disabled)		135	190	μA
	FPWM_EN = 0, V _{OUT} = 1.2V, no load, no switching, CKADV = 00 (ETR enabled)		225	345	μA
	FPWM_EN = 1, V _{OUT} = 1.2V, no load, f _{SW} = 2MHz/phase, inductor losses included		25		mA
LOGIC INTERFACE (DVS, EN, BIASEN)					
Logic Input High Voltage (V _{IH})		1.4			V
Logic Input Low Voltage (V _{IL})				0.4	V
Input Leakage Current	ENPD_EN = 1	-1	0.001	+1	μA
EN Logic Input Pulldown Resistor	Controlled by serial interface command: ENPD_EN = 0	250	500	750	kΩ

9A、三相、降压型开关稳压器

Electrical Characteristics (continued)

($V_{IN_} = V_{CC} = V_{EN} = 3.6V$, $V_{AGND} = V_{PG_} = V_{BIASEN} = V_{DVS} = 0V$, $V_{EN} = 3.6V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
I ² C SERIAL INTERFACE					
SDA AND SCL I/O STAGES					
SCL, SDA Input High Voltage (V _{IH})	V _{DD} = 1.8V	0.7 x V _{DD}			V
SCL, SDA Input High Voltage (V _{IL})	V _{DD} = 1.8V	0.3 x V _{DD}			V
SCL, SDA Input Hysteresis (V _{HYS})		0.2 x V _{DD}			V
SCL, SDA Input Current (I _I)		-10		+10	μA
SDA Output Low Voltage (V _{OL})	Sinking 20mA	0.4			V
SCL, SDA Pin Capacitance (C _I)		10			pF
Output Fall Time from V _{IH} to V _{IL} (t _{OF})		120			ns
SCL Watchdog Timer Period	WDTMR = 0 = OFF (default setting)	∞			ms
	WDTMR = 1	24.5	35	45.5	
I ² C-COMPATIBLE INTERFACE TIMING FOR STANDARD, FAST MODE, AND FAST MODE PLUS					
Clock Frequency (f _{SCL}) (Note 3)		1000			kHz
Hold Time (Repeated) START Condition (t _{HD;STA}) (Note 3)		0.26			μs
CLK Low Period (t _{LOW}) (Note 3)		0.5			μs
CLK High Period (t _{HIGH}) (Note 3)		0.26			μs
Set-Up Time Repeated START Condition (t _{SU;STA}) (Note 3)		0.26			μs
DATA Hold Time (t _{HD;DAT}) (Note 3)		0			μs
DATA Setup Time (t _{SU;DAT}) (Note 3)		50			ns
Setup Time for STOP Condition (t _{SU;STO}) (Note 3)		0.26			μs
Bus Free Time Between STOP and START (t _{BUF}) (Note 3)		0.5			μs
Capacitive Load for Each Bus Line (C _B) (Note 3)		550			pF
Maximum Pulse Width of Spikes that Must be Suppressed by the Input Filter (Note 3)	Response Time of Comparators	50			ns
I ² C-COMPATIBLE INTERFACE TIMING FOR HIGH-SPEED MODE					
C _B = 100pF					
Clock Frequency (f _{SCL})		3.4			MHz
Setup Time Repeated START Condition (t _{SU;STA})		160			ns
Hold Time Repeated START Condition (t _{HD;STA})		160			ns

9A、三相、降压型开关稳压器

Electrical Characteristics (continued)

($V_{IN_} = V_{CC} = V_{EN} = 3.6V$, $V_{AGND} = V_{PG_} = V_{BIASEN} = V_{DVS} = 0V$, $V_{EN} = 3.6V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Clock Low Period (t_{LOW})		160			ns
Clock High Period (t_{HIGH})		60			ns
Data Setup Time ($t_{SU,DAT}$)		10			ns
Data Hold Time ($t_{HD,DAT}$)		0		70	ns
Minimum SCL Rise Time ($t_{RCL,MIN}$)			10		ns
Maximum SCL Rise Time ($t_{RCL,MAX}$)			40		ns
Minimum Rise Time of SCL Signal After a Repeated START Condition and After an Acknowledge Bit ($t_{RCL1,MIN}$)			10		ns
Maximum Rise Time of SCL Signal After a Repeated START Condition and After an Acknowledge Bit ($t_{RCL1,MAX}$)			80		ns
Minimum SCL Fall Time ($t_{FCL,MIN}$)			10		ns
Maximum SCL Fall Time ($t_{FCL,MAX}$)			40		ns
Minimum SDA Rise Time ($t_{RDA,MIN}$)			10		ns
Maximum SDA Rise Time ($t_{RDA,MAX}$)			80		ns
Minimum SDA Fall Time ($t_{FDA,MIN}$)			10		ns
Maximum SDA Fall Time ($t_{FDA,MAX}$)			80		ns
Setup Time for STOP Condition ($t_{SU,STO}$)		160			ns
Capacitive Load for Each Bus Line (C_B) (Note 3)				100	pF
Maximum Pulse Width of Spikes that Must be Suppressed by the Input Filter				10	ns
$C_B = 400pF$					
Clock Frequency (f_{SCL}) (Note 3)				1.7	MHz
Setup Time Repeated START Condition ($t_{SU,STA}$) (Note 3)		160			ns
Hold Time Repeated START Condition ($t_{HD,STA}$) (Note 3)		160			ns
Clock Low Period (t_{LOW}) (Note 3)		320			ns

9A、三相、降压型开关稳压器

Electrical Characteristics (continued)

($V_{IN_} = V_{CC} = V_{EN} = 3.6V$, $V_{AGND} = V_{PG_} = V_{BIASEN} = V_{DVS} = 0V$, $V_{EN} = 3.6V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Clock High Period (t_{HIGH}) (Note 3)		120			ns
Data Setup Time ($t_{SU,DAT}$) (Note 3)		10			ns
Data Hold Time ($t_{HD,DAT}$) (Note 3)		0		150	ns
Minimum SCL Rise Time ($t_{RCL,MIN}$)			20		ns
Maximum SCL Rise Time ($t_{RCL,MAX}$)			80		ns
Minimum Rise Time of SCL Signal After a Repeated START Condition and After an Acknowledge Bit ($t_{RCL1,MIN}$)			20		ns
Maximum Rise Time of SCL Signal After a Repeated START Condition and After an Acknowledge Bit ($t_{RCL1,MAX}$)			160		ns
Minimum SCL Fall Time ($t_{FCL,MIN}$)			20		ns
Maximum SCL Fall Time ($t_{FCL,MAX}$)			80		ns
Minimum SDA Rise Time ($t_{RDA,MIN}$)			20		ns
Maximum SDA Rise Time ($t_{RDA,MAX}$)			160		ns
Minimum SDA Fall Time ($t_{FDA,MIN}$)			20		ns
Maximum SDA Fall Time ($t_{FDA,MAX}$)			160		ns
Setup Time for STOP Condition ($t_{SU,STO}$) (Note 3)		160			ns
Capacitive Load for Each Bus Line (C_B) (Note 3)				400	pF
Maximum Pulse Width of Spikes that Must be Suppressed by the Input Filter (Note 3)				10	ns
STEP-DOWN CONVERTER					
Minimum Output Capacitance Required for Stability (Note 3)	Actual output capacitance, sum of all 3 phases $V_{OUT} = 0.60625V$ to $1.4V$ $I_{OUT} = 0$ to $9A$			24.5	μF
OUT Voltage Range	6.25mV steps, 7 bits, monotonic	0.60625		1.4	V

9A、三相、降压型开关稳压器

Electrical Characteristics (continued)

($V_{IN_} = V_{CC} = V_{EN} = 3.6V$, $V_{AGND} = V_{PG_} = V_{BIASEN} = V_{DVS} = 0V$, $V_{EN} = 3.6V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
OUT Voltage Accuracy	No load, V _{CC} = V _{IN_} = 2.6V to 4.5V, V _{OUT} = 1.2V, FPWM_EN = 1	T _A = +25°C	-0.5		+0.5	%
	No load, V _{CC} = V _{IN_} = 2.6V to 4.5V, V _{OUT} = 1.2V, FPWM_EN = 1	T _A = -40°C to +85°C	-0.8		+0.8	
	No load, V _{CC} = V _{IN_} = 2.6V to 4.5V, V _{OUT} = 0.60625V, FPWM_EN = 1	T _A = -40°C to +85°C	-1.5		+1.5	
	No load, V _{CC} = V _{IN_} = 2.6V to 4.5V, V _{OUT} = 1.4V, FPWM_EN = 1	T _A = -40°C to +85°C	-1.25		+1.25	
Load Regulation			-0.001			V/A
Output Voltage Slew Rate	RAMP[1:0] = 11		200			mV/μs
	RAMP[1:0] = 10		50			
	RAMP[1:0] = 01		25			
	RAMP[1:0] = 00		12.5			
Peak Current Limit	Each phase	MAX8973A	3.72	4	4.28	A
NMOS Current Limit	Each phase, valley current after PMOS current limit and V _{OUT} < 75% of target		55% of I _{LIM} setting			A
Negative Current Limit	FPWM_EN = 1 or ramping down output voltage, each phase		-1.33			A
n-Channel MOSFET Zero-Crossing Threshold			50			mA
Switching Frequency per Phase	FPWM_EN = 1		1.9	2	2.1	MHz
Soft-Start Delay	BIASEN = 0, From EN rising to V _{OUT} at 10%		240			μs
	BIASEN = 1, From EN rising to V _{OUT} at 10%		20			μs

9A、三相、降压型开关稳压器

Electrical Characteristics (continued)

($V_{IN_} = V_{CC} = V_{EN} = 3.6V$, $V_{AGND} = V_{PG_} = V_{BIASEN} = V_{DVS} = 0V$, $V_{EN} = 3.6V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Soft-Start Ramp Time	From V _{OUT} = 10% to 90%, RAMP[1:0] = 0b11 200mV/μs slew rate, V _{OUT} set to 1V		4			μs
	From V _{OUT} = 10% to 90%, RAMP[1:0] = 0b10, 0b01, or 0b00 20mV/μs slew rate, V _{OUT} set to 1V		40			
LX p-Channel MOSFET On-Resistance	Each phase, IN_ to LX_, I _{LX_} = -200mA		50 90			mΩ
LX n-Channel MOSFET On-Resistance	Each phase, FPWM_EN = 0, LX_ to PGND, I _{LX_} = 200mA		25 45			mΩ
LX Leakage	V _{LX_} = 5.5V or 0V	T _A = +25°C	-1	+0.03	+1	μA
		T _A = +85°C	0.25			
OUT Discharge Resistance	During shutdown from OUT to AGND		100			Ω
SNS+ Input Impedance			340			kΩ
SNS- Input Impedance			280			kΩ
Remote Sense Compensation Range	From OUT to SNS+		100			mV
	From GND to SNS-		-100			mV
OUT Input Impedance			53			kΩ
THERMAL PROTECTION						
Thermal Shutdown Threshold			160			°C
Thermal Shutdown Threshold Hysteresis			20			°C

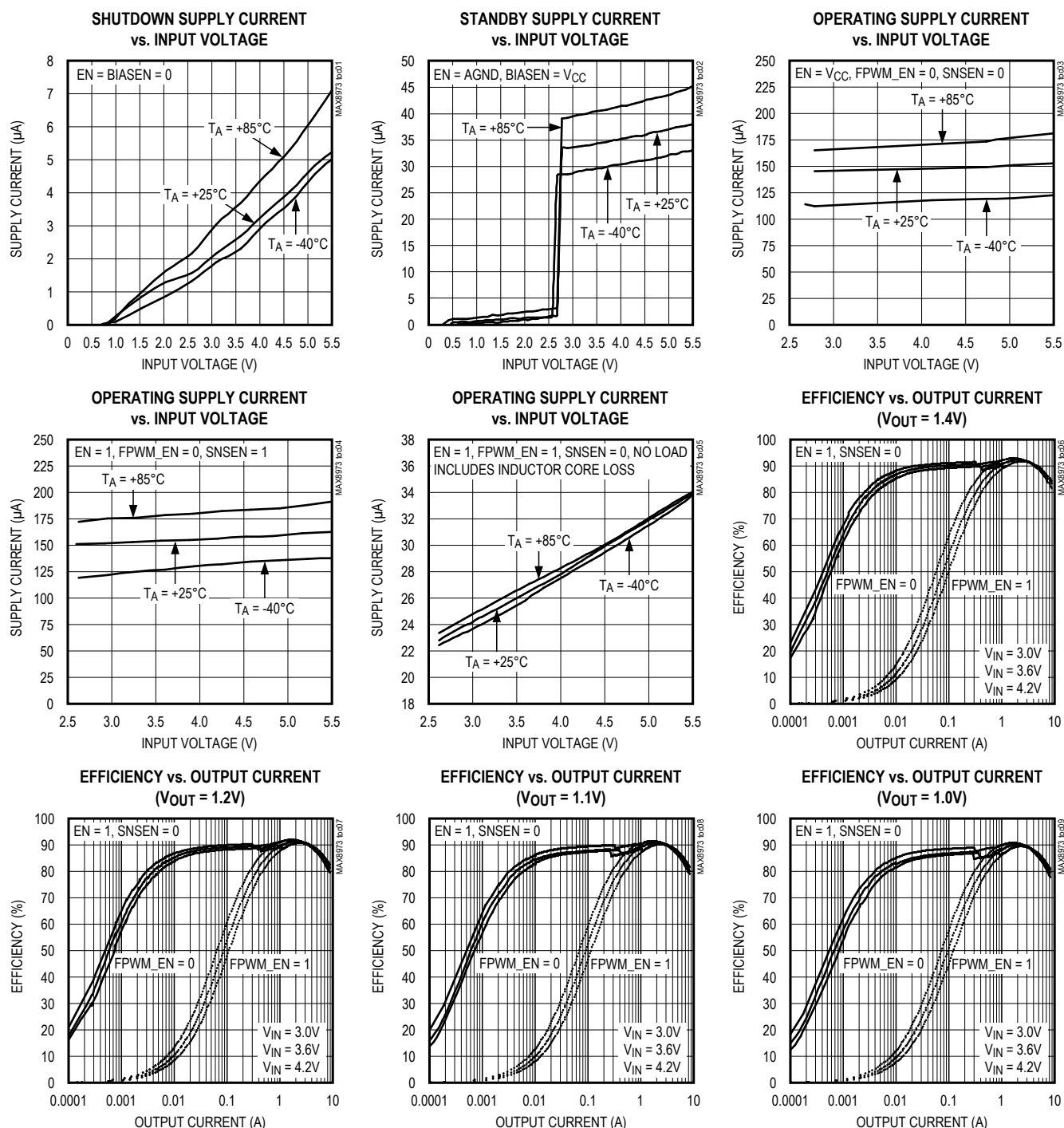
Note 2: 100% production tested at $T_A = +25^{\circ}C$, limits over the operating range are guaranteed by design.

Note 3: Guaranteed by design, not production tested.

9A、三相、降压型开关稳压器

典型工作特性

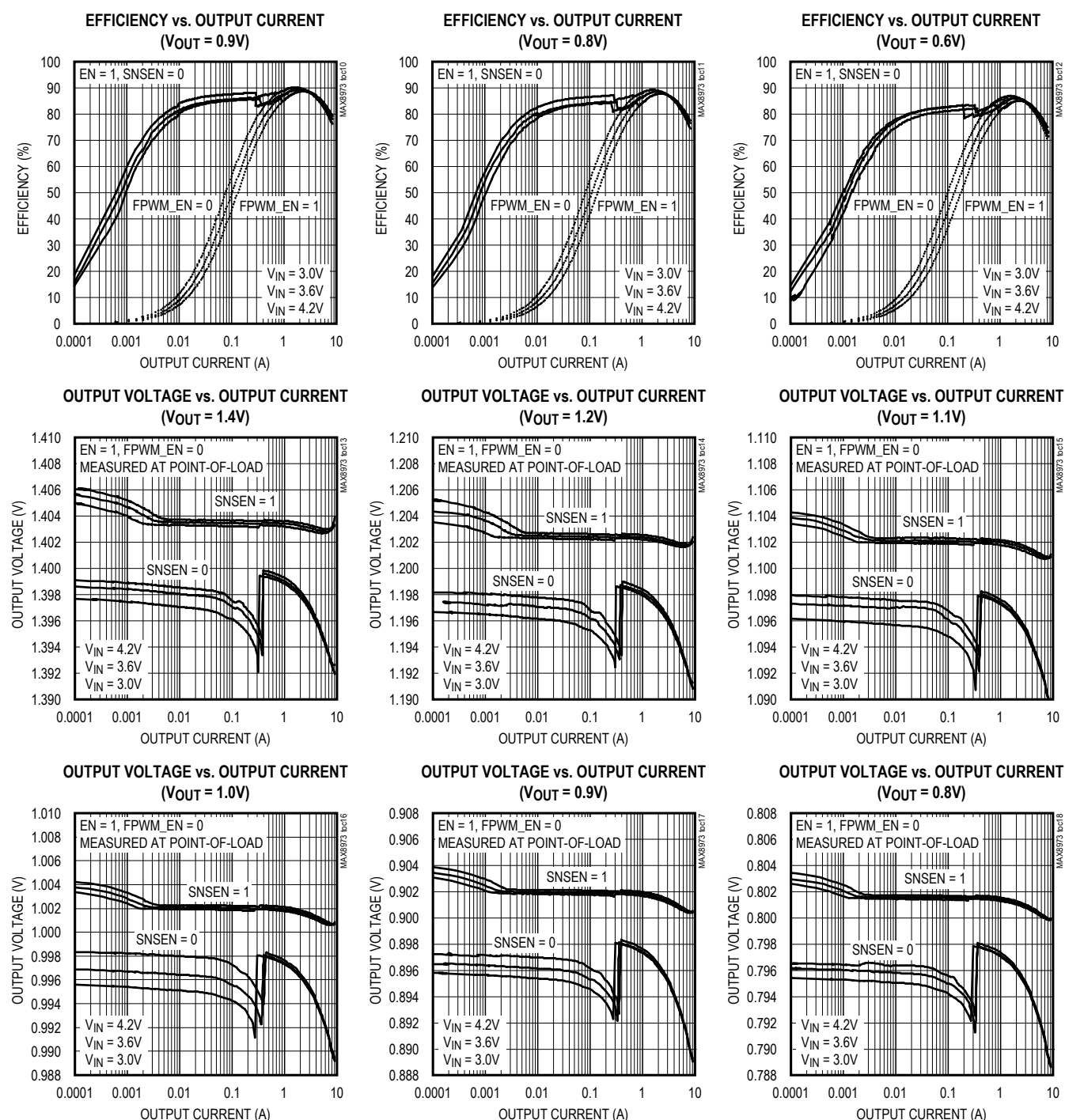
($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4.](#))



9A、三相、降压型开关稳压器

典型工作特性(续)

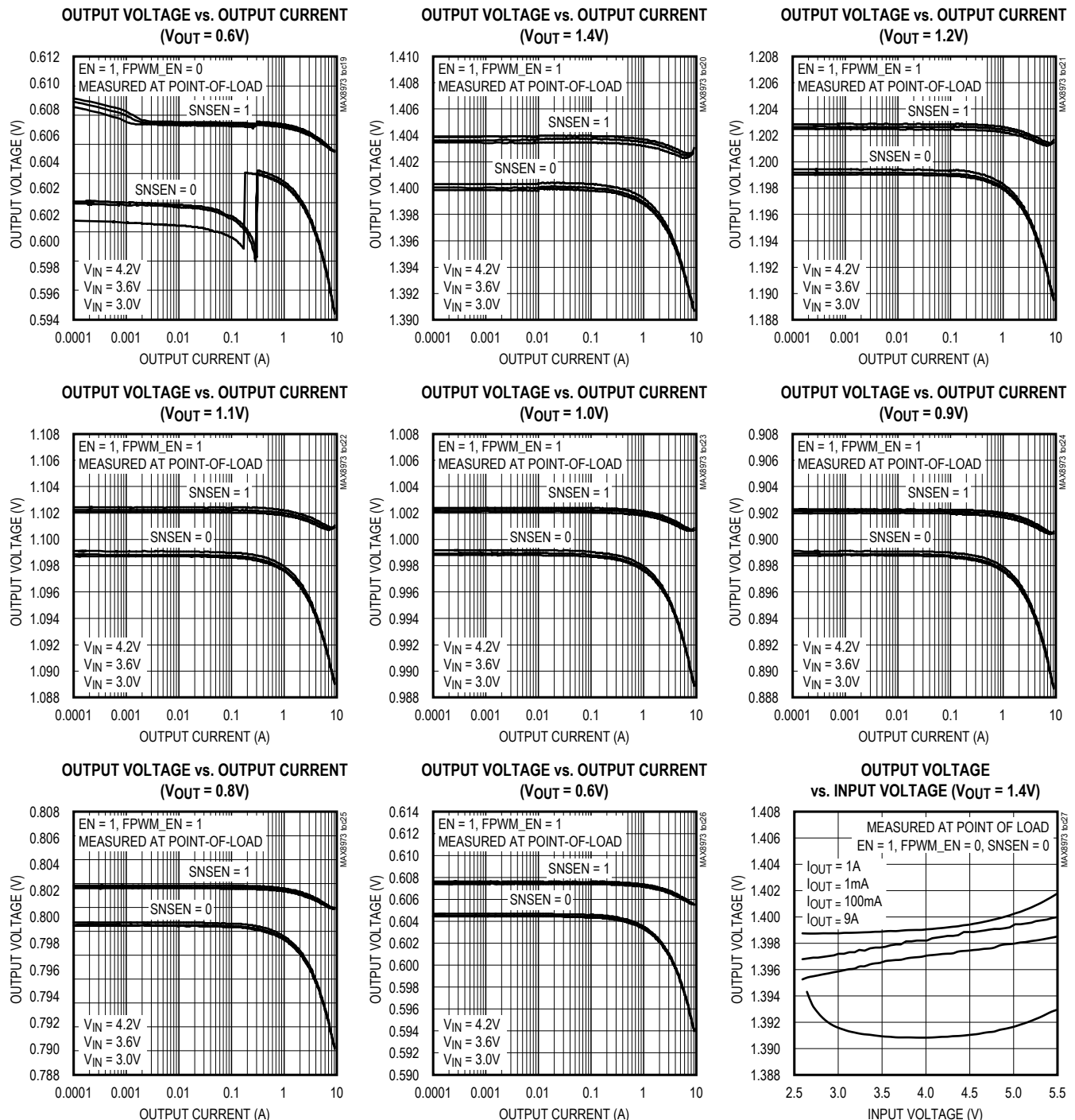
($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4.](#))



9A、三相、降压型开关稳压器

典型工作特性(续)

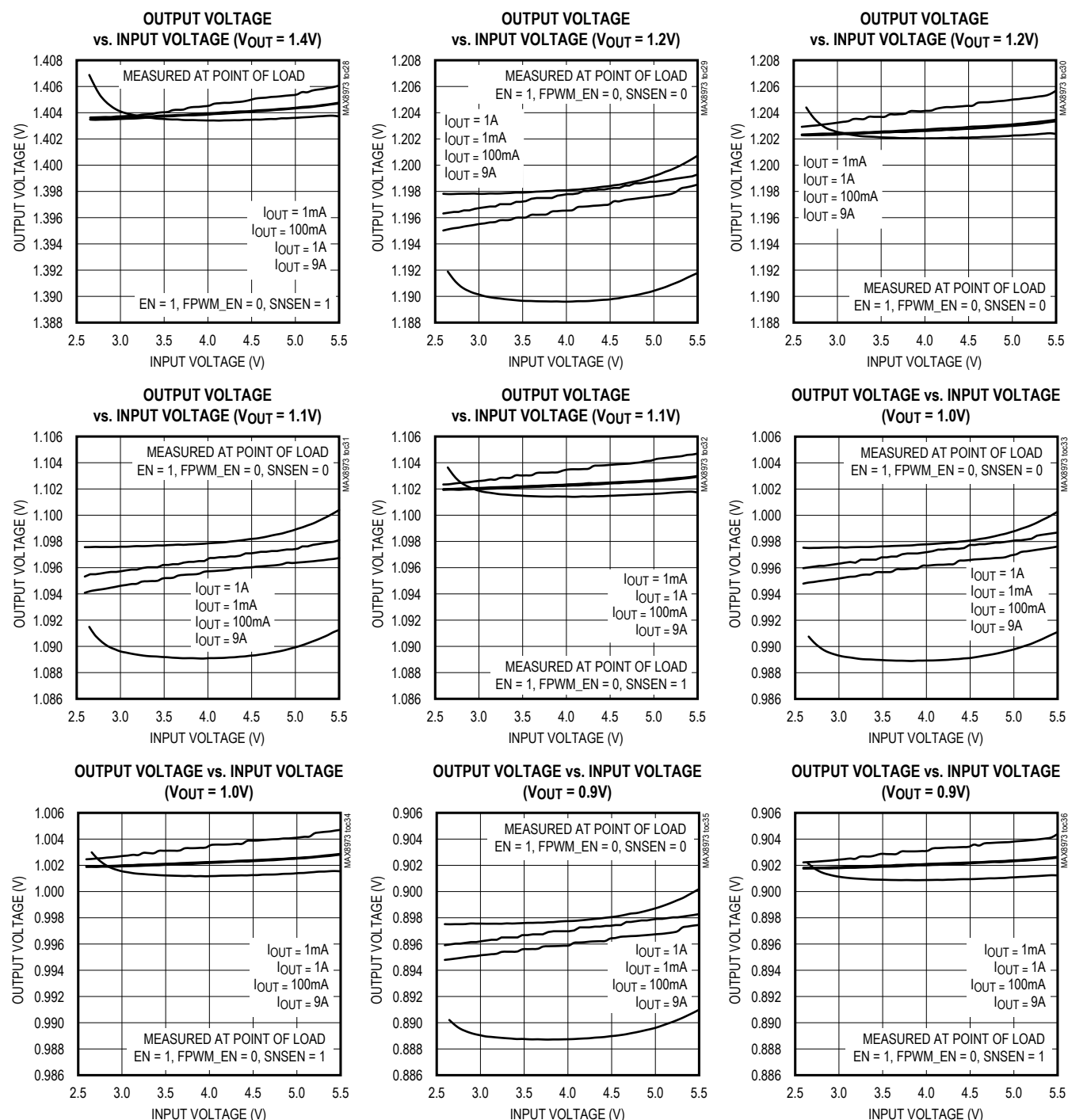
($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4.](#))



9A、三相、降压型开关稳压器

典型工作特性(续)

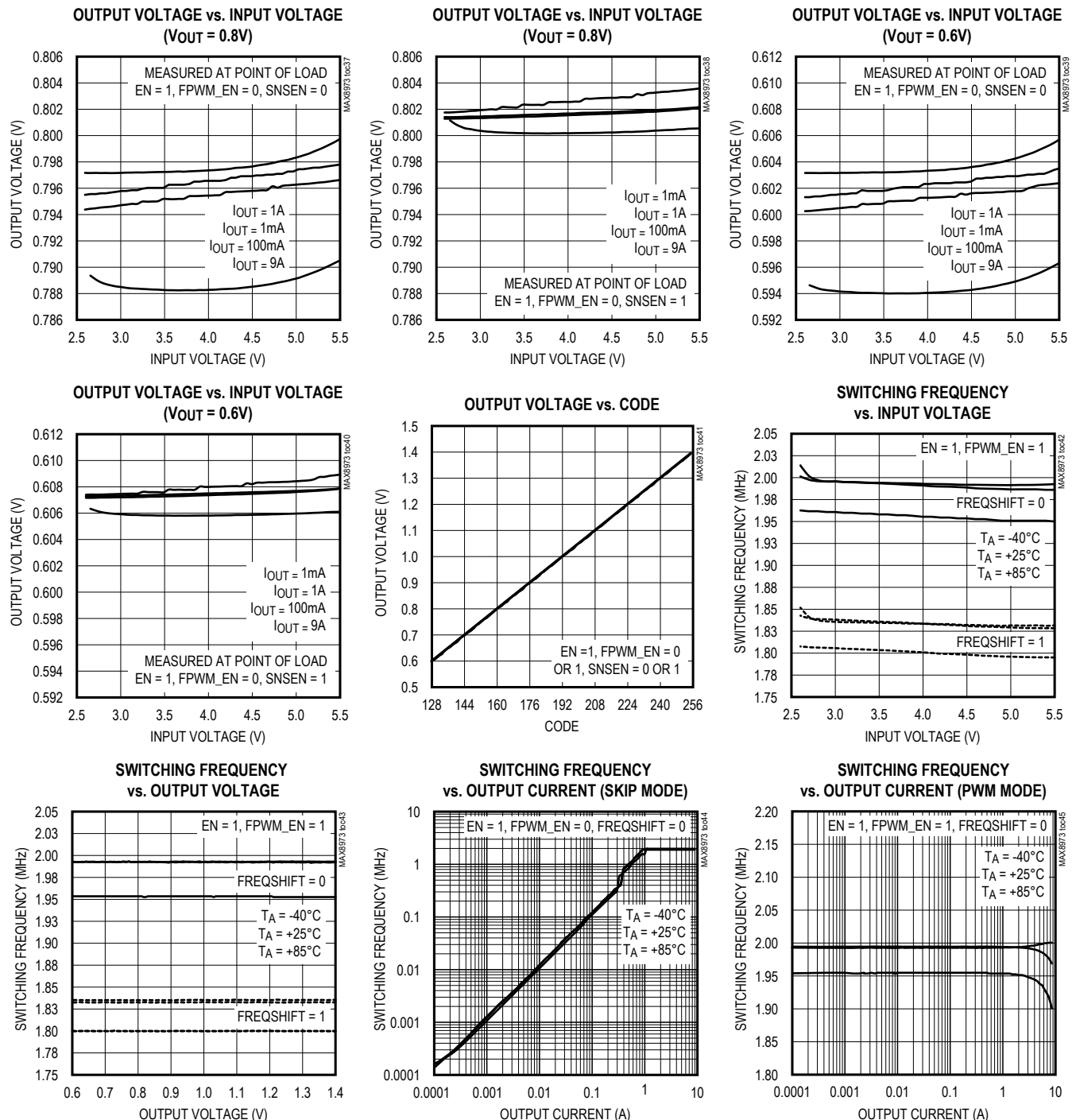
($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4.](#))



9A、三相、降压型开关稳压器

典型工作特性(续)

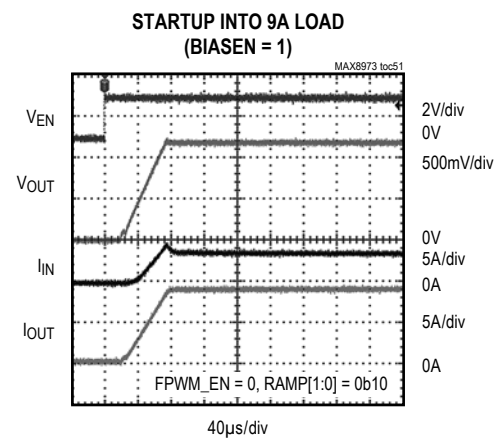
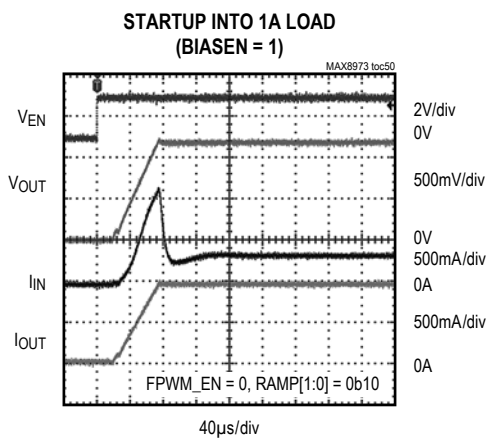
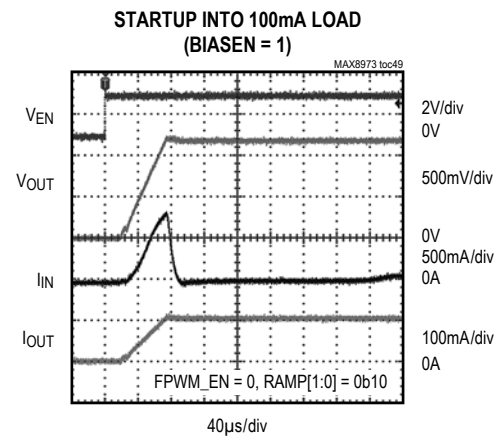
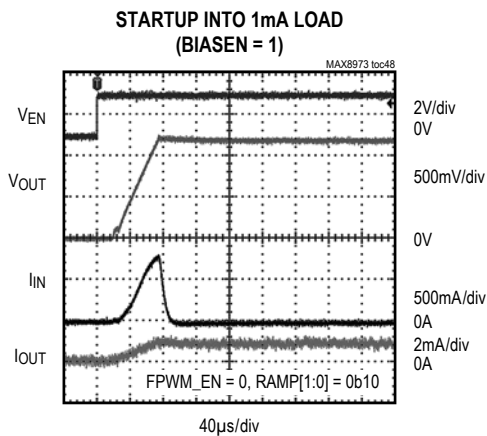
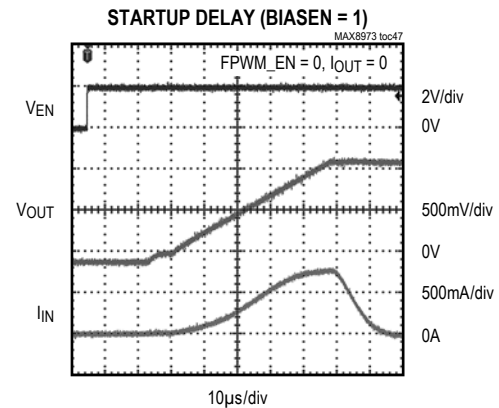
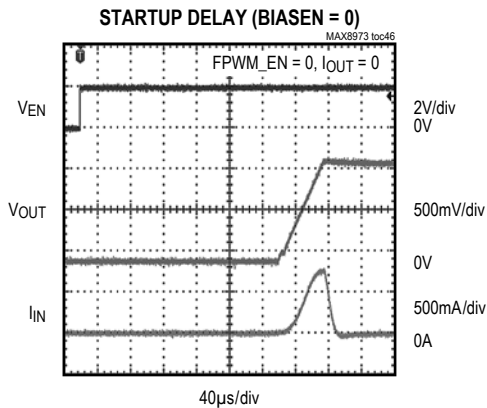
($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4](#).)



9A、三相、降压型开关稳压器

典型工作特性(续)

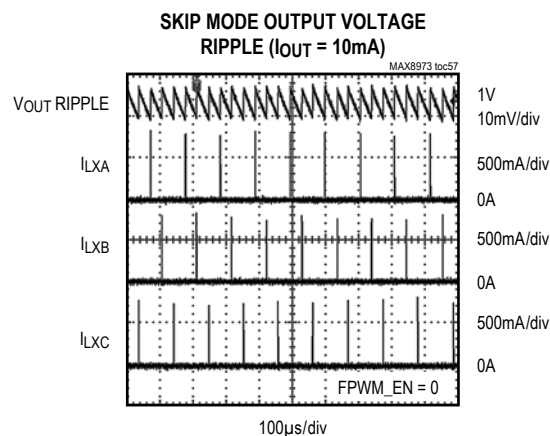
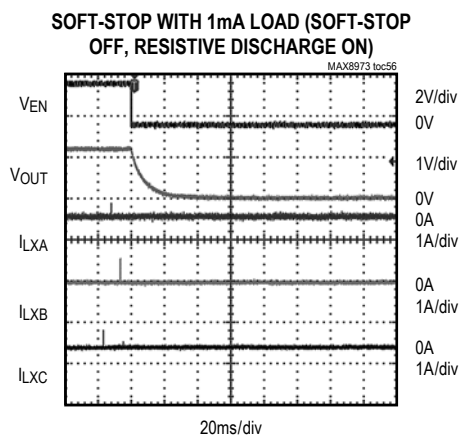
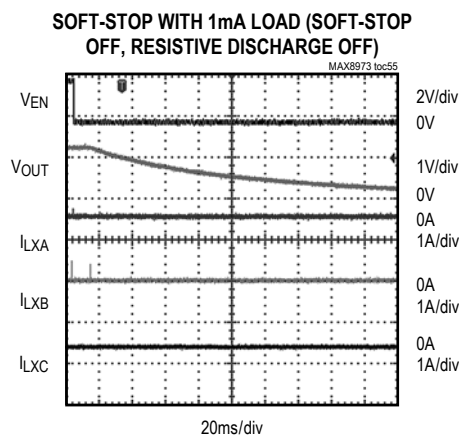
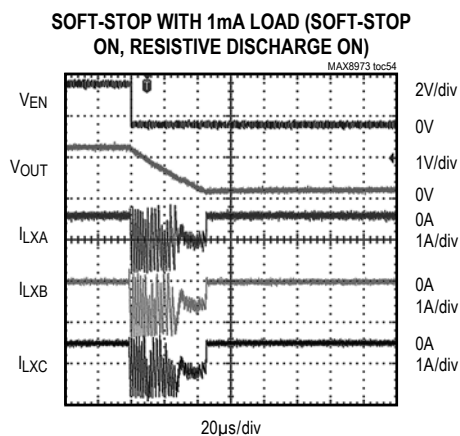
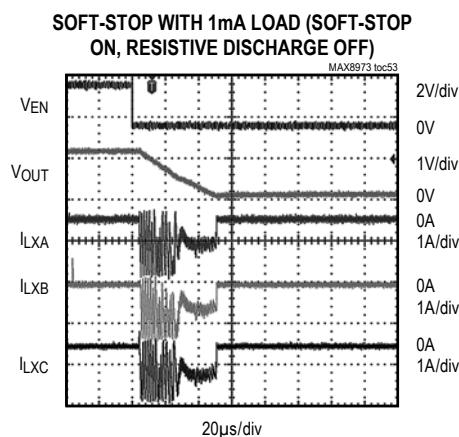
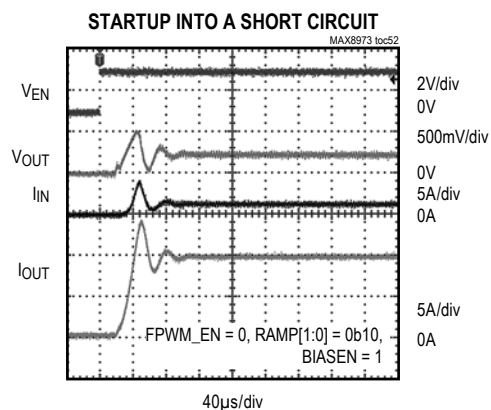
($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4.](#))



9A、三相、降压型开关稳压器

典型工作特性(续)

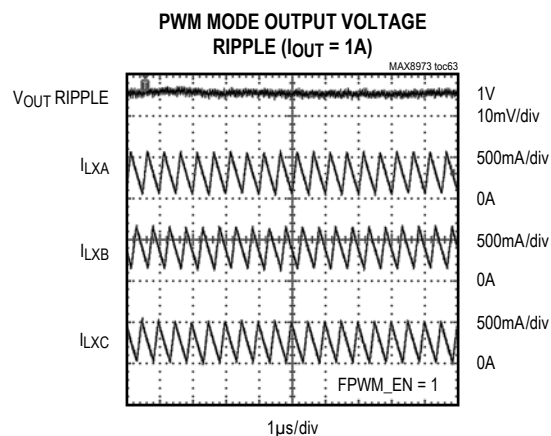
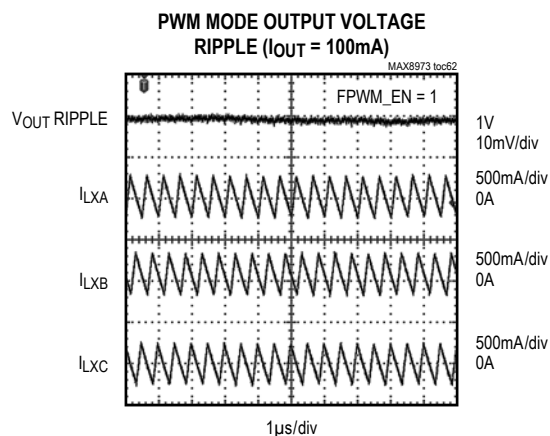
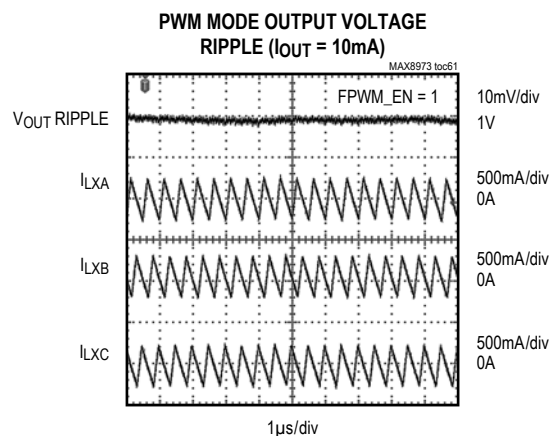
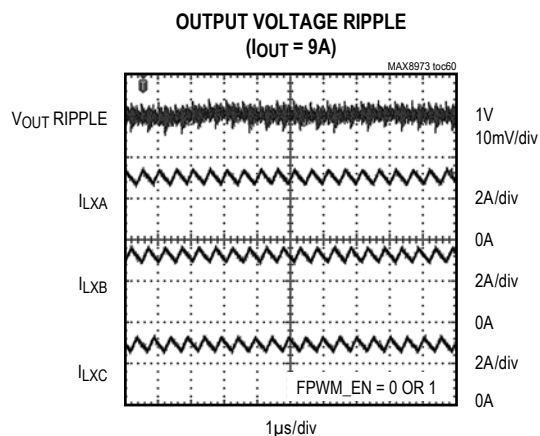
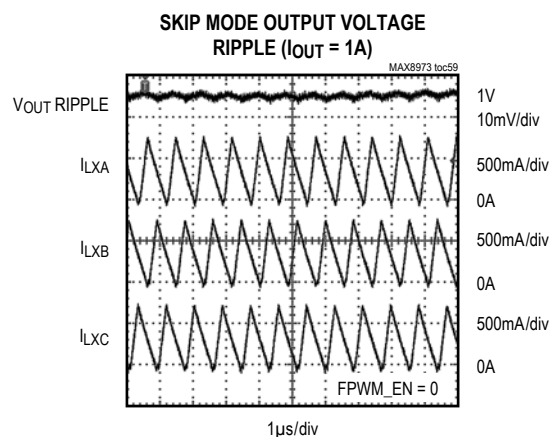
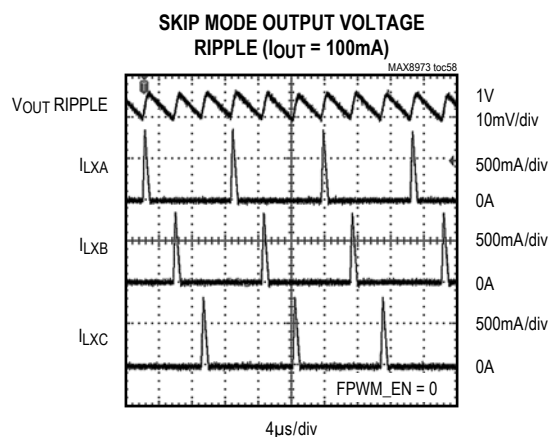
($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4.](#))



9A、三相、降压型开关稳压器

典型工作特性(续)

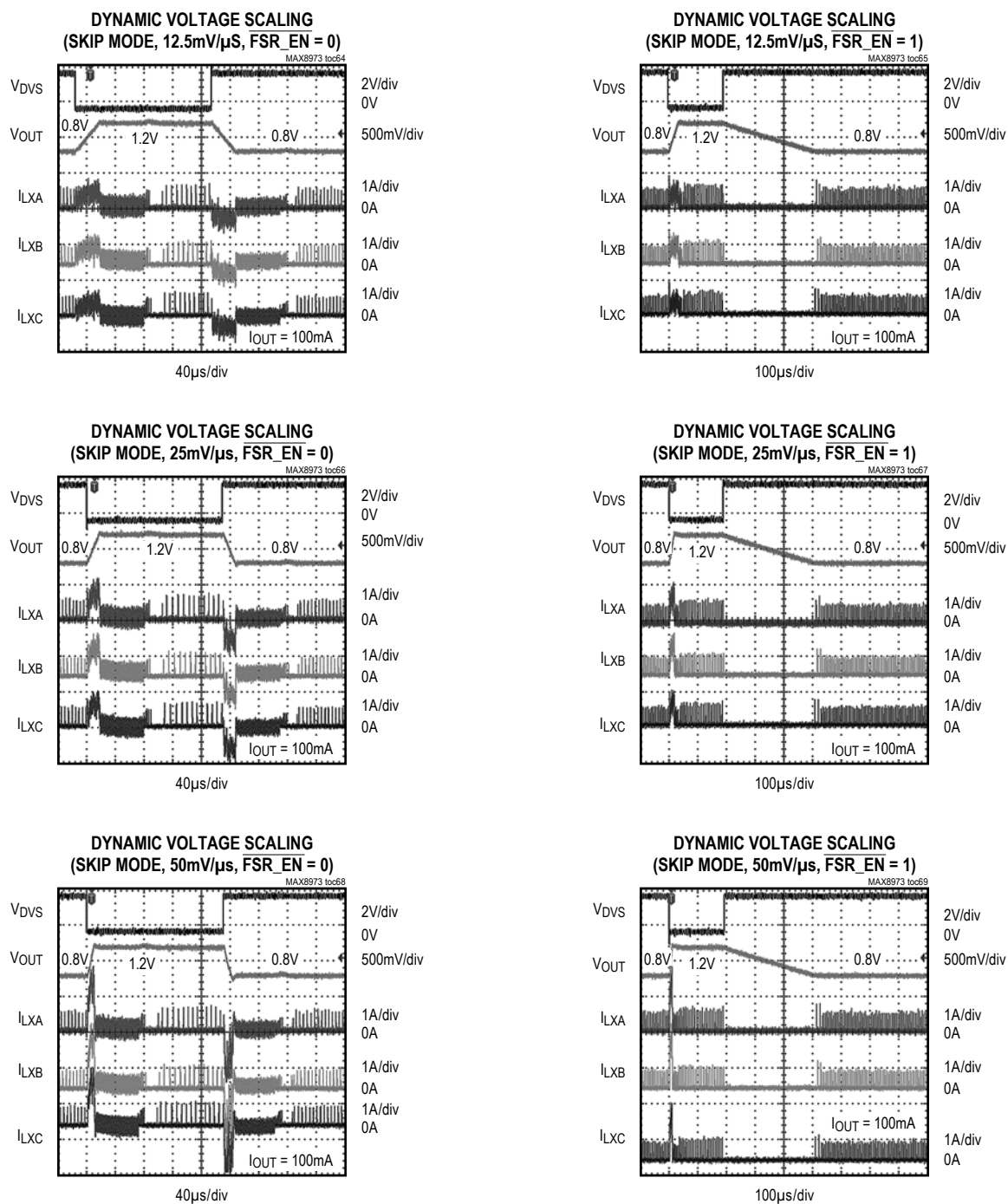
($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of Figure 4.)



9A、三相、降压型开关稳压器

典型工作特性(续)

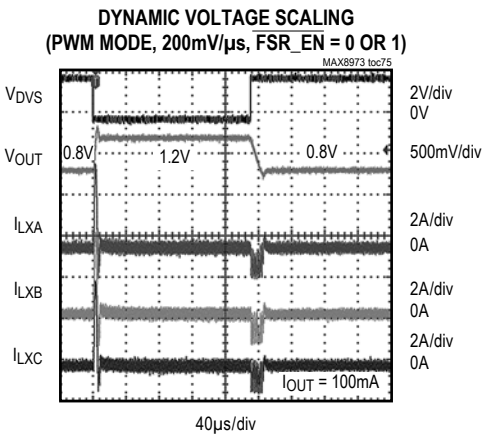
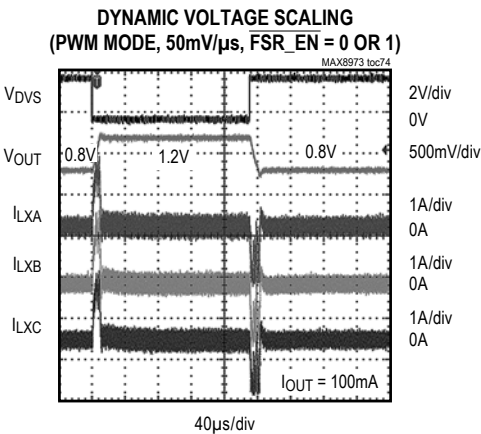
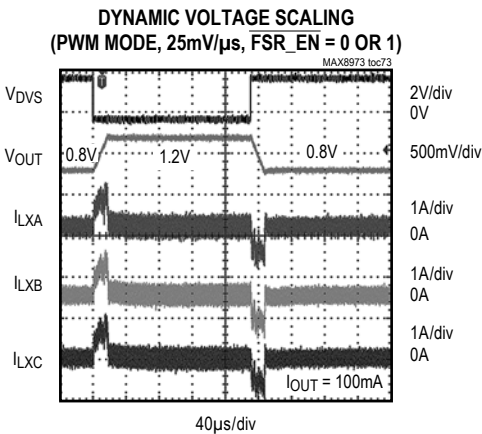
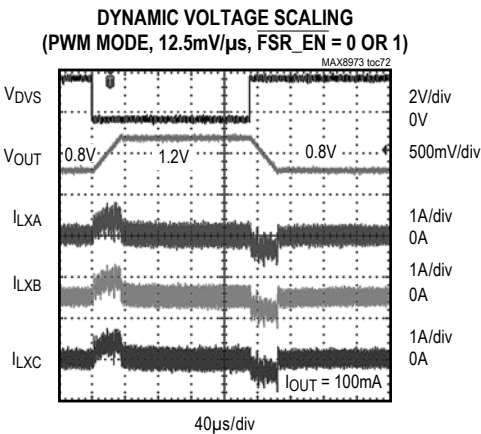
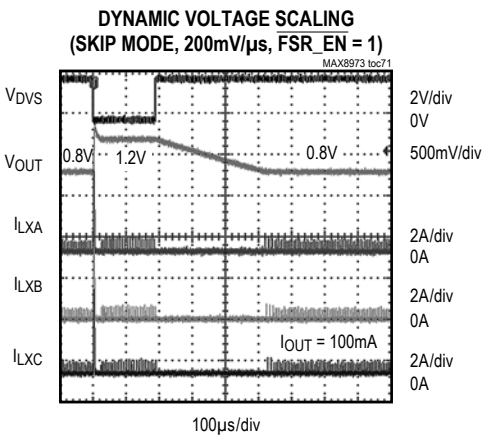
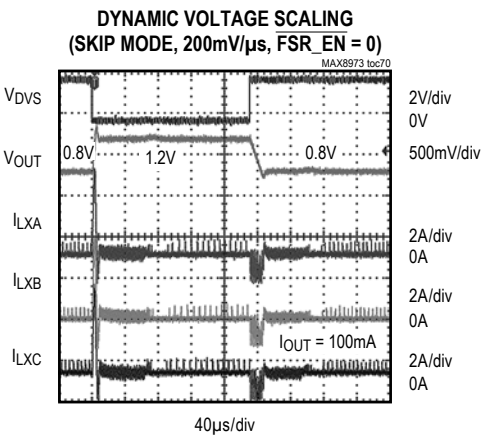
($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4](#).)



9A、三相、降压型开关稳压器

典型工作特性(续)

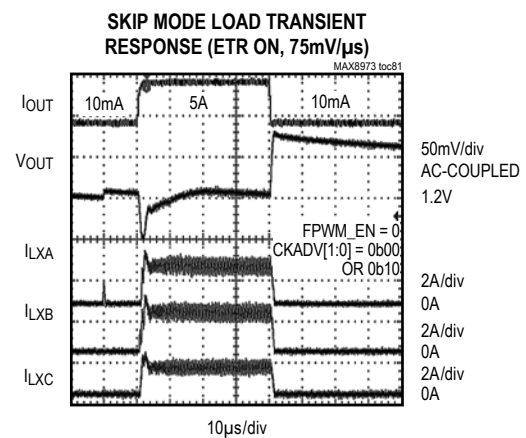
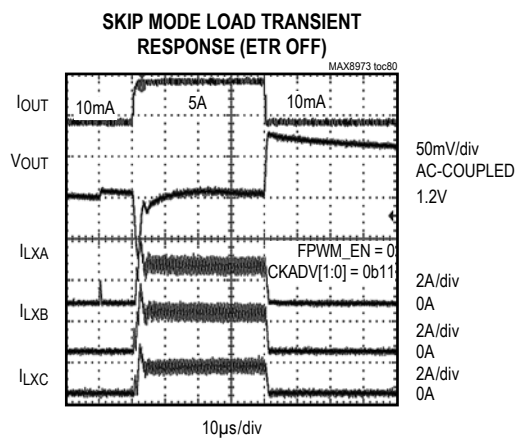
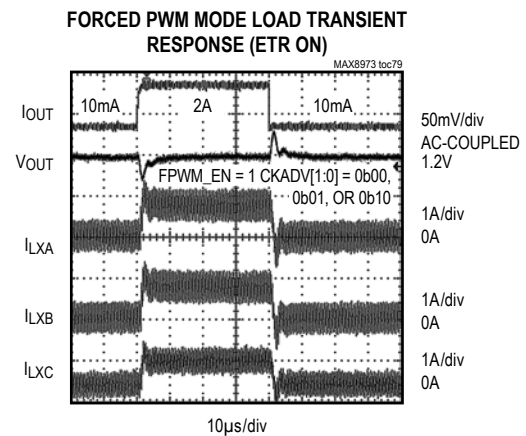
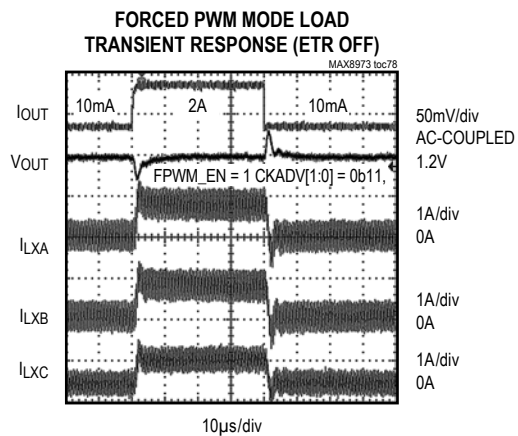
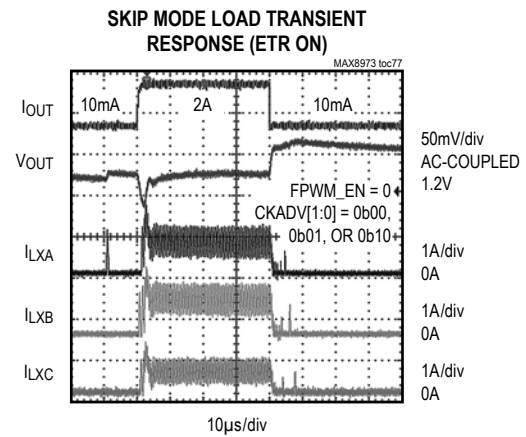
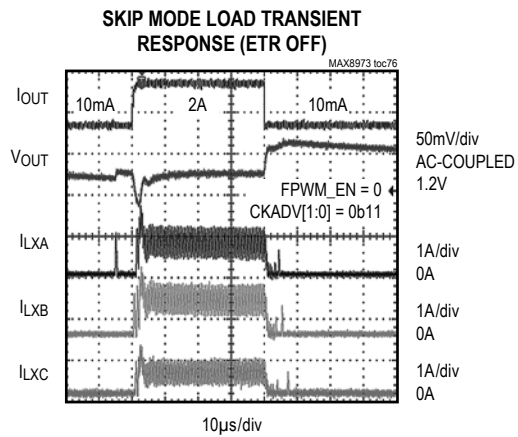
($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4](#).)



9A、三相、降压型开关稳压器

典型工作特性(续)

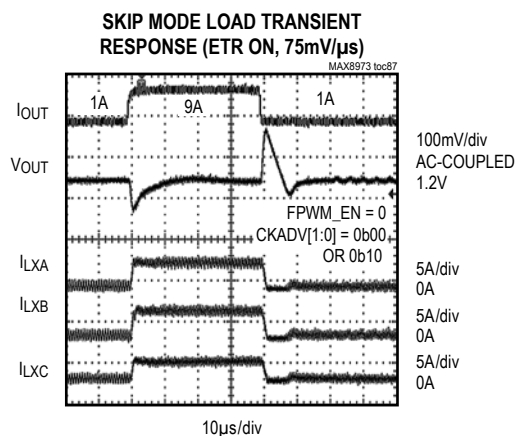
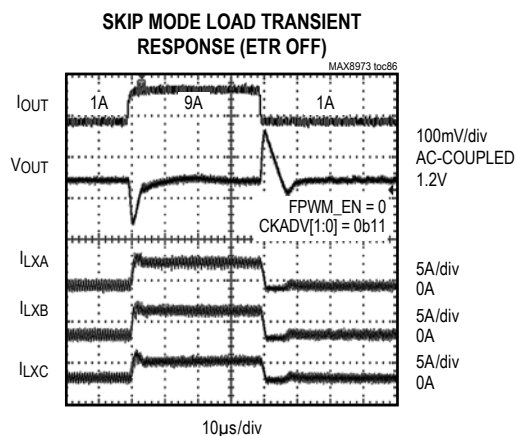
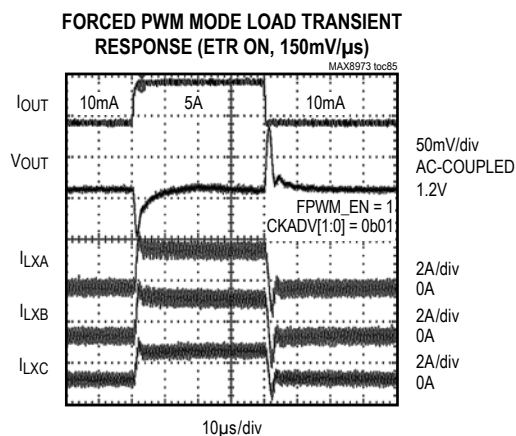
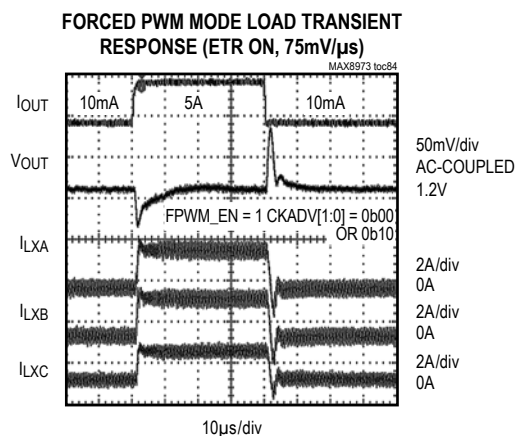
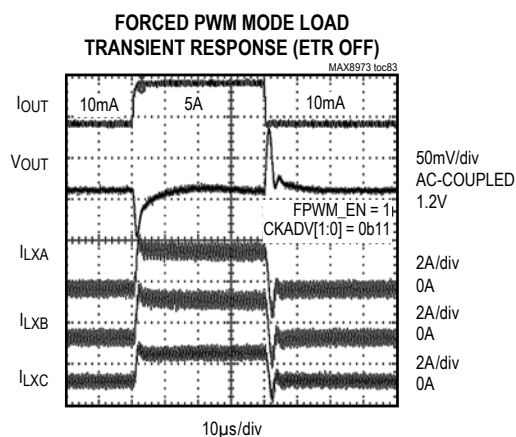
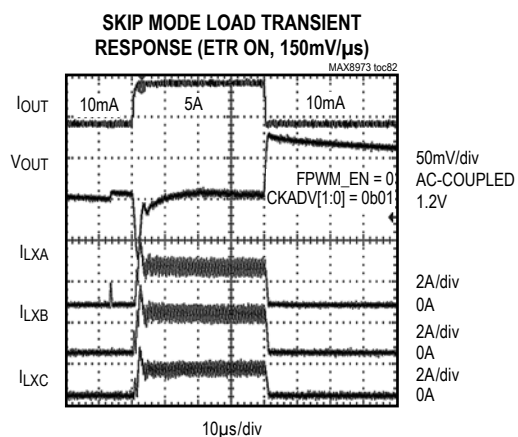
($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of Figure 4.)



9A、三相、降压型开关稳压器

典型工作特性(续)

($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of Figure 4.)

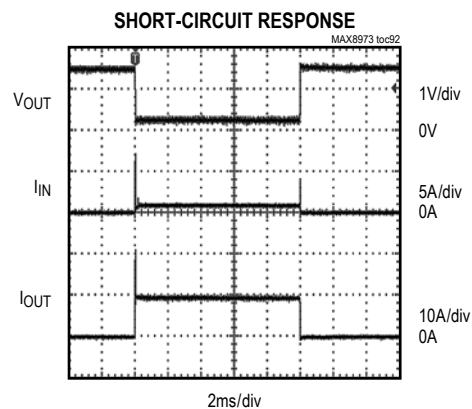
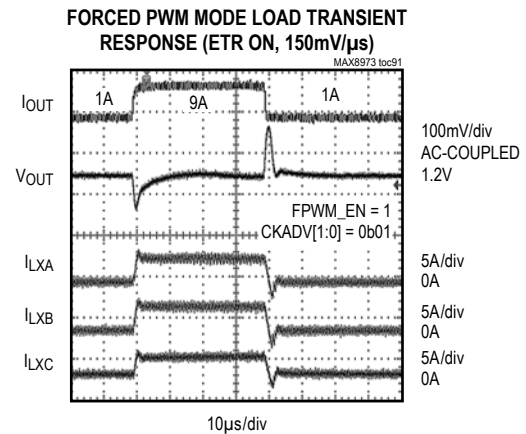
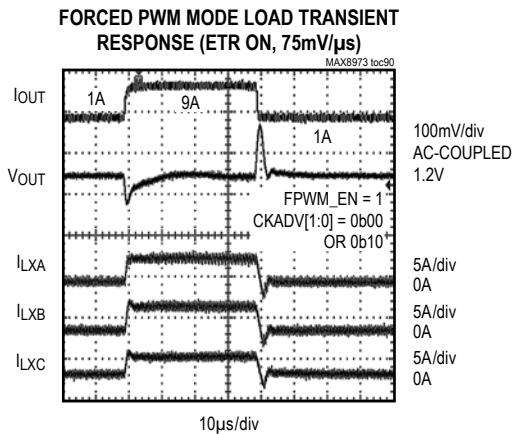
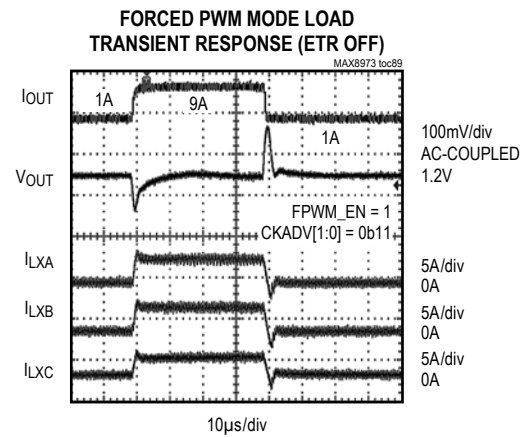
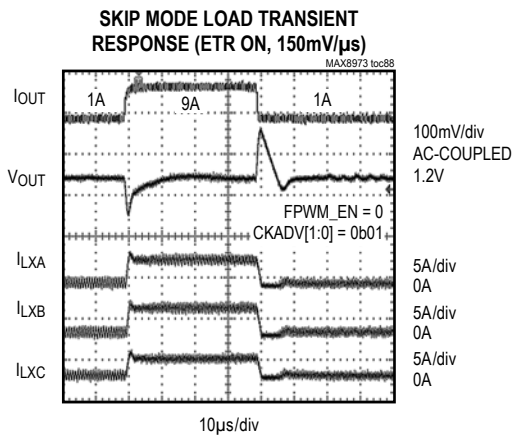


MAX8973A

9A、三相、降压型开关稳压器

典型工作特性(续)

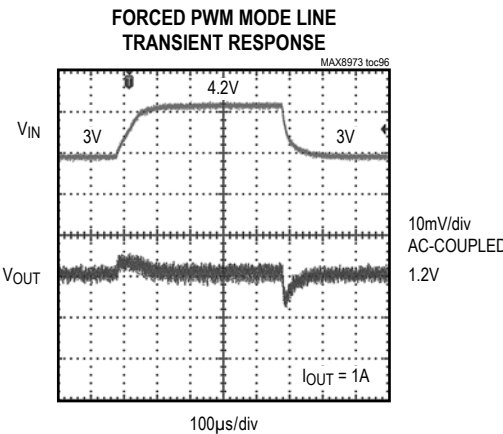
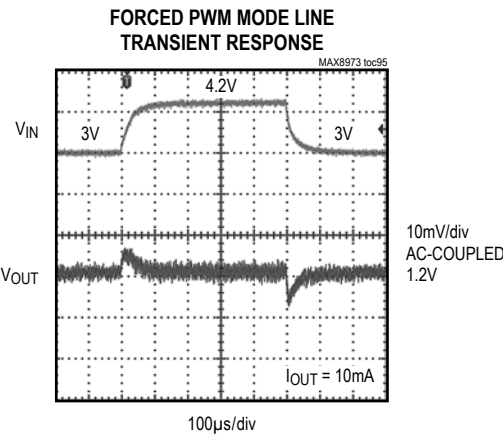
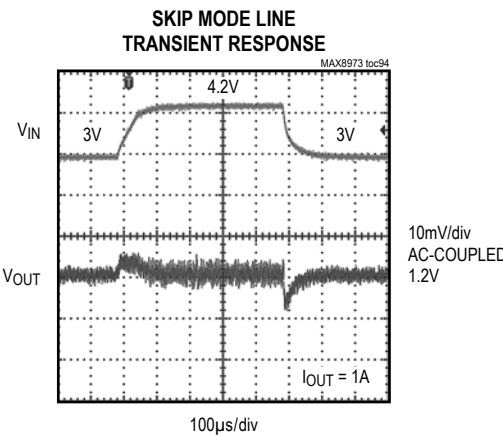
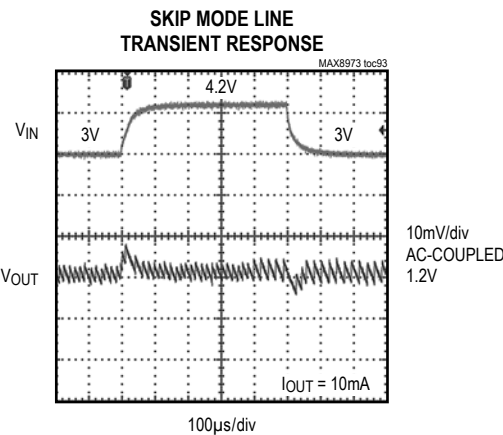
($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of Figure 4.)



9A、三相、降压型开关稳压器

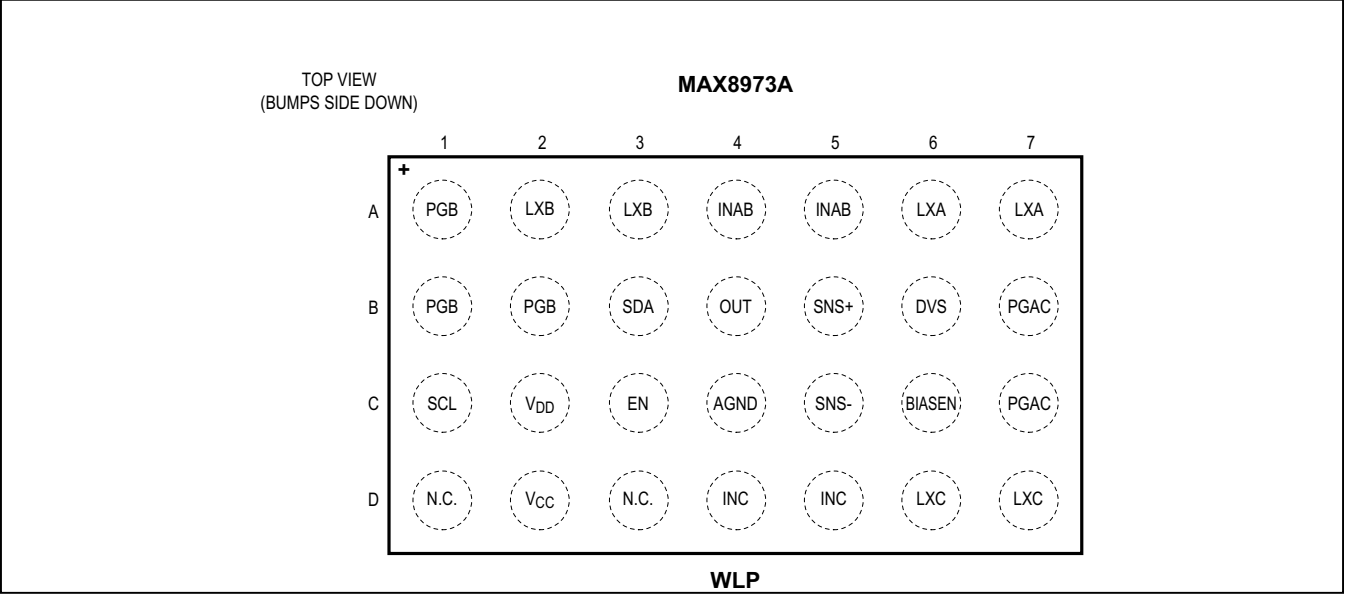
典型工作特性(续)

($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of Figure 4.)



9A、三相、降压型开关稳压器

引脚配置



引脚说明

引脚	名称	说明
A1, B1, B2	PGB	B相电源地，引脚A1、B1和B2，位于B相电源。将INAB(引脚A4)和B相输出电容旁路至PGB(引脚A1/B1/B2)。将全部PG_引脚连接至器件下方的电源GND区域，以高效散热。
A2, A3	LXB	B相电感连接。LXB连接至内部p沟道和n沟道FET的漏极，LXB在关断模式下为高阻。
A4	INAB	A和B相的电源输入，引脚A4位于B相电源。INAB为内部p沟道和n沟道FET供电，利用10μF陶瓷电容将INAB(引脚A4)旁路至PGB(引脚A1/B1/B2)，电容尽量靠近器件放置。将所有IN_引脚连接至同一电源。
A5	INAB	A和B相的电源输入，引脚A5位于A相电源。INAB为内部p沟道和n沟道FET供电，利用10μF陶瓷电容将INAB(引脚A5)旁路至PGAC(引脚B7/C7)，电容尽量靠近器件放置。将所有IN_引脚连接至同一电源。
A6, A7	LXA	A相电感连接，LXA连接至内部p沟道和n沟道FET的漏极。LXA在关断模式下为高阻。
B3	SDA	串行数据输入/输出，SDA兼容1.2V逻辑电平。
B4	OUT	降压转换器输出节点。除设置转换器的稳压点外，OUT在转换器关断时也对输出电容进行放电。将OUT连接至共用V _{OUT} (输出电容处)。
B5	SNS+	输出电压远端检测，正端输入。将SNS+连接至负载端大电容的正端，在PCB上将SNS-和SNS+连接为差分对。通过软件可禁止远端检测功能。

9A、三相、降压型开关稳压器

引脚说明(续)

引脚	名称	说明
B6	DVS	DVS逻辑输入。DVS为低电平时，输出电压由寄存器0x00h (V _{OUT})设置；将DVS驱动至V _{CC} 高电平时，输出电压由寄存器0x01h(V _{OUT_DVS})设置。
B7, C7	PGAC	A和C相电源地，引脚B7和C7位于A相和C相电源。将INC(引脚D4/D5)和C相输出电容旁路至PGAC(引脚B7/C7)，将INAB(仅引脚A5)和A相输出电容旁路至PGAC(引脚B7/C7)。将所有PG_引脚连接至器件下方的电源GND区域，以高效散热。
C1	SCL	串行时钟输入。
C2	V _{DD}	串行接口的逻辑电源输入，将V _{DD} 连接至1.8V电源。利用一个0.1μF的陶瓷电容将V _{DD} 旁路至AGND。
C3	EN	EN逻辑输入，EN控制使能降压转换器。驱动至V _{CC} 高电平时，使能降压转换器。EN具有500kΩ电阻连接至AGND；默认连接，但可通过串行接口断开。EN输入与MAX8973A中寄存器CONTROL1的EN位进行“或”操作。
C4	AGND	模拟地。
C5	SNS-	输出电压远端检测，负端输入。将SNS-连接至负载端大电容的负端。在PCB上将SNS-和SNS+连接为差分对。可通过软件禁止远端检测功能。
C6	BIASEN	BIASEN逻辑输入。BIASEN使能MAX8973A偏置，允许在EN引脚为高电平时快速启动。驱动至V _{CC} 高电平时使能快速启动模式。BIASEN输入与控制寄存器的BIASEN位进行“或”操作。
D1, D3	N.C.	连接至AGND。
D2	V _{CC}	模拟电源旁路节点，利用1μF陶瓷电容V _{CC} 旁路至AGND。V _{CC} 在内部通过20Ω内部电阻连接至INC(引脚D4)。V _{CC} 为内部基准、偏置电路、反馈电路和串行接口供电。
D4, D5	INC	C相电源输入，引脚D4和D5位于C相电源。INC为内部p沟道和n沟道FET供电。INC也通过片上20Ω滤波电阻为V _{CC} 供电。利用10μF陶瓷电容将INC(引脚D4/D5)旁路至PGAC(引脚B7/C7)，电容尽量靠近器件放置。将所有IN_引脚连接至同一电源。
D6, D7	LXC	C相电感连接，LXC连接至内部p沟道和n沟道FET的漏极。LXC在关断模式下为高阻。

9A、三相、降压型开关稳压器

详细说明

MAX8973A为高效、三相、DC/DC、降压型开关稳压器，带有差分远端检测，具有超高效率和极快的瞬态响应，在整个负载、电源和温度范围内提供业内最高精度。器件为三相工作，每相关关频率2MHz，允许使用小尺寸外部元件。差分远端检测在负载端直接提供开尔文检测连接，提高输出精度。在整个电源和温度范围内输出总误差小于0.8%。

MAX8973A支持高达3.4MHz I²C 3.0串行接口。输出电压可通过串口设置为0.60625V至1.4V，设置步长为6.25mV。MAX8973A的工作模式和输出电压也可通过串口设置。

其它功能包括可降低浪涌电流的内部软启动、过流保护、过温保护，以及启动时进入预偏置输出。用户可使能摆率控制，以受控速率缓慢提升、降低输出电压。提供以200mV/μs速率缓变输出电压选项，允许输出电压在最短10μs内响应步进变化命令。

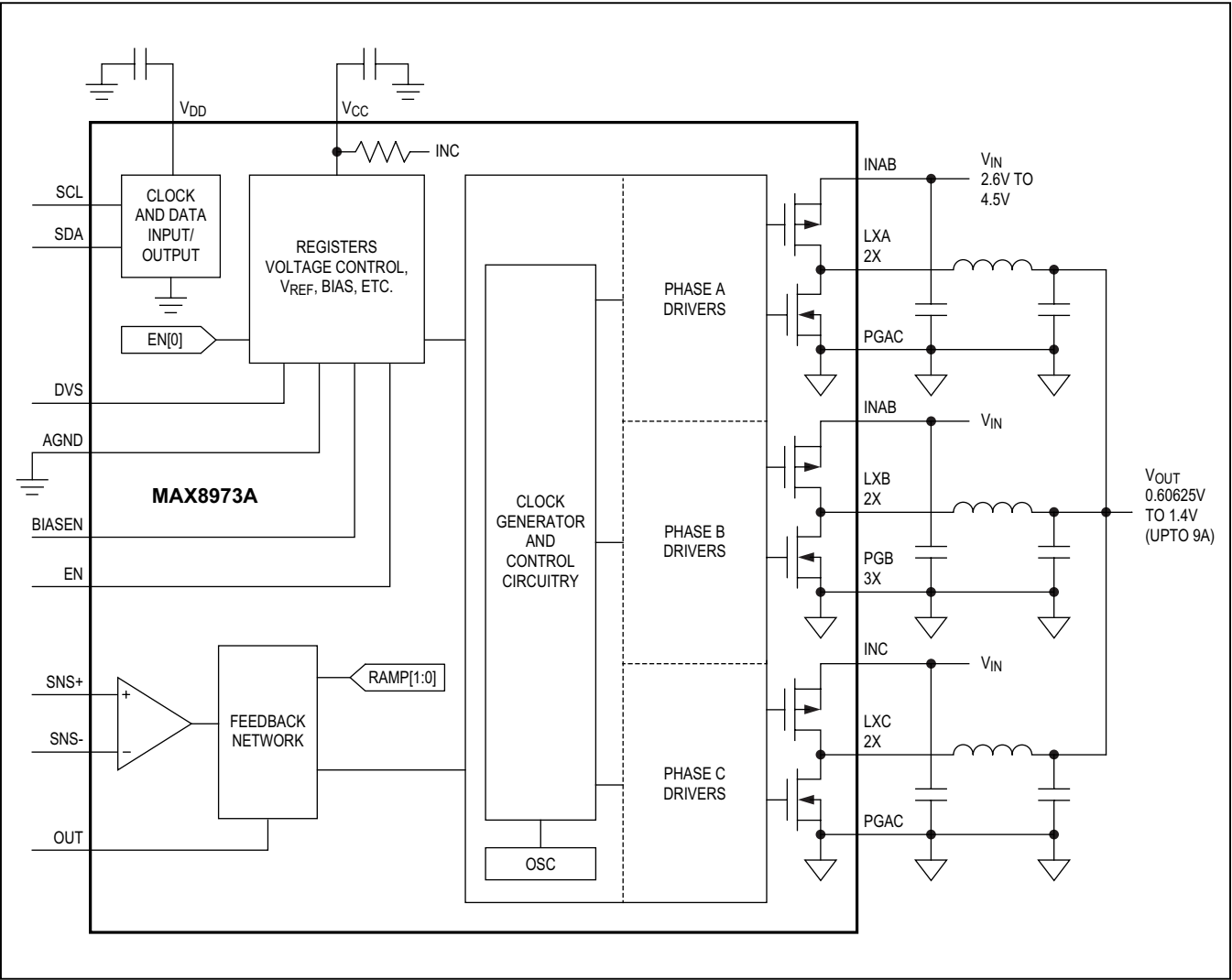


图1. MAX8973_功能框图

MAX8973A

9A、三相、降压型开关稳压器

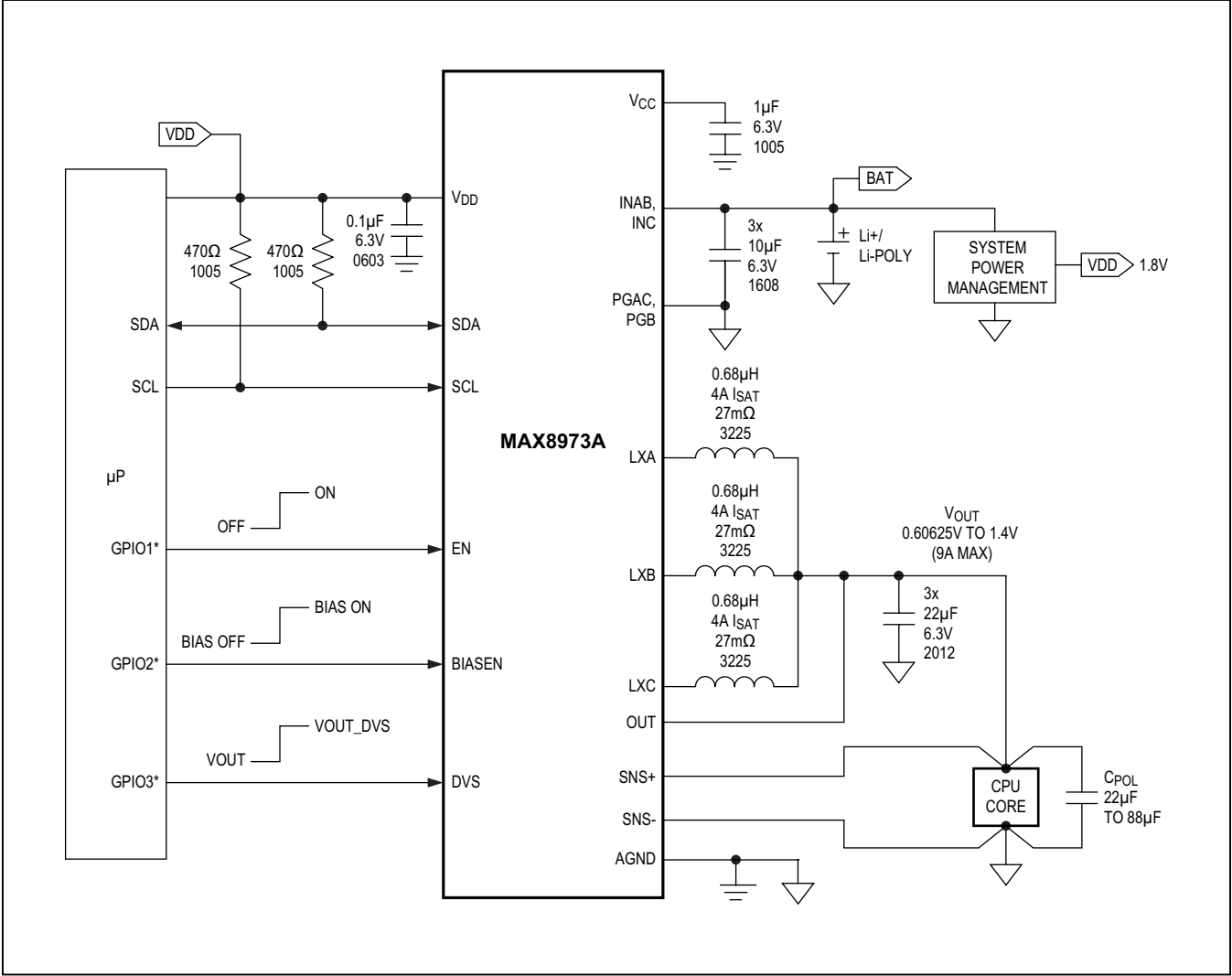


图2. 典型应用电路

9A、三相、降压型开关稳压器

使能稳压器

将EN输入驱动为高电平或利用I²C命令将EN位置1，使能MAX8973A；EN输入和EN位进行逻辑“或”操作。通过将EN输入驱动为低电平并将EN位置0，禁止稳压器。表1所示为硬件EN输入和I²C寄存器位的逻辑真值表。可在任何时间通过写寄存器配置MAX8973A输出。

启动延迟(BIASEN)

如果CPU核必须快速打开，为缩短启动延迟，通过BIASEN逻辑输入与BIASEN寄存器位的逻辑“或”设置延迟；延迟定义为EN的上升沿到VOUT开始爬升的时间。

BIASEN输入和BIASEN位均为低电平时，启动延迟为240μs (典型值)；BIASEN输入为高电平或BIASEN位置1时，延迟缩短至20μs (典型值)。选择较短的20μs延迟时，如果EN输入为低电平、EN位置0 (降压稳压器关闭)，静态耗流增加34μA。表2为BIASEN输入和寄存器位的真值表。

启动爬升速率

MAX8973A提供可选择的爬升速率，爬升速率默认设置为20mV/μs，可选择200mV/μs。CONTROL1寄存器的

RAMP[1:0]位选择启动过程的爬升速率，如第26页表3所示。除启动过程的爬升速率外，RAMP[1:0]位还控制DVS缓变率。RAMP[1:0]位的默认设置为0b10，选择20mV/μs爬升速率和50mV/μs DVS缓变率。

如果选择最快启动速率，当对较大的输出电容充电时，受峰值电感电流限制，实际输出电压的上升速率可能小于200mV/μs。

关闭稳压器(自动放电)

通过将EN逻辑输入驱动为低电平并将EN位置0，关闭MAX8973A降压稳压器输出。表1所示为使能、禁止转换器的真值表。MAX8973A提供两种不同的输出电容放电方法。关闭转换器时，电阻放电通路对MAX8973A输出电容放电；电阻放电通路由CONTROL2寄存器的AD_EN位选择。除电阻放电通路外，软停止功能主动释放输出电容的能量，然后回收到输入电容和电池；通过将CONTROL1寄存器的FSR_EN位置0，选择软停止功能。软停止功能以CONTROL1寄存器的RAMP[1:0]位选定摆率，对输出电容放电。表4所示为主动放电功能的真值表。

表1. MAX8973A使能真值表

EN (INPUT)	EN (BIT)	REGULATOR STATUS
0	0	Off
0	1	On
1	0	On
1	1	On

表2. BIASEN和启动延迟真值表

BIASEN (PIN)	BIASEN (BIT)	STARTUP DELAY (μs)	I _{CC} (μA)
0	0	240	2
0	1	20	34
1	0	20	34
1	1	20	34

表3. MAX8973A启动和DVS缓变率

RAMP[1:0]	STARTUP RAMP RATE (mV/μs)	DVS RAMP RATE (mV/μs)
0b00	20	12.5
0b01	20	25
0b10	20	50
0b11	200	200

表4. MAX8973A输出放电选择真值表

AD_EN (BIT)	FSR_EN (BIT)	OUTPUT DISCHARGE METHOD
0	0	Soft-stop only
0	1	None (load current only)
1	0	Soft-stop and resistive
1	1	Resistive only

9A、三相、降压型开关稳压器

软停止(主动回收能量)

MAX8973A具有软停止功能，在关闭稳压器时主动对输出电容进行放电。如果CONTROL1寄存器的FSR_EN位置0，使能关闭转换器时的软停止功能。软停止功能以CONTROL1寄存器中RAMP[1:0]位的设置缓慢降低目标输出电压，表5所列为可选的软停止摆率，图3所示为软停止操作。

注意，如果选择最快的软停止速率，当对较大输出电容放电时，由于受电感电流限制，实际输出电压的下降率可能小于200mV/μs。

软停止功能充分利用开关转换器拓扑的优势，将转换器作为boost转换器，对输出电容放电，使输出电容储存的能量传输至输入电容。软停止功能保持MAX8973A使能，直

表5. MAX8973A软停止摆率

RAMP[1:0]	SOFT-STOP RAMP RATE (mV/μs)
0b00	20
0b01	20
0b10	20
0b11	200

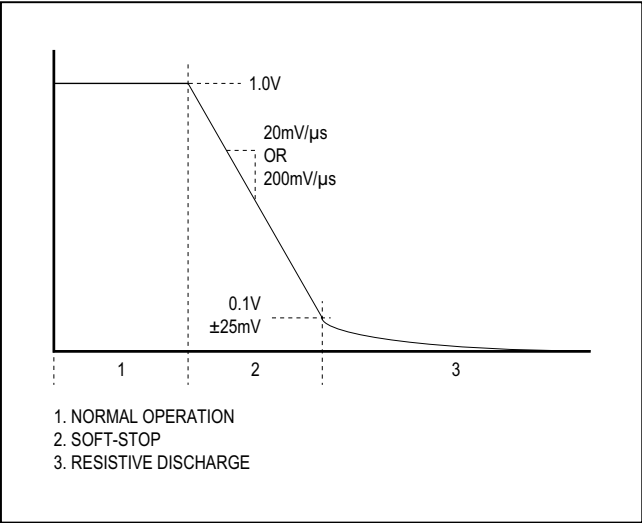


图3. 软启动放电

到输出电压放电至100mV (典型值)，此时开始电阻放电，将输出电容完全放电至GND。

负向电感电流门限保护内部开关不被开启软停止功能时过大功耗而损坏。对较大输出电容放电时，放电速率可能受负向限流制约，而非表5 RAMP[1:0]所选定的速率。

电阻放电

如果CONTROL2寄存器中的AD_EN位置1，关闭MAX8973A时在OUT和AGND之间连接100Ω下拉电阻；如果AD_EN = 0，且未使能软停止，MAX8973A输出下降至GND的速率由负载电流决定。

设置输出电压

MAX8973A有两个寄存器设置输出电压VOUT和VOUT_DVS，灵活设置输出电压。可以在DVS输入为固定逻辑状态时重复写任一VOUT (或VOUT_DVS)寄存器；也可写两个寄存器，而由DVS逻辑输入在两个寄存器之间切换。输出电压按照表3中的RAMP[1:0]设置缓变到新的目标电压，与改变输出电压的方式无关。

DVS

通过将DVS逻辑输入驱动为高电平或低电平，MAX8973A输出电压在两种不同电压设置之间切换。DVS逻辑输入选择默认上电电压或在串口设置的目标电压之间动态改变输出电压设置。

默认上电电压

使能降压稳压器之前，通过将DVS逻辑驱动为高电平或低电平，选择MAX8973A默认输出电压。表6所示为MAX8973A的默认电压设置。

在把EN引脚驱动为高电平或将EN位置1使能降压稳压器之前，将新的目标输出电压写入VOUT寄存器(DVS = AGND)和/或VOUT_DVS寄存器(DVS = VDD)，改变MAX8973A上电电压。

表6. 默认输出电压设置

PART NUMBER	DEFAULT VOUT	
	DVS = AGND	DVS = VDD
MAX8973A	1.0V	1.2V

9A、三相、降压型开关稳压器

摆率控制

MAX8973A提供四种可编程摆率，用于输出电压在目标码之间转换。当新的目标电压大于当前输出电压时，输出电压总是主动上升。[表3](#)所列为四种DVS缓变率设置，由CONTROL1寄存器中的RAMP[1:0]位设置。

如果新目标电压小于当前输出电压，缓降响应由FSR_EN和FPWM_EN位的状态决定。[表7](#)所示为MAX8973A响应降低目标输出电压命令的汇总。

控制机制

MAX8973A三相降压稳压器在轻载至中等负载时工作在跳脉冲模式，在中等负载至重载时转换为2MHz固定开关频率模式。如果将CONTROL1寄存器的FPWM_EN位置1，MAX8973A也可工作在强制PWM模式。

工作模式(跳脉冲、Mid、CCM)

轻载时，MAX8973A工作在跳脉冲模式，采用旋转相位扩频。旋转相位扩频工作时，三相电源以交叉方式连续开关工作，与负载无关。当负载电流增大时，开关脉冲变得更密集；负载电流继续增大时，所有三相电路的导通时间开始重叠，但每相继续工作在跳脉冲模式，以实现效率最大化；如果负载电流继续增大，电感电流升高，无缝切换至CCM工作模式。MAX8973A工作在CCM模式时，每相的开关频率为固定2MHz。CCM工作模式下，当负载电流减小，任何相的电感电流触发过零时，降压稳压器无缝转换为跳脉冲模式。

表7. DVS对目标VOUT降低的响应

FSR_EN	FPWM_EN	DVS RESPONSE
0	0	Output ramps down at rate set by RAMP[1:0]
0	1	Output ramps down at rate set by RAMP[1:0]
1	0	Output decays at rate set by load current and output capacitance
1	1	Output ramps down at rate set by RAMP[1:0]

跳脉冲模式下，电感电流脉冲的幅值是固定的。CCM模式下，开关频率固定，峰-峰电感纹波电流取决于占空比和电感。

工作模式(FPWM)

将CONTROL1寄存器的FPWM_EN位置1时，MAX8973A降压稳压器工作在强制PWM模式，与负载电流无关。强制PWM模式下，MAX8973A在任何负载条件下，每相的开关频率均为固定2MHz。强制PWM模式下，轻载时允许负向电感电流。

电流检测

MAX8973A利用无损电流检测方法控制环路稳定性。电感的时间常数和电感的DCR与内部RC网络相匹配。MAX8973A经过工厂校准，针对特定电感和DCR范围进行优化。第30页的[表8](#)为各种版本MAX8973A的最优电感参数。

CONTROL2寄存器中的INDUCTOR[1:0]位影响用于检测电感电流的内部RC网络产生的电流检测信号的增益和斜率补偿。**注：**不应在转换器工作时更改INDUCTOR[1:0]设置。

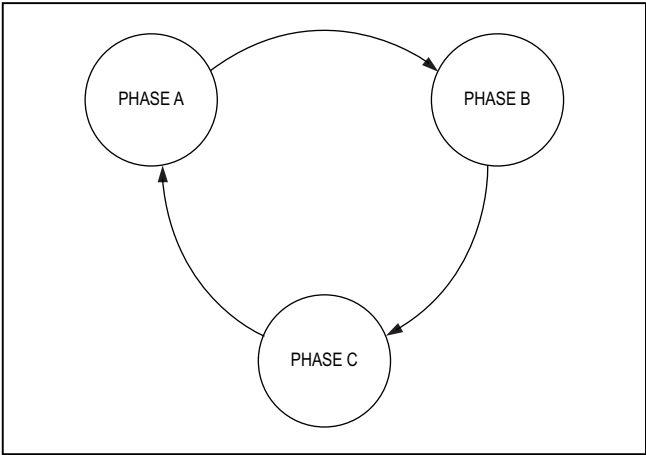


图4. 旋转相位扩谱频算法

表8. MAX8973A电感参数

PART NUMBER	L (μH)	DCR (mΩ)
MAX8973A	0.68	27

9A、三相、降压型开关稳压器

最大输出电流

MAX8973A的最大输出电流受多种参数的影响。利用下式计算最差工作条件下的最大输出电流：

I_{OUTMAX} = N × (PLIM - (V_{IN} - V_{OUT}) × $\frac{V_{OUT}}{2 \times L \times V_{IN} \times f}$)

式中，N = 3 (相数)，PLIM = 最小峰值限流值，V_{IN} = 最大输入电压，V_{OUT} = 最大输出电压，L = 最小预期电感，f = 最小开关频率。

过载和短路保护

MAX8973A利用每相的峰值限流值进行过载保护。如果MAX8973A的输出发生过载，每相的电感电流缓升到限流值，将输出维持在稳压范围内。

MAX8973A具有输出短路保护。输出发生短路时，每相的电感电流缓升至峰值限流值，此时高边MOSFET关断。如果V_{OUT} < 75%目标值，高边保持关断，直到电感电流降低至NMOS电流限值，此时再次允许高边导通。这可防止电感电流失控，也通过减小器件可提供的输出功率，降低功耗。输出短路时，MAX8973A不自动关断。短路状态消除后，MAX8973A输出缓变为目标电压，恢复正常工作。

增强瞬态响应(ETR)

MAX8973A具有增强瞬态响应电路，通过软件使能。发生较大负载变化时，增强瞬态响应临时允许全部三相电路一致触发，总电感电流的变化速度比所有三相电路以120°相差连续工作时更快，从而减小了电压跌落。增强瞬态响应检测器具有两种可选的灵敏度设置，由此选择负载瞬态触发ETR电路时的输出电压摆率。ETR检测器的灵敏度由CONTROL2寄存器中的CKADV[1:0]位设置。[表9](#)所示为ETR设置汇总。

远端检测

MAX8973A具有差分远端检测功能，检测负载点的输出电压。差分远端检测补偿从MAX8973A输出到负载点之间承

表9. 增强瞬态响应设置

CKADV[1:0]	Sensitivity	V _{OUT} ΔV/Δt
00	High	75mV/μs
01	Low	150mV/μs
10	High	75mV/μs
11	Off	N/A

载大电流的走线上的压降。通过将CONTROL1寄存器的SNSEN位置1，使能差分远端检测。

热保护

MAX8973A使用内部温度传感器实现热过载保护。如果管芯温度达到160°C，MAX8973A降压稳压器立即关闭；当管芯温度降低20°C时，降压稳压器重新启动。

I²C接口

MAX8973A降压稳压器提供I²C 3.0兼容(3.4MHz)串行接口，该2线串行接口包括双向串行数据线(SDA)和串行时钟线(SCL)。MAX8973A在标准模式下仅作为从器件，由主机产生时钟信号。MAX8973A支持0Hz至3.4MHz的SCL时钟速率。I²C为开漏总线，因此SDA和SCL需要上拉。可在SDA和SCL线上串联一个电阻(24Ω)，保护器件输入不受总线上高压尖峰的损害。串联电阻还将总线上的串扰和下冲降至最小。

I²C接口特性

- I²C 3.0版兼容串行通信通道
 - 0Hz至100kHz (标准模式)
 - 0Hz至400kHz (快速模式)
 - 0Hz至1MHz (增强快速模式)
 - 0Hz至3.4MHz (高速模式)
- 不使用I²C时钟展宽

9A、三相、降压型开关稳压器

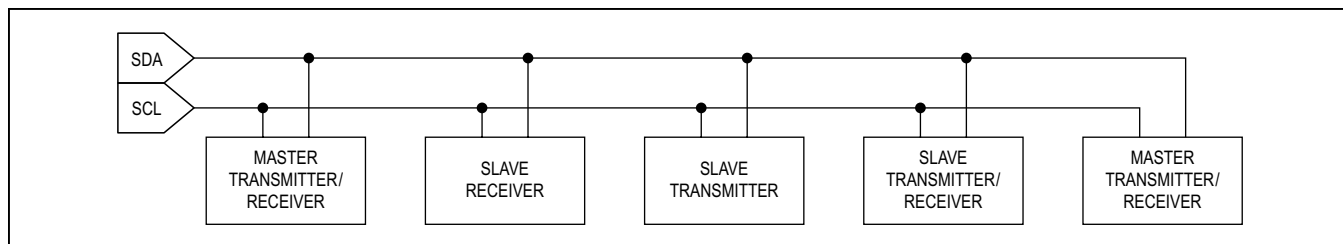


图5. I²C系统示例

I²C系统配置

I²C总线是一种多主机总线，总线上能挂接的器件最大数量仅受限于总线容量。

图5所示为典型的I²C系统示例。I²C总线上将数据送至总线的器件称为发送器，从总线上接收数据的器件称为接收器；发起数据传输并产生SCL时钟信号以控制数据传输的器件称为主机，任何被主机寻址的器件称为从机。MAX8973A I²C兼容接口工作在标准模式时，器件为I²C总线从机，可为发送器或接收器。

I²C接口电源

MAX8973A I²C接口利用外部电源(图1中的 V_{DD})供电。重启VIN_复位I²C寄存器。

I²C数据传输

每个SCL时钟周期传输一位数据。在SCL时钟脉冲为高电平期间，SDA数据必须保持稳定；SCL为高电平时，SDA上的变化为控制信号。

每次传输都以START (S)条件和STOP (P)条件打包成帧，每个数据包为9位长，8位数据之后是应答位。传输数据时MSB在前。

I²C START和STOP条件

串行总线无效时，SDA和SCL为空闲高电平。主机通过发送START条件启动通信，START (S)条件是SCL为高电平时，SDA由高到低的跳变。STOP (P)条件是SCL为高电平时，SDA由低到高的跳变(图6)。

来自主机的START条件通知MAX8973A开始传输。主机通过发送非应答和随后的STOP条件结束传输，STOP

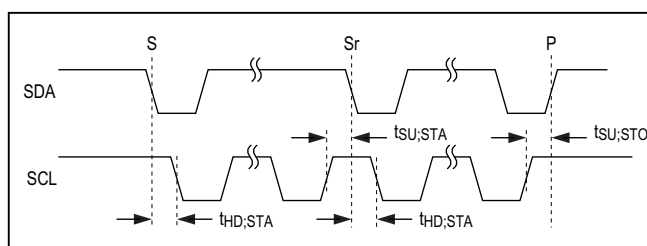


图6. START和STOP条件

条件释放总线。为了向从机连续发送命令，主机可发送REPEATED START (Sr)命令，而非STOP命令，保持总线控制。一般情况下，REPEATED START命令的作用等效于定时START命令。

检测到STOP条件或不正确地址时，MAX8973A在内部断开SCL与串行总线的连接，直到下一个START条件，将数字噪声和馈通降至最小。

I²C应答位

I²C总线主机和MAX8973A(从机)在接收数据时均产生应答位，应答位是每个9位数据帧的最后一位。为产生应答(A)，接收器件必须在应答相关时钟脉冲(第9个脉冲)的上升沿之前将SDA拉低，并在时钟脉冲为高电平期间保持为低电平(图7)。

为产生非应答(nA)，接收器件在应答相关时钟脉冲的上升沿之前允许SDA拉高，在时钟脉冲为高电平期间将其释放。监测应答位可检测失败的数据传输。如果接收器“忙”，或者系统发生故障，则会导致数据传输失败。若数据传输失败，总线主机应随后重试通信。

9A、三相、降压型开关稳压器

I²C从地址

MAX8973A采用7位从机寻址。I²C总线主机通过发送后边跟从机地址的START条件发起与从器件(MAX8973A)的通信。如表10所示，MAX8973A响应单一从机地址。除表10所列的地址外，MAX8973A不应答其它所有地址。

图8所示为从地址字节格式的示例，如图所示，从地址字节包括7个地址位和一个读/写位(R/W)。接收到表10所列的工厂预设从机地址后，MAX8973A通过在第9个时钟周期内将SDA拉低进行应答。

I²C时钟展宽

I²C总线的时钟信号通常由主机器件产生。I²C规范允许较慢的从机器件通过拉低时钟信号线改变时钟信号。时钟信

号拉低时钟信号线的过程称为时钟展宽。MAX8973A不支持时钟展宽。

I²C全呼地址

MAX8973A不支持I²C规范的全呼地址。如果MAX8973A检测到全呼地址(0b0000_0000)，发送非应答(nA)。

表10. MAX8973_ I²C从地址

PART NUMBER	SLAVE ADDRESS WRITE	SLAVE ADDRESS READ
MAX8973A	0x36	0x37

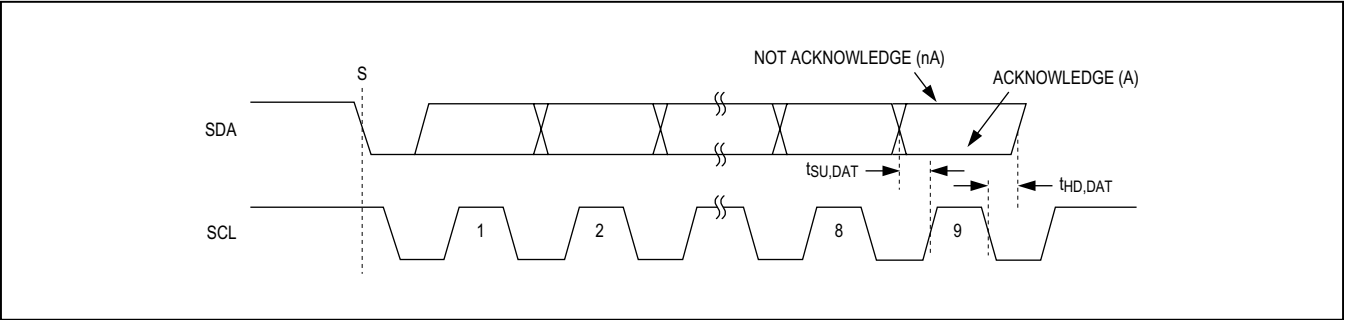


图7. I²C应答(A)和非应答(nA)

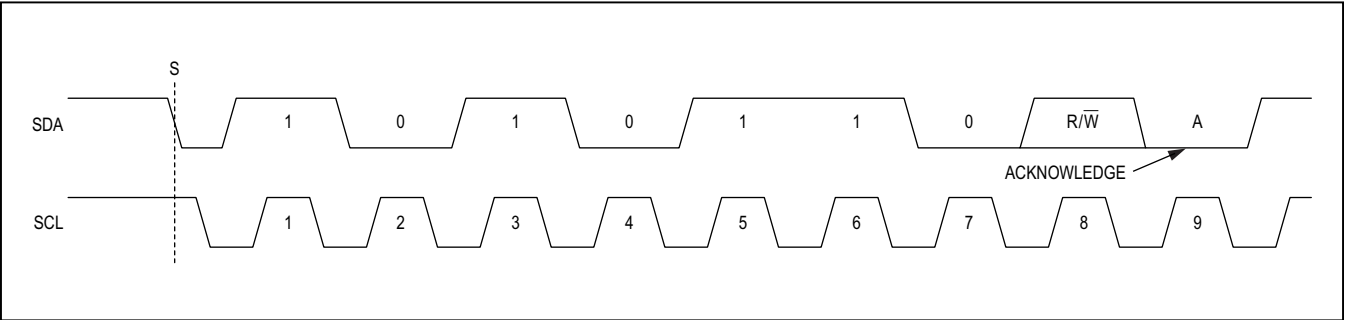


图8. 从地址字节示例

9A、三相、降压型开关稳压器

I²C通信速度

MAX8973A兼容3.0版I²C规范定义的全部4种通信速度范围：

- 0Hz至100kHz (标准模式)
- 0Hz至400kHz (快速模式)
- 0Hz至1MHz (增强快速模式)
- 0Hz至3.4MHz (高速模式)

标准、快速和增强快速工作模式不需要任何特殊的拓扑。在该范围内改变速度时的主要考虑事项是总线电容和上拉电阻的组合，总线电阻和上拉电阻产生的较高时间常数($C \times R$)将使总线工作速度变慢。因此，当增大总线速度时，必须减小上拉电阻，以保证合理的时间常数。关于上拉电阻选择的详细指导，请参见3.0版I²C规范的上拉电阻大小的选择部分。一般情况下，如果总线电容为200pF，100kHz总线速度需要5.6kΩ上拉电阻，400kHz总线速度需要大约1.5kΩ上拉电阻，1MHz总线速度需要680Ω上拉电阻。当开漏总线为低电平时，上拉电阻消耗功率，上拉电阻的阻值越小消耗的功率越大(V^2/R)。

高速工作模式具有一些特殊的考虑事项。关于完整的注意事项清单，请参见I²C 3.0规范。具体到MAX8973A，主要考虑事项有：

- I²C总线主机利用当前有源上拉缩短信号上升时间。
- I²C从机必须在其SDA和SCL线上使用不同的输入滤波器组，以支持较高的总线速度。
- 通信协议需要使用高速主机编码。

上电及每次STOP条件之后，MAX8973A输入滤波器复位为标准模式、快速模式或增强快速模式(即0Hz至1MHz)。为将输入滤波器切换至高速模式，使用[激活HS模式以工作在高达3.4MHz](#)部分所述的高速主机编码协议。

I²C通信协议

MAX8973A支持写和读其寄存器。MAX8973A支持写单个寄存器、利用寄存器数据对写多个字节、读取单个寄存器、读取连续寄存器。

I²C写单个寄存器

[图9](#)所示为I²C主器件向MAX8973A写一个数据字节的协议，该协议与SMBus规范的写字节协议相同。写字节协议如下：

- 1) 主机发送START (S)命令。
- 2) 主机发送7位从机地址和随后的写控制位(R/W = 0)。
- 3) 被寻址的从机通过拉低SDA进行应答(A)。
- 4) 主机发送一个8位寄存器指针。
- 5) 从机应答寄存器指针。
- 6) 主机发送一个数据字节。
- 7) 从机更新到新数据
- 8) 从机应答或非应答数据字节。下一个SDA上升沿将数据字节装载至其目标寄存器，数据将变为有效。
- 9) 主机发送stop (P)条件或repeated start (Sr)条件。发送P条件确保总线输入滤波器设置为1MHz或较慢工作速度；发送Sr条件使总线输入滤波器保持当前状态。

9A、三相、降压型开关稳压器

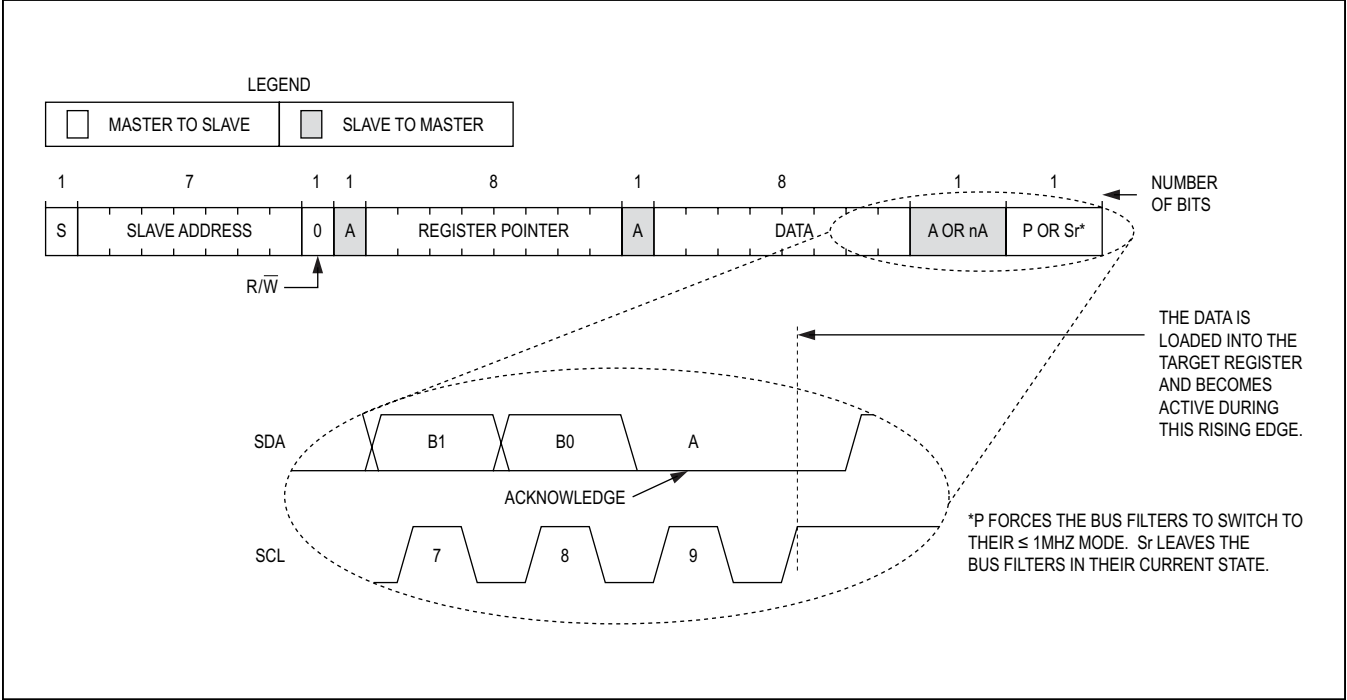


图9. 利用写字节协议写单个寄存器

写连续寄存器

图10所示为写连续寄存器的协议，除了主机在发送第一个数据字节后继续写之外，该协议与写字节协议类似。主机完成写操作后，发送stop (P)或repeated start (Sr)。初始化期间配置器件时，建议使用该协议。写连续寄存器协议如下：

- 1) 主机发送START (S)命令。
- 2) 主机发送7位从机地址和随后的写控制位(R/W=0)。
- 3) 被寻址的从机通过拉低SDA进行应答(A)。
- 4) 主机发送一个8位寄存器指针。
- 5) 从机应答寄存器指针。
- 6) 主机发送一个数据字节。
- 7) 从机应答数据字节。下一个SDA上升沿将数据字节装载至其目标寄存器，数据将变为有效。
- 8) 重复步骤6至7，重复次数由主机决定。
- 9) 最后一个应答相关时钟脉冲期间，主机可发送应答或非应答。
- 10) 主机发送stop (P)条件或repeated start (Sr)条件。发送P条件确保总线输入滤波器设置为1MHz或较慢工作速度；发送repeated start条件使总线输入滤波器保持当前状态。

9A、三相、降压型开关稳压器

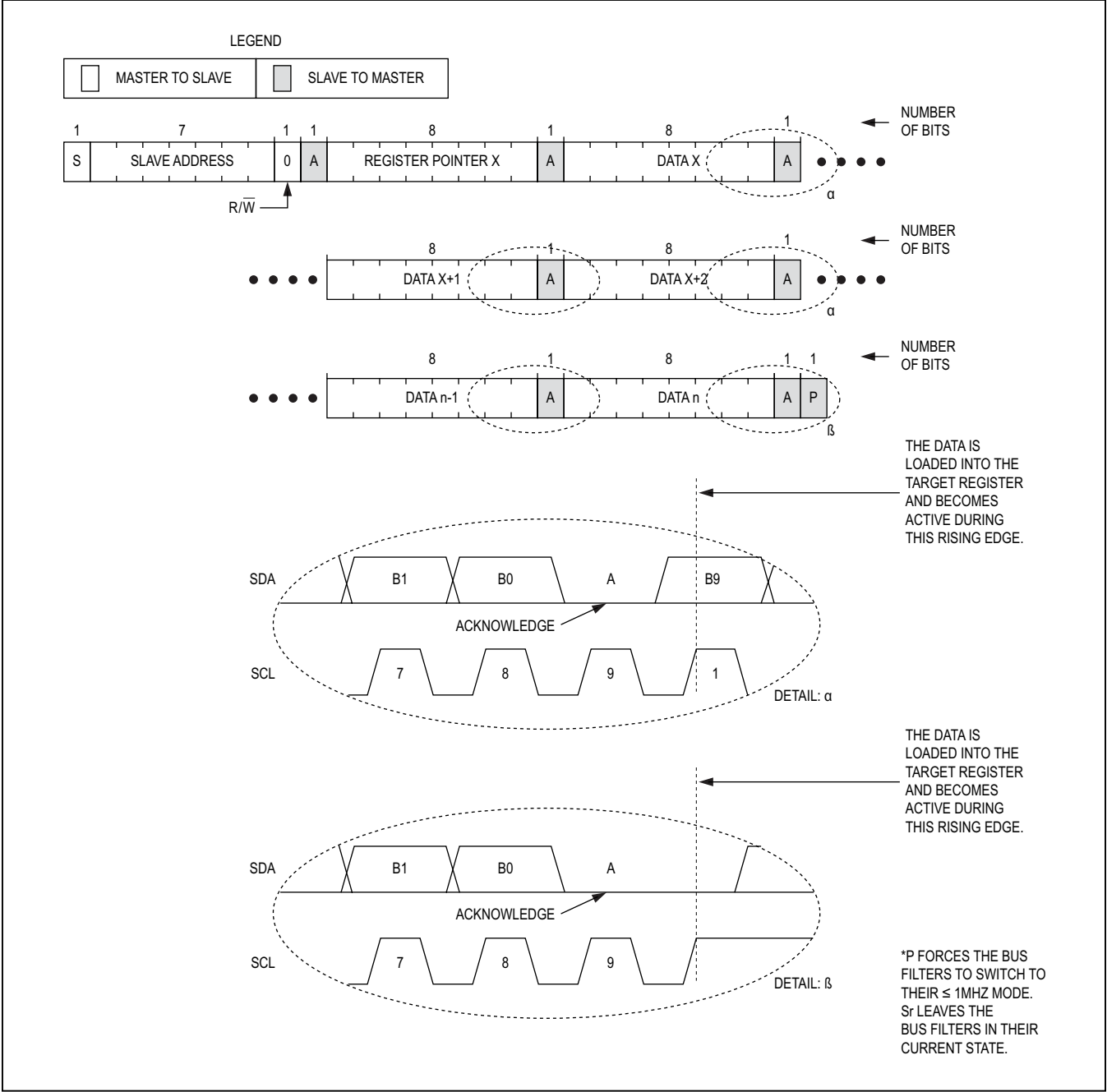


图10. 连续写入寄存器X至N

9A、三相、降压型开关稳压器

利用寄存器数据对写多个字节

图11所示为I²C主器件使用寄存器数据对向MAX8973A写多个字节的协议，该协议允许I²C主机只寻址一次即可将数据发送至随机顺序的多个寄存器。可连续写寄存器，直到主机发送stop条件。写多字节寄存器数据对的协议如下：

- 1) 主机发送START (S)命令。
- 2) 主机发送7位从机地址和随后的写控制位($R/\overline{W} = 0$)。
- 3) 被寻址的从机通过拉低SDA进行应答(A)。
- 4) 主机发送一个8位寄存器指针。
- 5) 从机应答寄存器指针。
- 6) 主机发送一个数据字节。
- 7) 从机应答数据字节。下一个SDA上升沿将数据字节装载至其目标寄存器，数据变为有效。
- 8) 重复步骤5至7，重复次数由主机决定。
- 9) 主机发送stop (P)条件。停止相关的SDA上升沿期间，将之前写入的数据字节装载至目标寄存器，变为有效。

读单个寄存器

图12所示为I²C主器件从MAX8973A读一个数据字节的协议，该协议与SMBus规范的读字节协议相同。读字节协议如下：

- 1) 主机发送START (S)命令。
- 2) 主机发送7位从机地址和随后的写控制位($R/\overline{W} = 0$)。
- 3) 被寻址的从机通过拉低SDA进行应答(A)。
- 4) 主机发送一个8位寄存器指针。
- 5) 从机应答寄存器指针。
- 6) 主机发送start (Sr)命令。
- 7) 主机发送7位从机地址和随后的读控制位($R/\overline{W} = 1$)。
- 8) 被寻址的从机通过拉低SDA发送应答。
- 9) 被寻址从机将寄存器指针指定位置的8位数据送至总线。
- 10) 主机发送非应答(nA)。
- 11) 主机发送stop (P)条件或repeated start (Sr)条件。发送P条件确保总线输入滤波器设置为1MHz或较慢工作速度；发送repeated start条件使总线输入滤波器保持当前状态。

注意，MAX8973A每次接收stop (P)时，其寄存器指针复位为0x00。如果在发送stop (P)后读寄存器0x00，可跳过以上的步骤1至6。

9A、三相、降压型开关稳压器

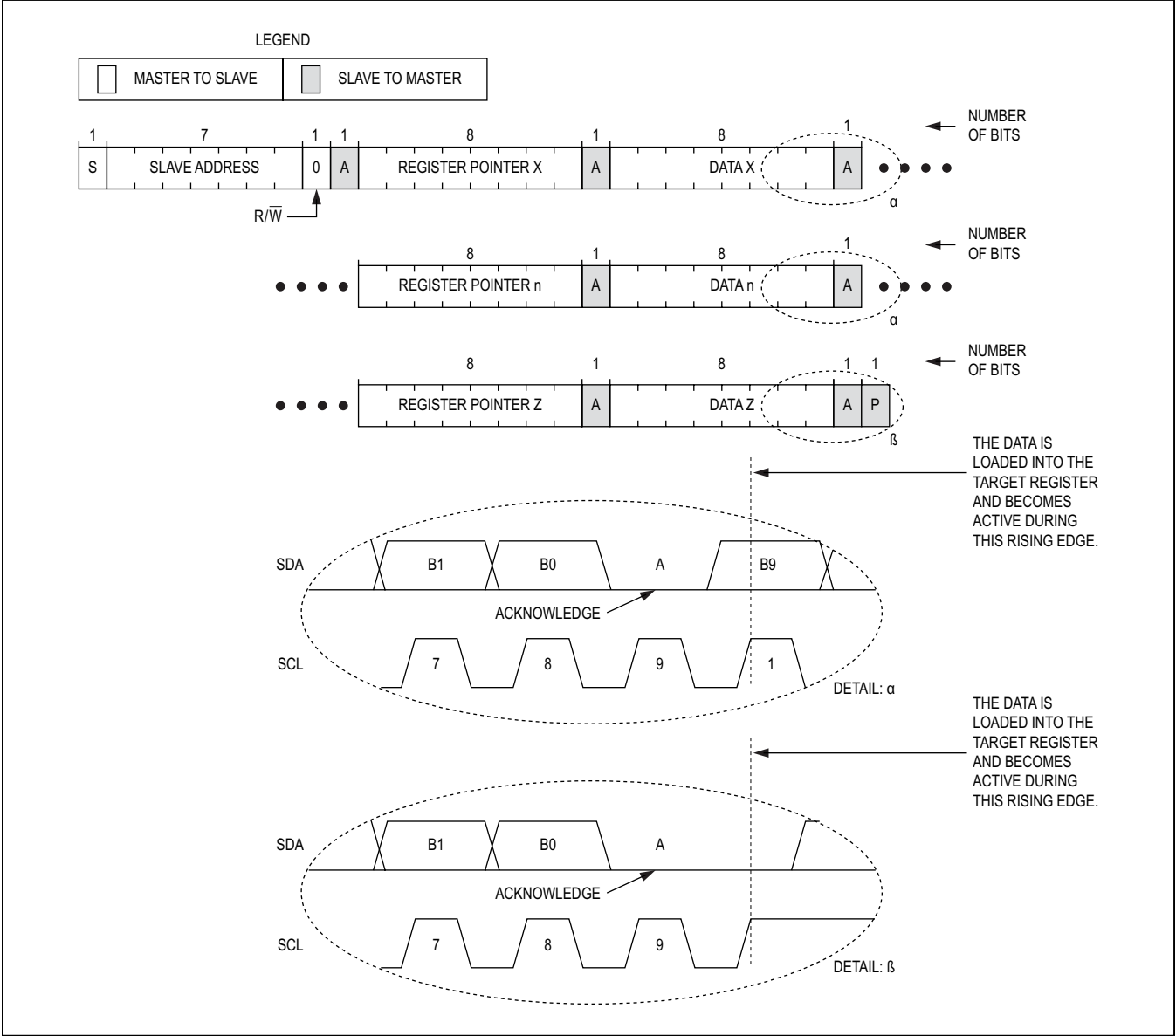


图11. 利用多字节寄存器数据对协议写多个寄存器

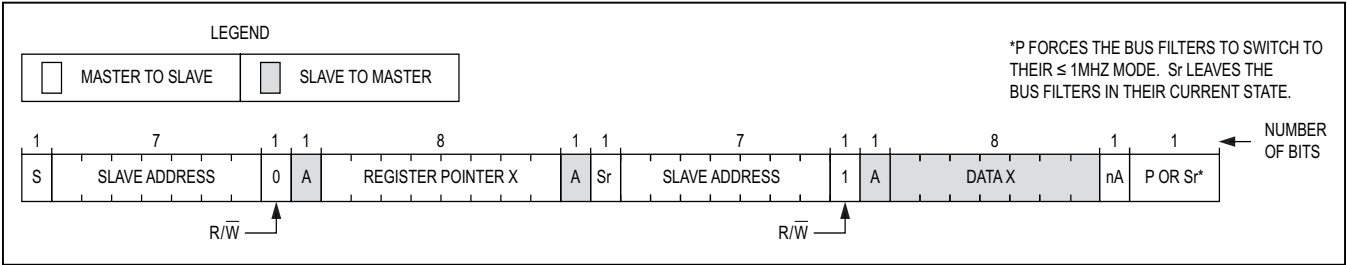


图12. 利用读字节协议读单个寄存器

9A、三相、降压型开关稳压器

连续读取寄存器

图13所示为读连续寄存器的协议，除主机发送应答，向从机表示要求更多数据外，该协议与读字节协议类似；当主机获得所需的全部数据时，发送非应答(nA)和stop (P)，结束传输。连续读取寄存器的协议如下：

- 1) 主机发送START (S)命令。
- 2) 主机发送7位从机地址和随后的写控制位($R/\overline{W} = 0$)。
- 3) 被寻址的从机通过拉低SDA进行应答(A)。
- 4) 主机发送一个8位寄存器指针。
- 5) 从机应答寄存器指针。
- 6) 主机发送start (Sr)命令。
- 7) 主机发送7位从机地址和随后的读控制位($R/\overline{W} = 1$)。读RTC计时寄存器时，在操作期间将计时寄存器数据装载至辅助缓冲器。

- 8) 被寻址的从机通过拉低SDA进行应答(A)。
- 9) 被寻址从机将寄存器指针指定位置的8位数据送至总线。
- 10) 主机发送应答(A)，向从机表示希望接收更多数据。
- 11) 重复步骤9至10，重复次数由主机决定。接收到最后一个数据字节后，主机必须发送非应答(nA)，表示希望停止接收数据。
- 12) 主机发送stop (P)条件或repeated start (Sr)条件。发送stop (P)条件确保总线输入滤波器设置为1MHz或较慢工作速度；发送Sr条件使总线输入滤波器保持当前状态。

注意，MAX8973A每次接收stop (P)时，其寄存器指针复位为0x00。如果在发送stop后读取寄存器0x00，可跳过以上步骤1至6。

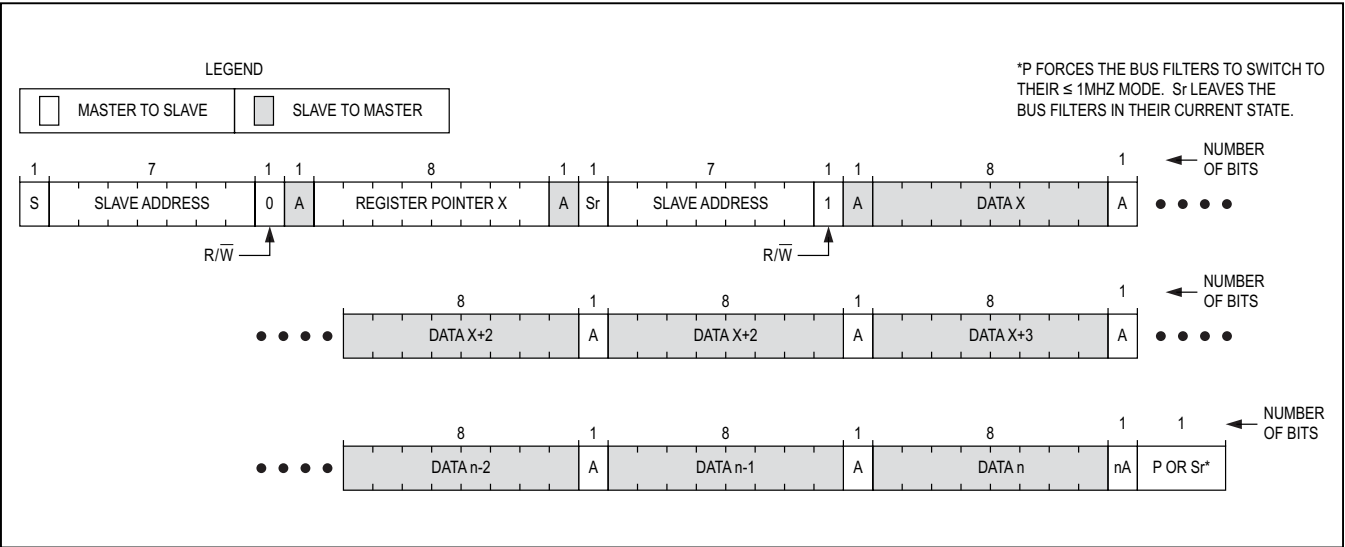


图13. 连续读取寄存器X至N

9A、三相、降压型开关稳压器

激活HS模式以工作在高达3.4MHz

图14所示为激活HS工作模式的协议。HS工作模式允许总线工作速度高达3.4MHz。激活HS模式的协议如下：

- 1) 从总线速度1MHz或更低总线速率开始协议。
- 2) 主机发送START (S)命令。
- 3) 主机发送8位主机编码0b0000 1XXX,其中0bXXX为无关位。
- 4) 被寻址从机发送非应答(nA)。
- 5) 现在，主机将其总线速度增大至高达3.4MHz并执行任意读/写操作。

主机可连续执行高速读/写操作，直到发送stop (P)。发送stop (P)条件确保总线输入滤波器设置为1MHz或较慢工作速度。

I²C看门狗定时器(WDTMR)

MAX8973A具有35ms看门狗定时器，当I²C总线挂起时，看门狗定时器复位I²C状态机。通过将CONTROL2寄存器的WDTMR位置1，使能I²C看门狗定时器。

使能I²C看门狗定时器时，I²C START命令触发定时器，SCL的下降沿清除I²C看门狗定时器，I²C STOP命令复位和禁止定时器。

元件选择

输入电容

MAX8973A的每相电路需要10μF输入旁路电容，每个输入电容必须尽量靠近器件安装。每个输入电容外形大小应为0603 (EIA)/1608(公制)或更大，以提供足够的有效电容，

并允许在输入电容下方布置LX走线。A相从INAB (焊球A5)旁路至PGAC (焊球B7和C7)，B相从INAB (焊球A4)旁路至PGB (焊球A1、B1和B2)，C相从INC (焊球D4和D5)旁路至PGAC(焊球B7和C7)。

输出电容

MAX8973A需要本地输出电容，以稳定转换器工作，并限制负载瞬变以及释放负载期间输出电压的跌落和上冲幅度。利用下式计算限制负载瞬变期间的电压跌落所需最小输出电容(每相)：

C_{OUT} ≥ (L × (I²_{STEP})) / (2 × V_{DROOP} × (V_{IN} - V_{OUT}))

式中，C_{OUT} = 每相有效输出电容，L = 每相电感，I_{STEP} = 每相负载瞬变，V_{DROOP} = 负载变化期间的电压跌落，V_{IN} = 输入电压，V_{OUT} = 输出电压。该式计算转换器速率无限高时，所需要的最小理论电容。对于大多数设计，每相的有效电容比计算值大50%应足够。

利用下式计算释放负载期间输出电压的上冲：

V_{SOAR} = (L × (I²_{STEP})) / (2 × C_{OUT} × V_{OUT})

无论负载变化多大，建议每相至少使用0805 (EIA)/2012 (公制)22μF X5R电容。可在负载点安装额外的输出电容，进一步改善瞬态响应。如果安装远端电容，确保总的本地输出电容至少为远端电容的2倍，确保MAX8973A的控制环路不受远端电容的影响。

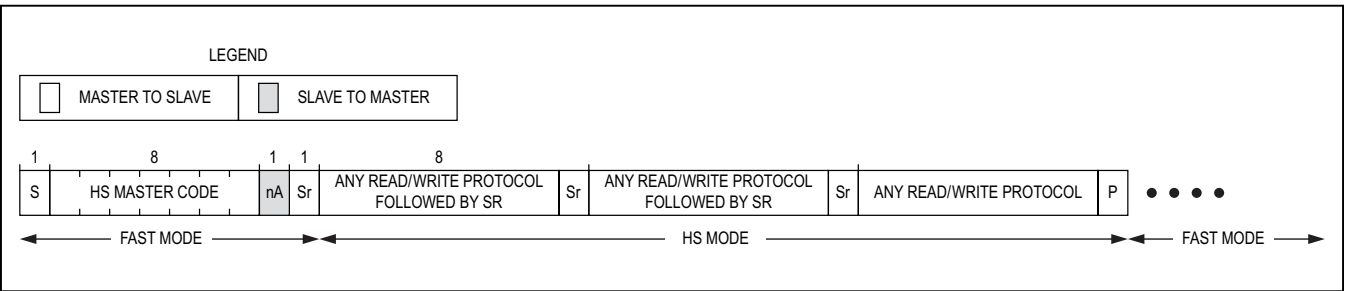


图14. 激活HS模式

9A、三相、降压型开关稳压器

电感

MAX8973A控制环路受电感值及其DCR的影响。每个版本的MAX8973A均有工厂针对特定的电感和DCR进行微调，其中DCR综合考虑了电感的DCR和电感至每相输出电容之间的引线阻抗。建议电感和DCR不要超出数据资料推荐值，表8所列每一版本MAX8973A的电感参数。关于推荐的电感列表，请参考MAX8973EV评估板。

MAX8973A不主动匹配电感电流。每相之间的电感电流匹配很大程度上取决于电感DCR的匹配程度。

还应该考虑电感的饱和电流以及温度升高时的电流额定值。确保电感的饱和电流额定值满足或超过Electrical Characteristics表中的峰值限流值的最大值。确保电感的温度升高电流额定值满足MAX8973A的最大预期RMS输出电流。

选型指南

表11. MAX8973_选型指南

PART NUMBER	PARAMETER							
	I _{OUT_MAX}	DEFAULT V _{OUT}	DEFAULT V _{OUT_DVS}	L _{IDEAL}	DCR	SOFT-START/STOP RAMP RATE	DVS SLEW RATE	I ² C SLAVE ADDRESS
MAX8973A	9A	1.0V	1.2V	0.68μH	27mΩ	20mV/μs	50mV/μs	0x36/0x37

寄存器

寄存器映射

REGISTER ADDRESS	REGISTER NAME	DEFAULT CONTENTS	BIT7 (MSB)	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0 (LSB)
0x00h	VOUT	0x3Fh	EN	VOUT[6:0]						
0x01h	VOUT_DVS	0xDFh	RSVD	VOUT_DVS[6:0]						
0x02h	CONTROL1	0x02h	SNSEN	FPWM_EN	FSR_EN	AD_EN	BIASEN	FREQ SHIFT	RAMP [1:0]	
0x03h	CONTROL2	0x1Dh	RSVD	WDTMR	ENPD_EN	RSVD	CKADV [1:0]		INDUCTOR [1:0]	
0x04h	CHIPID1	0x80h	DIETYPE[7:0]							
0x05h	CHIPID2	0x14h	DASH[3:0]				MASK REV[3:0]			

MAX8973A

9A、三相、降压型开关稳压器

寄存器详细说明

VOUT寄存器

寄存器名称	VOUT
地址	0x00h
复位值	MAX8973A: 0x3Fh
类型	读/写
特殊特性	V _{CC} UVLO或热关断时复位

位	名称	说明	默认值
7	EN	转换器使能(与EN引脚进行逻辑“或”操作) 0 = 转换器关闭 1 = 转换器打开	0b0
6:0	VOUT [6:0]	输出电压选择 0x00 = 0.60625V 0x01 = 0.61250V 0x0F = 0.70000V 0x1F = 0.80000V 0x3F = 1.00000V 0x47 = 1.05000V 0x5F = 1.20000V 0x7F = 1.40000V	0b011 1111 (1.0V) (MAX8973A)

VOUT_DVS寄存器

寄存器名称	VOUT_DVS
地址	0x01h
复位值	MAX8973A: 0xDFh
类型	读/写
特殊特性	V _{CC} UVLO或热关断时复位

位	名称	说明	默认值
7	RSVD	保留	0b1
6:0	VOUT_DVS [6:0]	输出电压选择 0x00 = 0.60625V 0x01 = 0.61250V 0x0F = 0.70000V 0x1F = 0.80000V 0x3F = 1.00000V 0x47 = 1.05000V 0x5F = 1.20000V 0x7F = 1.40000V	0b101 1111 (1.2V) (MAX8973A)

9A、三相、降压型开关稳压器

CONTROL1寄存器

寄存器名称	CONTROL1
地址	0x02h
复位值	MAX8973A: 0x02h
类型	读/写
特殊特性	V _{CC} UVLO或热关断时复位

位	名称	说明	默认值
7	SNS_EN	远端检测使能 0 = 禁止远端检测电路。 1 = 使能远端检测电路。	0b0
6	FPWM_EN	强制PWM模式使能 0 = 负载电流改变时，自动从跳脉冲模式转换为PWM模式。 1 = 所有负载条件下均强制为PWM模式。	0b0
5	$\overline{\text{FSR_EN}}$	逻辑低有效下降摆率使能 0 = 输出电压降低时，激活摆率控制电路。相应的调节电压以RAMP[1:0]设定的速率下降，使能强制PWM模式，所以可利用负向电感电流释放输出电容的能量。 1 = 输出电压下降时，禁止摆率控制电路。相应的调节电压以RAMP[1:0]设定的速率下降，但由外部负载释放输出电容的能量，以拉低输出电压。	0b0
4	AD_EN	输出主动放电使能 0 = EN为低电平时，禁止100Ω放电电阻。 1 = EN为低电平时，使能100Ω放电电阻。	0b0
3	BIASEN	使能降压稳压器偏置，以缩短输出电压开始缓变的延时。BIASEN位与BIASEN引脚进行逻辑“或”操作。 0 = 禁止降压转换器时，REF、BIAS等关断。启动延迟为240μs (典型值)。 1 = 禁止降压转换器时，REF、BIAS等打开。启动延迟为20μs (典型值)。	0b0
2	FREQSHIFT	频率偏移 0 = CCM和FPWM模式下，每相的开关频率为2MHz (典型值)。 1 = CCM和FPWM模式下，每相的开关频率为1.82MHz (典型值)。	0b0
1:0	RAMP[1:0]	摆率选择 00 = 设置启动/软启动摆率为20mV/μs，DVS摆率为12.5mV/μs。 01 = 设置启动/软启动摆率为20mV/μs，DVS摆率为25mV/μs。 10 = 设置启动/软启动摆率为20mV/μs，DVS摆率为50mV/μs。 11 = 设置启动/软启动摆率为200mV/μs，DVS摆率为200mV/μs。	0b10

9A、三相、降压型开关稳压器

CONTROL2寄存器

寄存器名称	CONTROL2
地址	0x03h
复位值	MAX8973A: 0x1Dh
类型	读/写
特殊特性	V _{CC} UVLO或热关断时复位

位	名称	说明	默认值
7	RSVD	保留	0b0
6	WDTMR	I ² C看门狗使能 0 = 禁止SCL看门狗定时器。 1 = 使能SCL看门狗定时器，周期为35ms。I ² C START (S)条件启动定时器，SCL下降沿清除看门狗定时器，I ² C STOP (P)条件停止和复位定时器。	0b0
5	ENPD_EN	逻辑低有效的EN下拉电阻使能 0 = 禁止EN与AGND之间的500kΩ下拉电阻。 1 = 使能EN与AGND之间的500kΩ下拉电阻。	0b0
4	RSVD	保留	0b1
3:2	CKADV[1:0]	增强瞬态响应使能和灵敏度选择 00 = 使能增强瞬态响应电路，设置为高灵敏度。75mV/μs输出摆率触发ETR响应。 01 = 使能增强瞬态响应电路，设置为低灵敏度。150mV/μs输出摆率触发ETR响应。 10 = 使能增强瞬态响应电路，设置为高灵敏度。75mV/μs输出摆率触发ETR响应。 11 = 禁止增强瞬态响应电路。	0b11
1:0	INDUCTOR [1:0]	斜率补偿调节及电感DCR检测的RCS增益 00 = 斜率补偿和RCS为：标称值-30% 01 = 标称值 10 = 斜率补偿和RCS为：标称值+30% 11 = 斜率补偿和RCS为：标称值+60%	0b01

CHIPID1寄存器

寄存器名称	CHIPID1
地址	0x04h
复位值	0x80h
类型	只读
特殊特性	只读

位	名称	说明	默认值
7:0	DIETYPE [7:0]	管芯类型	0b1000 0000

9A、三相、降压型开关稳压器

CHIPID2寄存器

寄存器名称	CHIPID2
地址	0x05h
复位值	0x14h
类型	只读
特殊特性	只读

位	名称	说明	默认值
7:4	DASH[3:0]	0001 = MAX8973A	0b0001
3:0	RSVD	保留	0b0100

PCB布局指南

MAX8973A WLP封装和焊球配置允许占据较小的总PCB面积，遵循以下的PCB布局建议可占用最小的PCB面积，使MAX8973A提供最佳性能。严谨的PCB布局对于抑制地电位波动和噪声至关重要。图15所示为MAX8973A关键电源元件的布局示例。图15中未显示的元件布局不是特别重要。MAX8973A评估板提供了完整的PCB布局实例。请参考以下电路布局指南，并参考应用笔记1891: 晶片级封装(WLP)及其应用(china.maximintegrated.com/ucsp) 布设MAX8973A PCB。

以下设计指南依重要程度由高到低列出：

- 1) CINA尽量靠近INAB和PGAC安装，CINB尽量靠近INAB和PGB安装，CINC尽量靠近INC和PGAC安装。当高边MOSFET导通时，每相的输入电容输出高di/dt电流脉冲。将电源输入走线中的寄生电感降至最小，以获得高效率和稳定性，这点至关重要。

- 2) 将每相输出电容GND端到该相输入电容GND端之间的走线长度降至最小，这将高边MOSFET导通时的电路环路面积降至最小。使所有敏感信号(例如反馈节点)位于这些电流环路之外，尽量进行隔离。
- 3) 将LX_至每相电感以及每相电感至每相输出电容之间的走线阻抗降至最小，这将每个电流环路的面积降至最小，以及将LX走线电阻和杂散电容降至最小，以实现最优效率。使所有敏感信号(例如反馈节点)位于这些电流环路之外，并远离LX开关电压，尽量进行隔离。
- 4) 在PCB第2层的电源元件以及承载高开关电流的焊球正下方布置PGND区域，这将减小承载高电流的走线中的寄生电感，并屏蔽PCB内存上的信号，避免受PCB顶层上开关波形的影响。
- 5) 将反馈端(OUT)连接至A相和C相的本地输出电容。至本地输出电容的OUT连接应尽量靠近MAX8973A布置，将连接负载的输出走线中的电压降的影响降至最小。

9A、三相、降压型开关稳压器

- 6) V_{CC} 旁路电容尽量靠近MAX8973A安装。如果该电容远离器件安装，耦合到 V_{CC} 的噪声可能干扰MAX8973A的基准和偏置电路。
- 7) 为 V_{CC} 和 V_{DD} 旁路电容布置一个小的独立AGND区域，在A相和C相输出电容之间，将该AGND区域连接至MAX8973A的A相和C相PGND区域。这将使本地反馈回路(OUT至AGND)检测输出电压的精度最高。
- 8) MAX8973A的每个焊球具有相当的散热能力。每个焊球尽量连接较多的金属，将与MAX8973A相关的 θ_{JA} 降至最小。
- 9) 将每相的电源输出在电源区域连接在一起，使用尽量多的过孔，将走线阻抗降至最小。

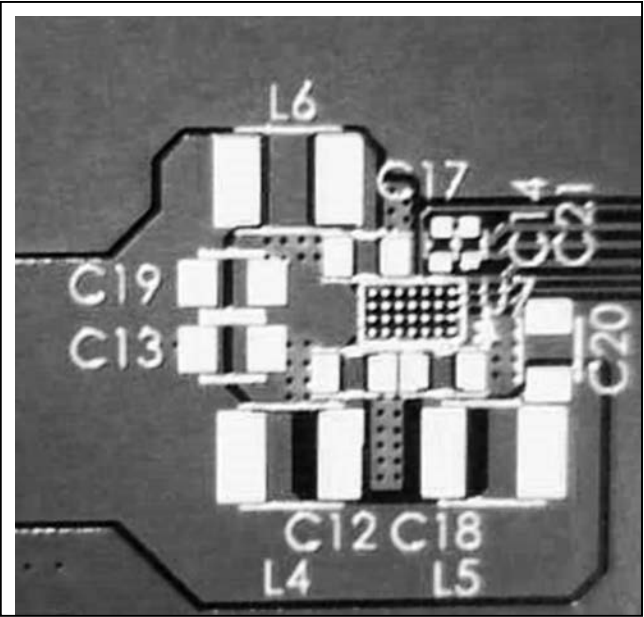
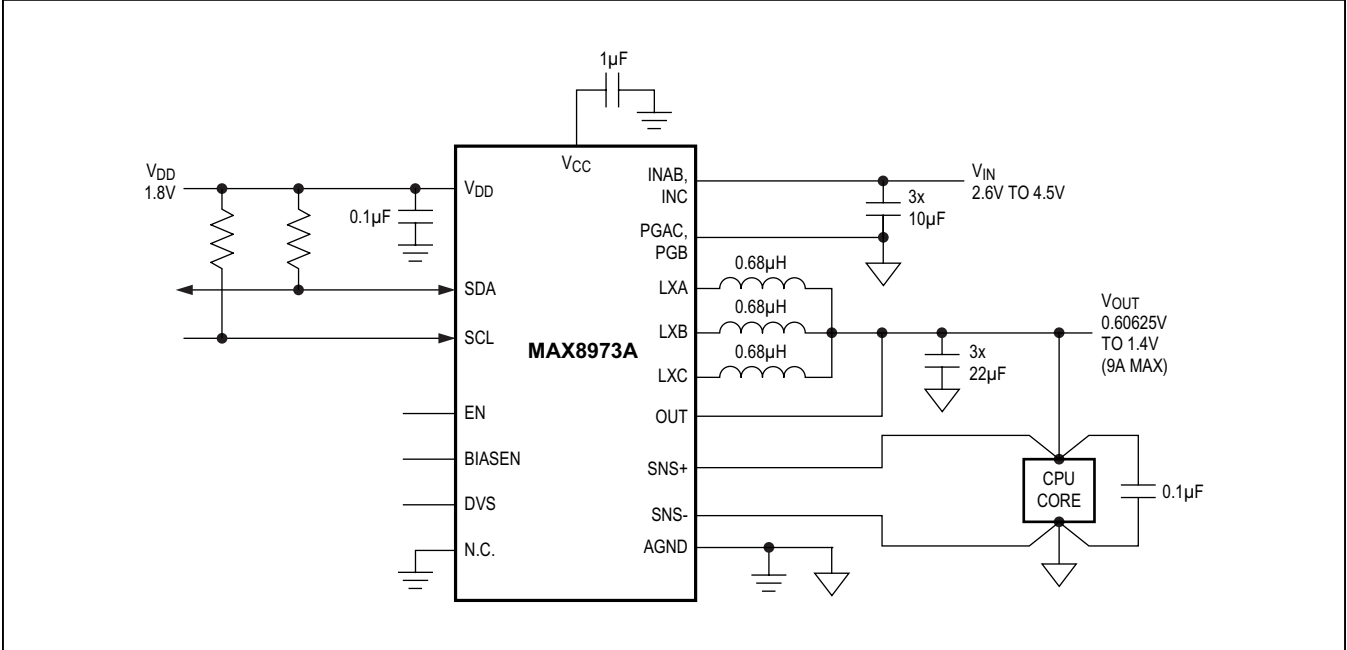


图15. MAX8973_ EVKIT布局建议

典型工作电路



9A、三相、降压型开关稳压器

定购信息

器件	默认V _{OUT}	I _{OUT,MAX}	引脚-封装
MAX8973AEWI+T	1.0V/1.2V	9A	28 WLP

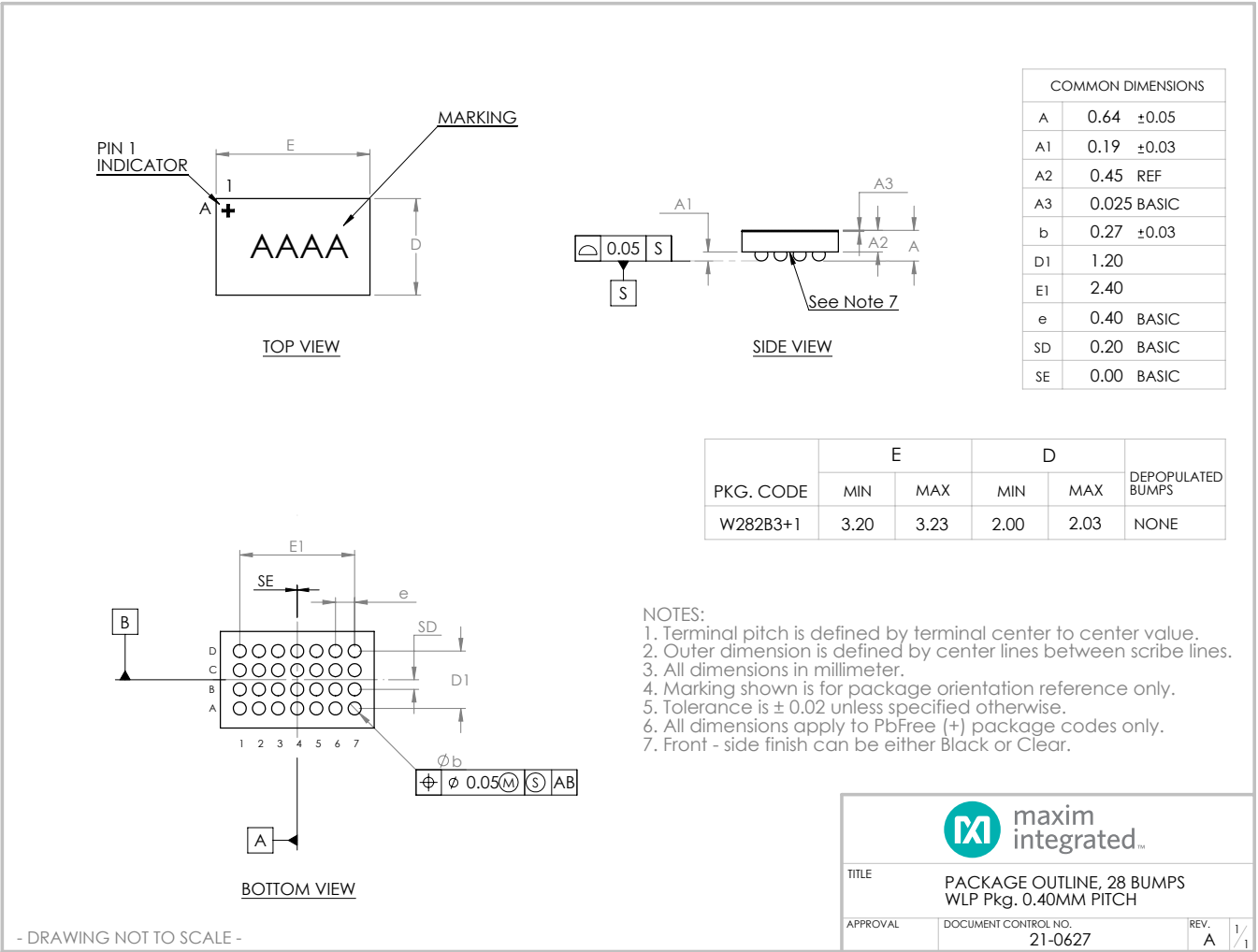
芯片信息

PROCESS: BiCMOS

封装信息

如需最近的封装外形信息和焊盘布局(占位面积)，请查询china.maximintegrated.com/packages。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
28 WLP	W282B3+1	21-0627	参见 应用笔记1891



MAX8973A

9A、三相、降压型开关稳压器

修订历史

修订号	修订日期	说明	修改页
0	2/13	最初版本。	—

Maxim北京办事处

北京8328信箱 邮政编码100083
免费电话: 800 810 0310
电话: 010-6211 5199
传真: 010-6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-10 00