

MAX7049

高性能、288MHz至945MHz ASK/FSK ISM发送器

概述

MAX7049高性能、单芯片、超低功耗ASK/FSK UHF发送器工作在288MHz至945MHz工业、科学和医学(ISM)载波频段。IC还包括一个低相位噪声N分频合成器，支持高精度调谐、快速变频，并可有效降低带外功率。为支持窄带应用，该IC还具有幅度整形和频率整形功能，方便用户优化频谱效率。IC提供高达+15dBm的Tx功率，非常适合远距离通信应用。

这款IC的其它系统级功能包括：内置数字温度传感器和多个灵活的GPO，可方便监测射频通信状态、控制外部功能。该IC配合一个低成本的微处理器控制单元(MCU)、一个晶体和少数无源元件，即可构成完整的发送器系统。

IC采用小尺寸5mm x 5mm、28引脚、带有裸焊盘的TQFN封装，工作在-40℃至+125℃汽车级温度范围。

应用

自动抄表(AMR)
RF模块
远程、单向遥控钥匙(RKE)
无线传感器网络
TPMS
家庭安全监控
家庭自动化
RFID
远端控制

优势和特性

- ◆ 发送器(Tx)
 - ◇ 功率高达+15dBm，支持远距离传输
 - ◇ Tx功率为+10dBm时，Tx电流为21mA*
 - ◇ Tx功率为+15dBm时，Tx电流为41mA*
 - ◇ ASK、FSK调制
- ◆ 通用特性
 - ◇ 延长电池寿命
 - 关断电流< 50nA
 - 休眠电流< 350nA
 - ◇ 减少了IC与MCU串行外设接口(SPI™)之间所需的I/O数量
 - ◇ 满足以下规范
 - FCC Part 15跳频
 - ETSI EN300-220
 - ◇ 内置温度传感器
 - ◇ 带有用户自定义外部环路滤波器的快速N分频合成器

* $V_{DD} = 3.0V$ ，包括匹配网络和谐波滤波器的功耗。

[订购信息](#)在数据资料的最后给出。

相关型号以及配合该器件使用的推荐产品，请参见：china.maxim-ic.com/MAX7049.related。

SPI是Motorola, Inc.的商标。

高性能、288MHz至945MHz ASK/FSK ISM发送器

目录

Absolute Maximum Ratings	5
DC Electrical Characteristics	5
AC Electrical Characteristics	6
典型工作特性	9
引脚配置	13
引脚说明	13
功能框图	15
详细说明	15
架构概述和应用电路	15
数字输入和输出	17
数字输入	17
数字输出	17
串行外设接口(SPI)	19
SPI命令	20
工作模式概述	21
休眠模式	22
温度检测模式	23
Tx模式	23
跳频扩谱(FHSS)工作原理	24
功能说明	24
晶振	24
N分频合成器	26
Tx ASK模式	26
频率整形Tx FSK模式	27
Tx脉冲FSK模式	29
环路带宽	29
锁定检测器	30
功率放大器	31
幅度整形Tx ASK模式	33
Tx FSK模式下的幅度缓变控制	34
寄存器详细说明	35
寄存器详细说明	37
布局考虑	49
订购信息	50
芯片信息	50
封装信息	50
修订历史	51

高性能、288MHz至945MHz ASK/FSK ISM发送器

图目录	
图1. SPI时序图.....	8
图2. 典型工作电路	16
图3. 数字输入	17
图4. 数字输出	18
图5. 数字输出选项	18
图6. SPI格式	20
图7. SPI写命令格式	20
图8. SPI读命令格式	21
图9. SPI全读命令格式.....	21
图10. SPI复位命令格式.....	21
图11. 工作模式	21
图12. Tx预热时序图	23
图13. 跳频扩谱(FHSS)流程图.....	24
图14. 推荐的晶振与IC连接.....	25
图15. N分频合成器配置Tx ASK模式	27
图16. Tx FSK模式设置	28
图17. Tx FSK频率整形时序图	28
图18. 合成器环路滤波器拓扑.....	30
图19. 锁定检测器延迟功能	30
图20. 功率放大器拓扑和信号摆幅优化	31
图21. Tx ASK模式设置.....	32
图22. ASK整形时序图	33
图23. Tx FSK幅度缓变控制	34
图24. Tx FSK幅度缓变控制时序图	35

表目录	
表1. 数字输入控制选项	17
表2. 模式控制逻辑	22
表3. 模式选项逻辑	22
表4. 休眠模式汇总	22
表5. 温度检测模式汇总	23
表6. 晶振分频器设置.....	25
表7. LO分频器模式	26
表8. Tx FSK脉冲模式下的倍频器	29
表9. PA设计示例	32

高性能、288MHz至945MHz ASK/FSK ISM发送器

表目录(续)

表10. 配置寄存器映射.....	35
表11. 第0组: 标识寄存器(Ident).....	37
表12. Ident寄存器(0x00).....	37
表13. 第1组: 通用配置寄存器(Conf0、Conf1).....	37
表14. Conf0寄存器(0x01).....	37
表15. Conf1寄存器(0x02).....	38
表16. 第2组: GPO、数据输出和时钟输出寄存器(IOConf0、IOConf1、IOConf2).....	38
表17. IOConf0寄存器(0x03).....	39
表18. IOConf1寄存器(0x04).....	40
表19. IOConf2寄存器(0x05).....	41
表20. 第3组: 合成器频率设置(FBase0、FBase1、FBase2、FLoad).....	41
表21. 合成器分频器设置.....	41
表22. 合成器设置.....	42
表23. 频率范围.....	42
表24. FBase0寄存器(0x08).....	42
表25. FBase1寄存器(0x09).....	42
表26. FBase2寄存器(0x0A).....	42
表27. FLoad (0x0B).....	42
表28. 第4组: 发送器幅度和定时参数(TxConf0、TxConf1、TxTstep).....	43
表29. TxConf0寄存器(0x0C).....	43
表30. TxConf1寄存器(0x0D).....	43
表31. TxTstep寄存器(0x0E).....	43
表32. 第5组: 发送器整形寄存器(Shape00–Shape18).....	44
表33. Shape00寄存器(0x0F).....	44
表34. Shape01–Shape18寄存器(0x10–0x21).....	45
表35. 第6组: 控制寄存器(TestMux、DataIn、EnableReg).....	45
表36. TestMux寄存器(0x3C).....	45
表37. DataIn寄存器(0x3D).....	46
表38. EnableReg寄存器(0x3E).....	46
表39. 第7组: 只读状态寄存器(TestBus0、TestBus1、Status0、Status1).....	46
表40. TestBus0寄存器(0x40).....	46
表41. 测试总线信号(tbus[15:8]).....	47
表42. TestBus1寄存器(0x41).....	47
表43. 测试总线信号(tbus[7:0]).....	48
表44. Status0寄存器(0x42).....	49
表45. Status1寄存器(0x43).....	49

高性能、288MHz至945MHz ASK/FSK ISM发送器

ABSOLUTE MAXIMUM RATINGS

PAVDD, LOVDD, VCOVDD, CPVDD, PLLVDD,
XOVDD, DVDD, and AVDD to EP -0.3V to +3.6V
ENABLE, DATAIN, SDI, SDO, $\overline{CS}$, SCLK,
GPO1, GPO2, HOP, and SHDN to EP . -0.3V to ($V_{DD} + 0.3V$)
All Other Pins to EP -0.3V to ($V_{DD} + 0.3V$)

Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)
TQFN (single-layer board)
(derate 21.3mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$) 1702.1mW
Operating Temperature Range -40°C to $+125^\circ\text{C}$
Storage Temperature Range -65°C to $+150^\circ\text{C}$
Lead Temperature (soldering, 10s) $+300^\circ\text{C}$
Soldering Temperature (reflow) $+260^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.



CAUTION! ESD SENSITIVE DEVICE

DC ELECTRICAL CHARACTERISTICS

(Figure 2, 50 Ω system impedance, $V_{DD} = +2.1V$ to $+3.6V$, $f_{RF} = 868\text{MHz}$, $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$, unless otherwise noted. Typical values are at $V_{DD} = +3.0V$, $T_A = +25^\circ\text{C}$, unless otherwise noted. All min and max values are 100% tested at $T_A = +125^\circ\text{C}$ and are guaranteed by design and characterization over temperature, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Supply Voltage	V _{DD}	PAVDD, LOVDD, VCOVDD, CPVDD, PLLVDD, XOVDD, DVDD, and AVDD connected to power supply		2.1	3.0	3.6	V
Operating Current	I _{DD}	PA off	f _{RF} = 315MHz	11.2		mA	
			f _{RF} = 434MHz	10.4			
			f _{RF} = 863MHz to 945MHz	10.2			
		PA off, PA predriver at high current setting	f _{RF} = 315MHz	13.2			
			f _{RF} = 434MHz	12.4			
			f _{RF} = 863MHz to 945MHz	12.2			
		P _{OUT} = +15dBm	868MHz +15dBm matching network with harmonic filter	41			
		P _{OUT} = +10dBm	868MHz +10dBm matching network with harmonic filter	21			
Shutdown Current		T _A = +25°C, Sleep mode		350		nA	
		T _A = +85°C, Sleep mode		600			
		T _A = +125°C, Sleep mode		1700	4000		
		T _A = +25°C, Shutdown mode (registers reset)		50			
		T _A = +85°C, Shutdown mode (registers reset)		200			
		T _A = +125°C, Shutdown mode (registers reset)		1300	3500		
Input Low Voltage	V _{IL}			0.2 x V _{DD}			V
Input High Voltage	V _{IH}			0.8 x V _{DD}			

高性能、288MHz至945MHz ASK/FSK ISM发送器

DC ELECTRICAL CHARACTERISTICS (continued)

(Figure 2, 50Ω system impedance, $V_{DD} = +2.1V$ to $+3.6V$, $f_{RF} = 868MHz$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $V_{DD} = +3.0V$, $T_A = +25^{\circ}C$, unless otherwise noted. All min and max values are 100% tested at $T_A = +125^{\circ}C$ and are guaranteed by design and characterization over temperature, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Pulldown Sink Current				12.5		μA
Pullup Source Current				12.5		
Output Low Voltage	V_{OL}	In buffer mode, GPO1 250μA sink current, SDO 1mA sink current, and GPO2 4mA sink current		0.225		V
Output High Voltage	V_{OH}	In buffer mode, GPO1 250μA source current, SDO 1mA source current, and GPO2 4mA source current		$V_{DD} - 0.225$		

AC ELECTRICAL CHARACTERISTICS

(Figure 2, 50Ω system impedance, $V_{DD} = +2.1V$ to $+3.6V$, $f_{RF} = 868MHz$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $V_{DD} = +3.0V$, $T_A = +25^{\circ}C$, unless otherwise noted. All min and max values are 100% tested at $T_A = +125^{\circ}C$ and are guaranteed by design and characterization over temperature, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
GENERAL CHARACTERISTICS						
Operating Frequency		Divide-by-1 LO divider setting	863	945	MHz	
		Divide-by-2 LO divider setting	431.5	472.5		
		Divide-by-3 LO divider setting	287.7	315		
Maximum Data Rate		Manchester encoded	100	kbps		
		NRZ encoded	200			
Maximum Frequency Deviation		100kHz synthesizer loop bandwidth	±150	kHz		
Frequency Settling Time	t _{ON}	From Enable low-to-high transition to LO within 5kHz of final value, 100kHz synthesizer loop bandwidth	330	μs		
		From Enable low-to-high transition to LO within 1kHz of final value, 100kHz synthesizer loop bandwidth	400			
POWER AMPLIFIER						
Maximum Output Power	P _{MAX}	Match to 50Ω, including harmonic filter	+15	dBm		
Programmable PA Bias Current Step		With ±1% 56.2kΩ external PA reference current setting resistor	0.5	mA		
Programmable PA Power Dynamic Range		Power range from decimal 1 to decimal 63 on digital PA bias current	36	dB		
Modulation Depth		With respect to +10dBm output power	57	dB		
Maximum Carrier Harmonics		With output matching network	-50	dBc		

高性能、288MHz至945MHz ASK/FSK ISM发送器

AC ELECTRICAL CHARACTERISTICS (continued)

(Figure 2, 50Ω system impedance, $V_{DD} = +2.1V$ to $+3.6V$, $f_{RF} = 868MHz$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $V_{DD} = +3.0V$, $T_A = +25^{\circ}C$, unless otherwise noted. All min and max values are 100% tested at $T_A = +125^{\circ}C$ and are guaranteed by design and characterization over temperature, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
FRACTIONAL-N SYNTHESIZER						
VCO Gain	K_{VCO}	Referenced to 863MHz to 945MHz LO		108		MHz/V
Close-In Phase Noise		10kHz offset, 100kHz loop BW		-101		dBc/Hz
VCO Phase Noise		1MHz offset, 863MHz to 945MHz		-126		dBc/Hz
Charge-Pump Current	I_{CP}	$V_{OUT} = V_{CPVDD}/2$, low setting (icont bit = 0)		204		μA
		$V_{OUT} = V_{CPVDD}/2$, high setting (icont bit = 1)		407		μA
LO Divider Settings				1		
				2		
				3		
Minimum Synthesizer Frequency Step		Referenced to 863MHz to 945MHz LO or carrier frequency band		$f_{XTAL}/2^{16}$		Hz
Reference Spur				-71		dBc
Frequency Switching Time		26MHz frequency step, 902MHz to 928MHz band, 100kHz synthesizer loop bandwidth		48		μs
Reference Frequency Input Level				1		V_{P-P}
ADC						
Resolution				7		Bits
LSB Bit Width				7.25		mV
CRYSTAL OSCILLATOR						
Crystal Frequency	f_{XTAL}			16 to 22.4		MHz
Frequency Pulling by V_{DD}				0.5		ppm/V
Recommended Crystal Load Capacitance				10		pF
Maximum Crystal Load Capacitance				20		
TEMPERATURE SENSOR						
Range				-40 to +125		$^{\circ}C$
Digital Code Slope				2		$^{\circ}C/LSB$
SPI TIMING CHARACTERISTICS (Figure 1)						
Minimum SCLK Low to Falling Edge of $\overline{CS}$ Setup Time	t_{SC}			20		ns
Minimum $\overline{CS}$ Low to Rising Edge of SCLK Setup Time	t_{CSS}			30		ns

高性能、288MHz至945MHz ASK/FSK ISM发送器

AC ELECTRICAL CHARACTERISTICS (continued)

(Figure 2, 50Ω system impedance, $V_{DD} = +2.1V$ to $+3.6V$, $f_{RF} = 868MHz$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $V_{DD} = +3.0V$, $T_A = +25^{\circ}C$, unless otherwise noted. All min and max values are 100% tested at $T_A = +125^{\circ}C$ and are guaranteed by design and characterization over temperature, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Minimum SCLK Low to Rising Edge of $\overline{CS}$ Setup Time	t_{HCS}			30		ns
Minimum SCLK Low after Rising Edge of $\overline{CS}$ Hold Time	t_{HS}			20		ns
Minimum Data Valid to SCLK Rising-Edge Setup Time	t_{DS}			15		ns
Minimum Data Valid to SCLK Rising-Edge Hold Time	t_{DH}			10		ns
Minimum SCLK High Pulse Width	t_{CH}			30		ns
Minimum SCLK Low Pulse Width	t_{CL}			30		ns
Minimum $\overline{CS}$ High Pulse Width	t_{CSH}			30		ns
Maximum Transition Time from Falling Edge of $\overline{CS}$ to Valid SDO	t_{CSG}	$C_L = 10pF$ load capacitance from SDO to GND		20		ns
Maximum Transition Time from Falling Edge of SCLK to Valid SDO	t_{CG}	$C_L = 10pF$ load capacitance from SDO to GND		20		ns

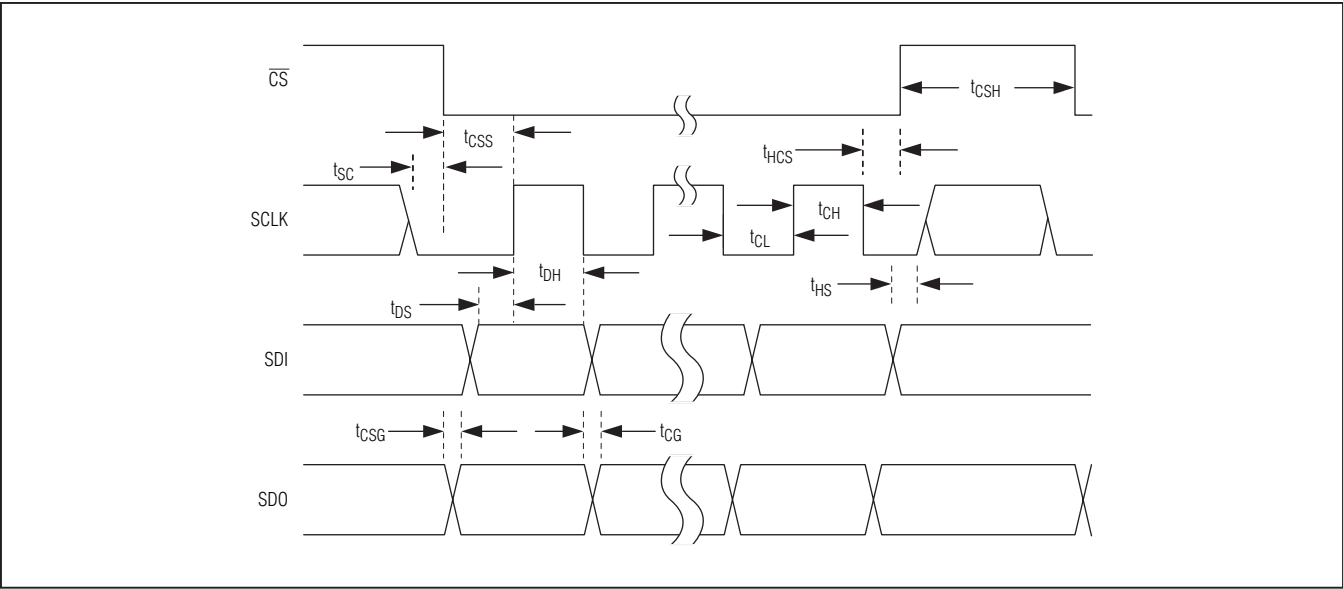
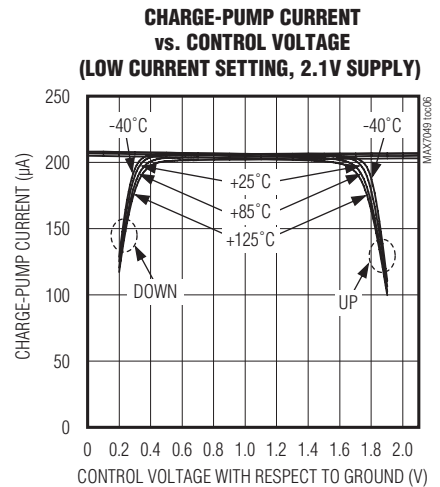
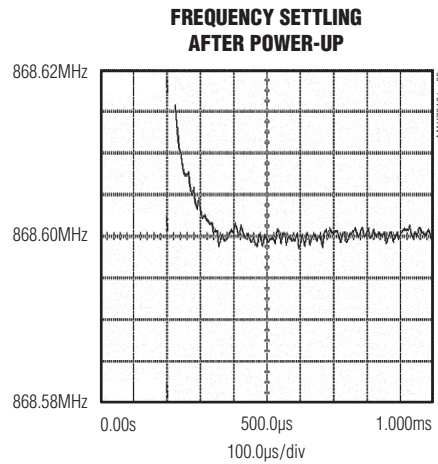
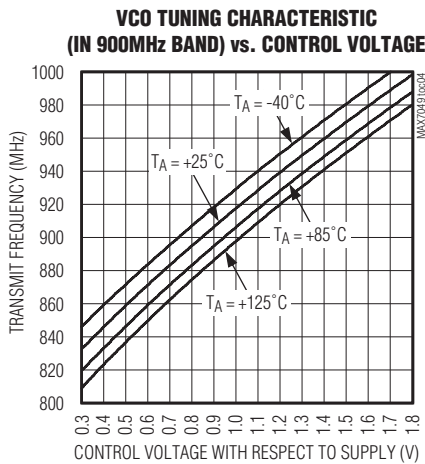
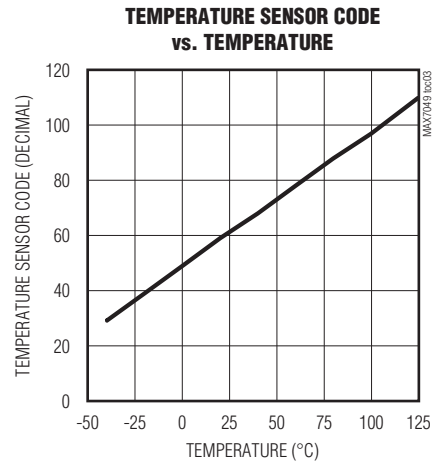
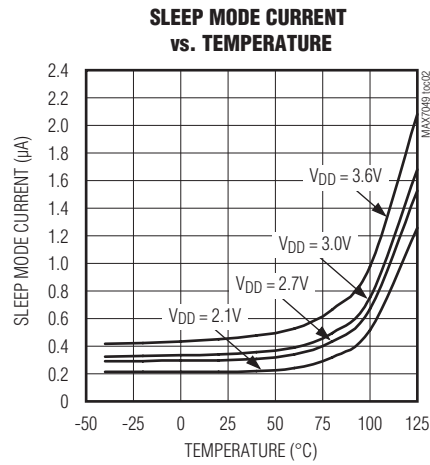
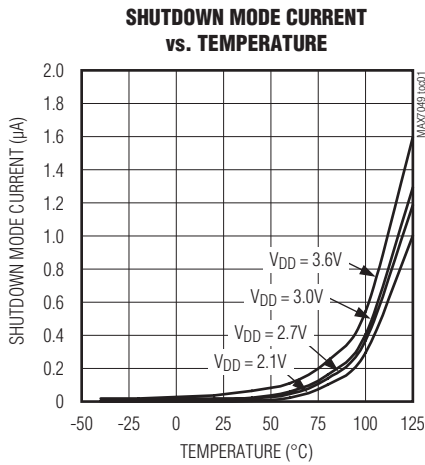


图1. SPI时序图

高性能、288MHz至945MHz ASK/FSK ISM发送器

典型工作特性

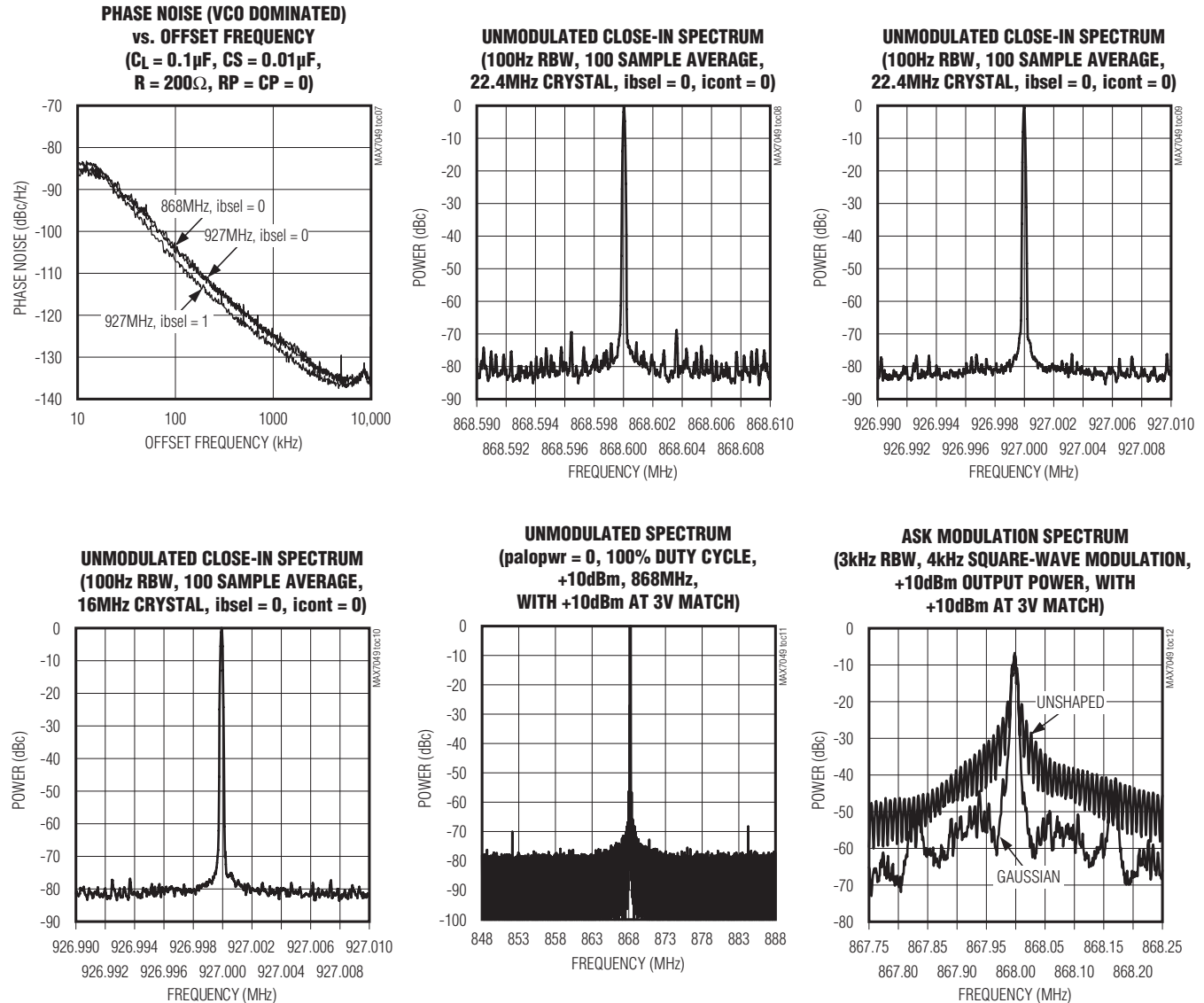
(Figure 2, 50Ω system impedance, $V_{DD} = +2.1V$ to $+3.6V$, $f_{RF} = 288MHz$ to $945MHz$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $V_{DD} = +3.0V$, $T_A = +25^{\circ}C$, unless otherwise noted.)



高性能、288MHz至945MHz ASK/FSK ISM发送器

典型工作特性(续)

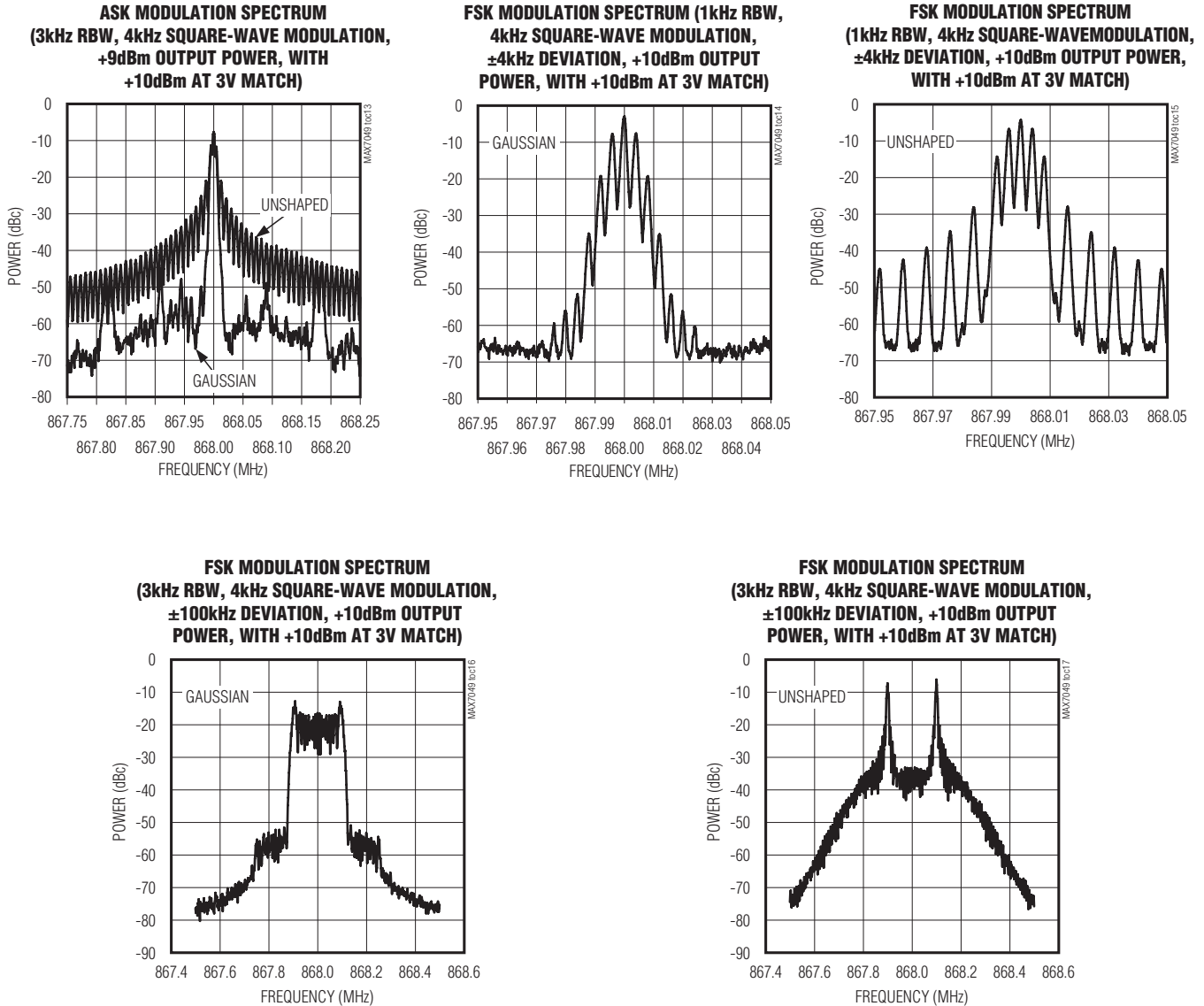
(Figure 2, 50 Ω system impedance, $V_{DD} = +2.1V$ to $+3.6V$, $f_{RF} = 288MHz$ to $945MHz$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $V_{DD} = +3.0V$, $T_A = +25^{\circ}C$, unless otherwise noted.)



高性能、288MHz至945MHz ASK/FSK ISM发送器

典型工作特性(续)

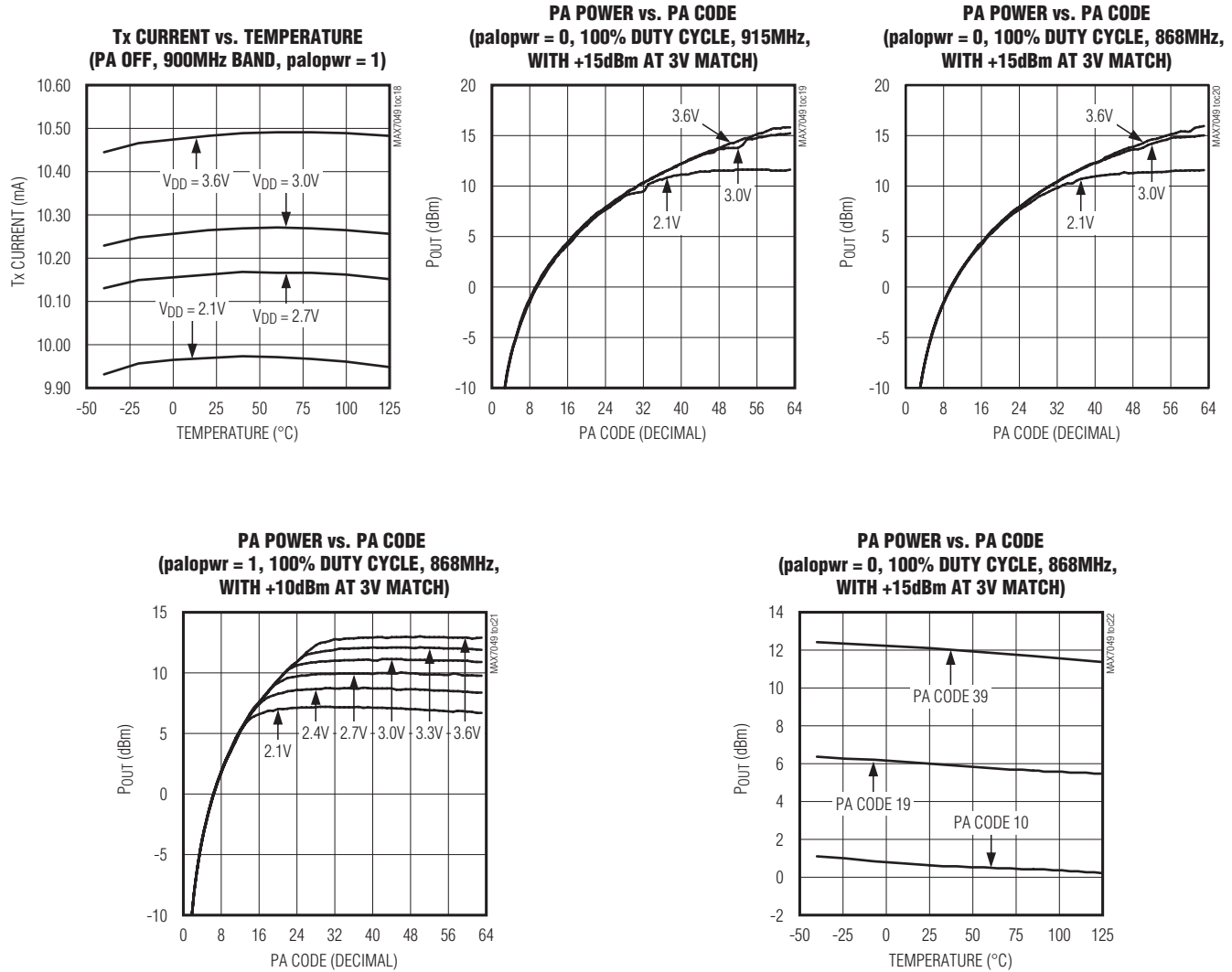
(Figure 2, 50 Ω system impedance, $V_{DD} = +2.1V$ to $+3.6V$, $f_{RF} = 288MHz$ to $945MHz$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $V_{DD} = +3.0V$, $T_A = +25^{\circ}C$, unless otherwise noted.)



高性能、288MHz至945MHz ASK/FSK ISM发送器

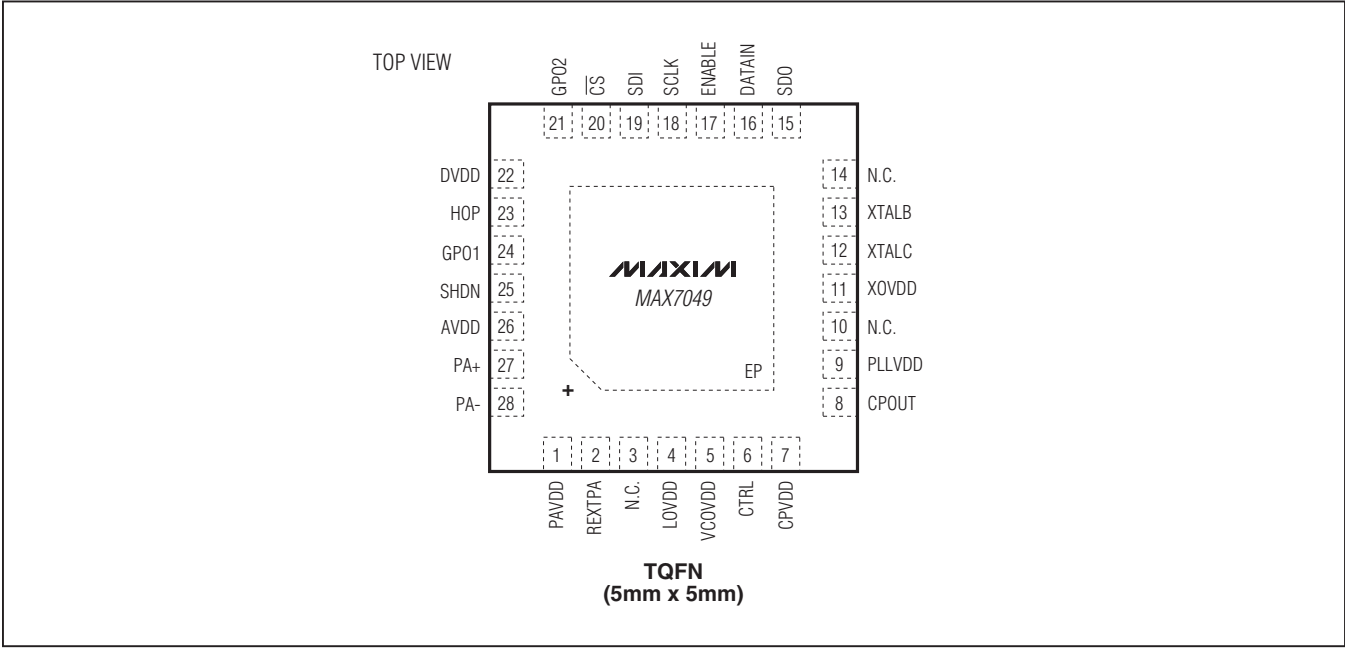
典型工作特性(续)

(Figure 2, 50Ω system impedance, $V_{DD} = +2.1V$ to $+3.6V$, $f_{RF} = 288MHz$ to $945MHz$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $V_{DD} = +3.0V$, $T_A = +25^{\circ}C$, unless otherwise noted.)



高性能、288MHz至945MHz ASK/FSK ISM发送器

引脚配置



引脚说明

引脚	名称	功能
1	PAVDD	功率放大器电源输入。利用33pF电容旁路至地，电容尽量靠近引脚放置。
2	REXTPA	外部PA偏置电流设置电阻的连接端。通过±1%容限、低温度系数电阻耦合至地。建议采用56.2kΩ电阻，将PA偏置电流DAC的LSB标称值设置在0.5mA。
3, 10, 14	N.C.	无连接，保持浮空。
4	LOVDD	本地振荡器(LO)电源输入。利用33pF电容旁路至地，电容尽量靠近引脚放置。
5	VCOVDD	压控振荡器(VCO)电源。利用1μF电容旁路至地，电容尽量靠近引脚放置。
6	CTRL	VCO输入控制(调谐)电压，以VCOVDD引脚为参考。通过无源环路滤波器连接至CPOUT。
7	CPVDD	电荷泵电源输入。利用0.01μF电容旁路至地，电容尽量靠近引脚放置。
8	CPOUT	电荷泵输出。通过无源环路滤波器连接至CTRL。
9	PLLVDD	合成器电源输入。利用33pF电容旁路至地，电容尽量靠近引脚放置。
11	XOVDD	晶振电源输入。利用0.1μF电容旁路至地，电容尽量靠近引脚放置。

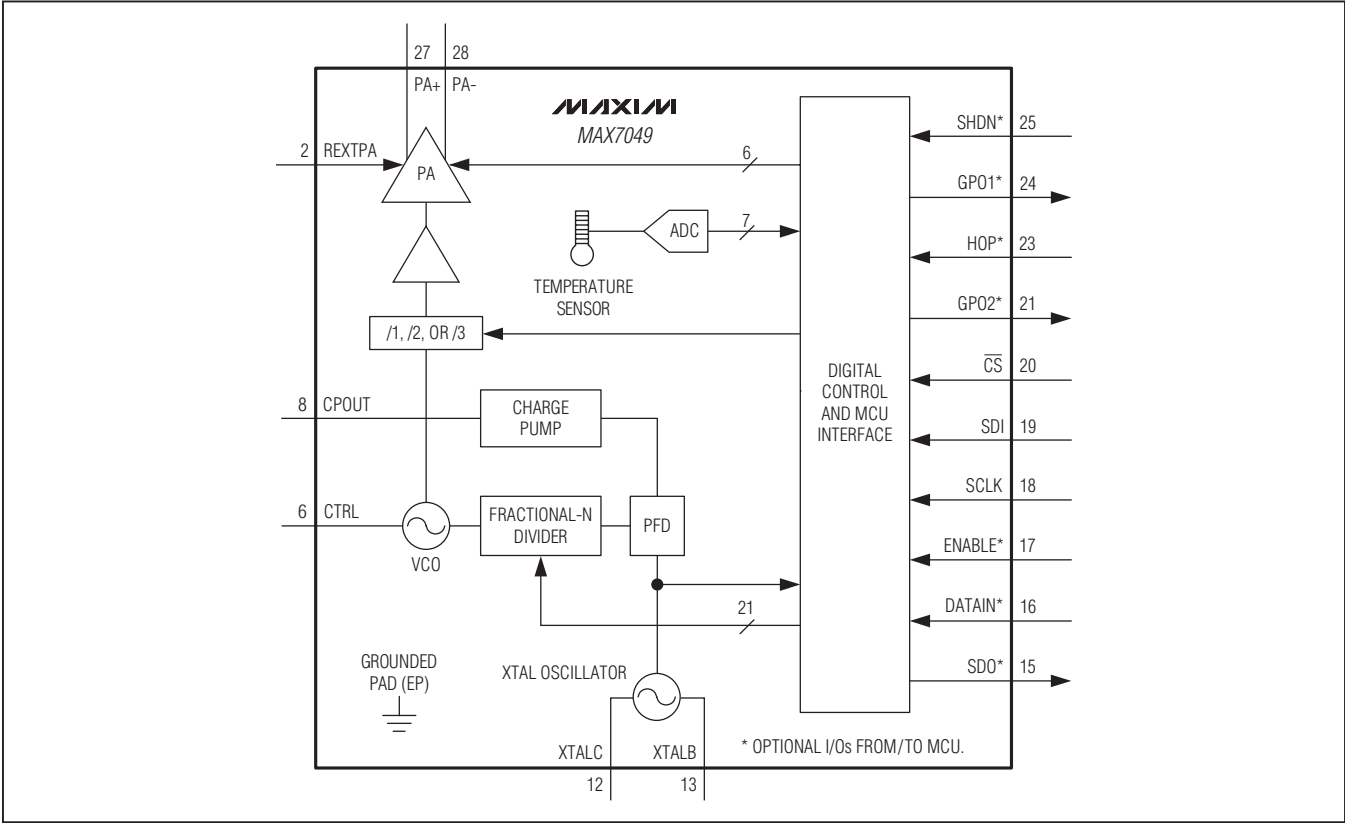
高性能、288MHz至945MHz ASK/FSK ISM发送器

引脚说明(续)

引脚	名称	功能
12	XTALC	集电极晶振输入，直接或通过交流耦合电容连接到晶体。该引脚可能需要与地之间连接电容，具体取决于晶振负载电容和PCB杂散电容。也可以由信号摆幅为0.8V _{P-P} 至1.2V _{P-P} 、交流耦合的外部参考时钟驱动。
13	XTALB	基极晶振输入，直接或通过交流耦合电容连接到晶体。该引脚可能需要与地之间连接电容，具体取决于晶振负载电容和PCB杂散电容。如果XTALC由外部参考时钟驱动，该引脚必须直流短路至地。
15	SDO	串行外设接口(SPI)数据输出，也可配置为通用数字输出。
16	DATAIN	发送器数据输入，也可由SPI控制数据输入功能。内部下拉至地。
17	ENABLE	使能控制。驱动为高电平时正常工作；驱动为低电平或浮空时，器件置于休眠模式。使能控制也可以由SPI控制，内部下拉至地。
18	SCLK	SPI时钟，内部下拉至地。
19	SDI	SPI数据输入，内部下拉至地。
20	$\overline{CS}$	SPI低电平有效片选，内部上拉至电源。
21	GPO2	通用输出2，具有高驱动能力的数字通用输出。
22	DVDD	数字电源输入，利用0.1μF电容旁路至地，电容尽量靠近引脚放置。
23	HOP	跳频引脚，将base[20:0]位传送到N分频器，参见 N分频合成器 部分。跳频功能也可由SPI控制，内部下拉至地。
24	GPO1	通用输出1，低驱动数字通用输出。
25	SHDN	关断控制数字输入。驱动为高电平时，关断内部上电复位(POR)电路，寄存器内容保持在初始状态。正常工作时必须将该引脚驱动至低电平。内部没有拉至电源或地。
26	AVDD	模拟电源输入，利用1μF电容旁路至地，电容尽量靠近引脚放置。
27	PA+	功率放大器(PA)输出正端。需要通过电感通路提供直流供电回路，直流电流通路也是输出阻抗匹配和谐波滤波器网络的一部分。
28	PA-	功率放大器(PA)输出负端。需要通过电感通路提供直流供电回路，直流电流通路也是输出阻抗匹配和谐波滤波器网络的一部分。
—	EP	裸焊盘，这是唯一的接地点。为了保证器件正常工作，将该焊盘牢固地焊接到PCB的接地区域。建议在焊盘与PCB接地区域之间采用多个过孔。

高性能、288MHz至945MHz ASK/FSK ISM发送器

功能框图



详细说明

架构概述和应用电路

MAX7049内部集成了一个高精度本振N分频合成器，包括VCO、N分频器、鉴相/鉴频器、电荷泵、LO驱动器和锁定检测器。环路滤波器位于片外，允许用户针对具体应用优化合成器的噪声和瞬态特性。FSK发送模式下，合成器根据DATAIN引脚或datain位(Datain寄存器，0x3D，第6位)的状态发送高电平信号(mark)频率和低电平信号(space)频率。用户可编程的频率整形功能帮助用户精确定义从高电平信号频率到低电平信号频率(或反方向)的转换，使得调制后的Tx波形占用最小带宽。

IC采用差分发射极耦合、双集电极开路功率放大器发送输出信号。输出级偏置电流由外部电阻和内部幅度整形电路共同设置。可编程整形功能使得用户能够根据DATAIN引脚或datain位的状态精确定义载波信号的开、启(或反方向)转换过程，从而将调制后的Tx信号占用带宽降至最小。当PA开启突发数据或结束突发数据关闭时，FSK模式采用线性调节幅度缓变功能，以限制频谱范围。

IC配合低端MCU、晶振和少数用于电源旁路、射频匹配的无源元件即可构成完整的发送器，如图2所示。

MCU与IC之间的通信通过4引脚SPI总线和可以选择的数字输入、输出实现。

高性能、288MHz至945MHz ASK/FSK ISM发送器

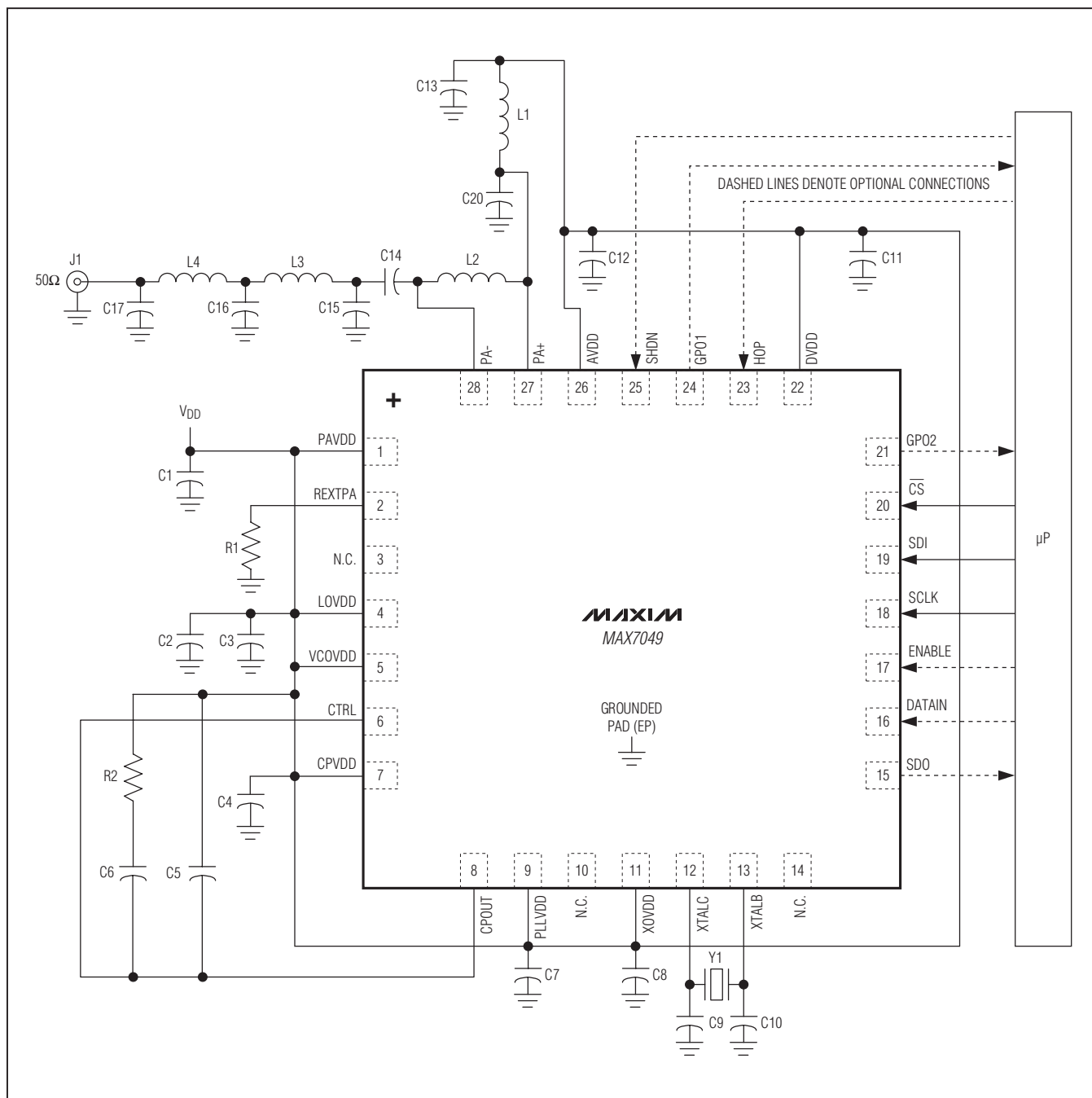


图2. 典型工作电路

高性能、288MHz至945MHz ASK/FSK ISM发送器

数字输入和输出

数字输入

IC的SPI输入包括： $\overline{CS}$ 、SCLK和SDI引脚。 $\overline{CS}$ 引脚为低电平有效，该引脚带有内部上拉；SCLK和SDI引脚带有内部下拉。除SPI输入外，还提供多个IC数字输入选项，包括：DATAIN、ENABLE和HOP。这些可选输入在内部下拉至地电位，用户在控制内部信号时，可以选择把引脚驱动到相应的逻辑电平或将控制位设置到相应状态，如图3所示。

SPI控制将IC和MCU之间所需的I/O数量降至最少，引脚控制位可以节省与SPI通信有关的配置任务。

数字输出

IC具有两路专用的通用输出(GPO1和GPO2)、一路SPI输出(SDO)， $\overline{CS}$ 为高电平时，SPI输出还可作为通用输出。GPO1、GPO2和SDO引脚可配置输出不同的内部状态信号和时钟，如图4所示。

输出(GPO1和GPO2)引脚既可作为数字缓冲器，也可作为源出/吸入的限流输出，如图5所示。

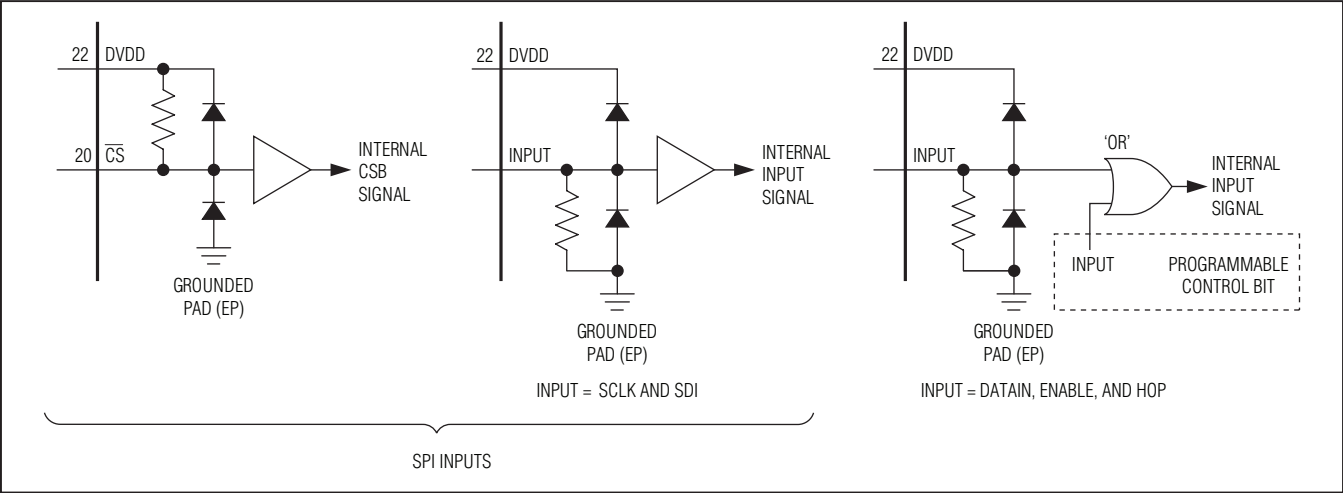


图3. 数字输入

表1. 数字输入控制选项

PIN	BIT NAME	REGISTER NAME	REGISTER ADDRESS (hex)	BIT LOCATION (7:0)	FUNCTION
DATAIN	datain	Datain	0x3D	6	Data input to transmitter.
ENABLE	enable	EnableReg	0x3E	0	Enable input for transmitter.
HOP	hop	FLoad	0x0B	0	Initiates the transition to the next frequency as defined by base[20:0].

高性能、288MHz至945MHz ASK/FSK ISM发送器

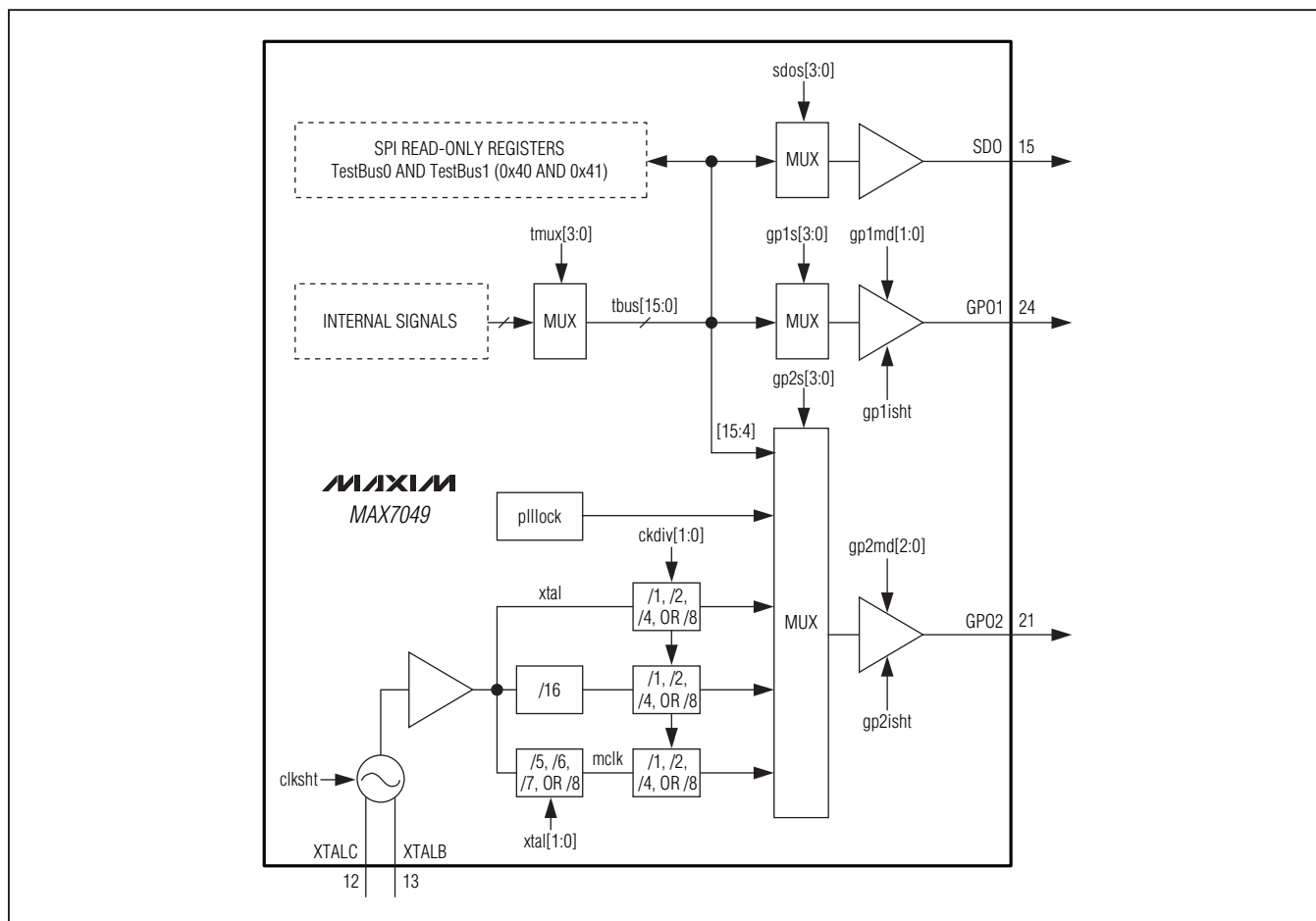


图4. 数字输出

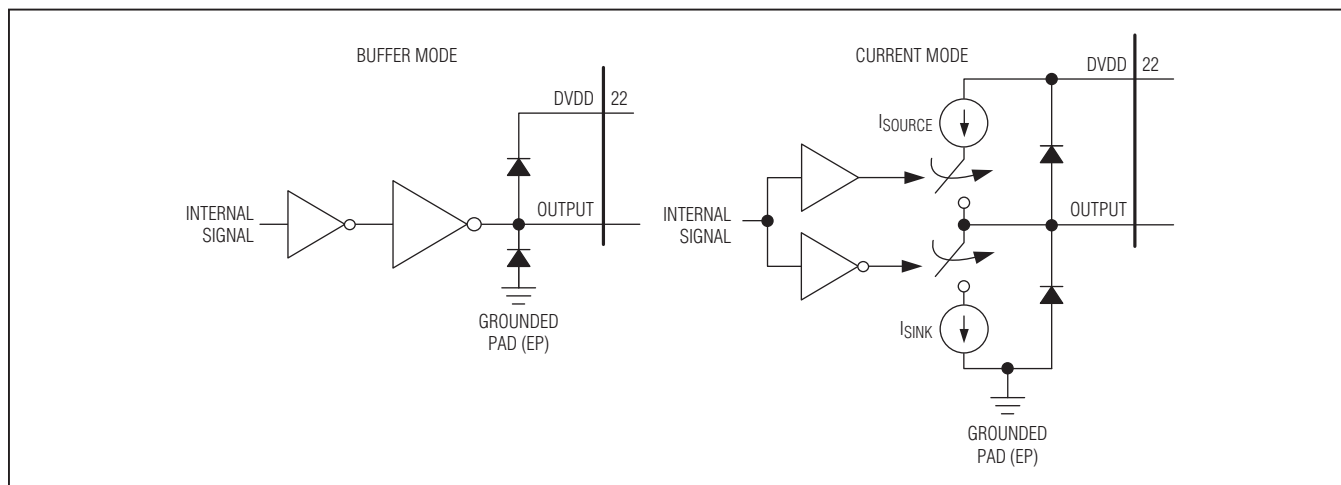


图5. 数字输出选项

高性能、288MHz至945MHz ASK/FSK ISM发送器

电流工作模式能够降低与电源电流尖峰相关的数字噪声，GPO1引脚的电流驱动能力相对较弱(80 μ A或160 μ A)，由IOConf2寄存器(0x05) (gp1md[1:0]位)控制电流设置：

gp1md[1:0]	模式
0x	缓冲模式
10	80 μ A吸入/源出电流
11	160 μ A吸入/源出电流

GPO2具有较大的电流驱动(高达4mA)，该GPO可用作输出时钟信号源。IOConf2寄存器(0x05) (gp2md[2:0]位)控制电流设置：

gp2md[2:0]	模式
0xx	缓冲模式
100	1.0mA吸入/源出电流
101	2.0mA吸入/源出电流
110	3.0mA吸入/源出电流
111	4.0mA吸入/源出电流

其它2位也用于控制GPO1和GPO2，IOConf0寄存器(0x03) (gp1isht和gp2isht位)允许继续工作在电流模式，即使关闭IC (休眠模式)。

GPO2引脚设计用于时钟驱动的主输出，具有最强的缓冲能力，可输出最大电流。

GPO2时钟信号可由gp2s[3:0]和ckdiv[1:0]位(IOConf0寄存器，0x03)选择。

gp2s[3:0]	GPO2输出
0000	plllock
0001	mclk/(ckdiv分频器)
0010	xtal/(ckdiv分频器)
0011	xtal/16/(ckdiv分频器)

其中ckdiv分频器为：

ckdiv[1:0]	分频比
00	1
01	2
10	4
11	8

xtal为晶振频率，mclk为主控制器数字时钟。主控制器数字时钟是由xtal[1:0]位(Conf0寄存器，0x01)设置分频的晶振频率，设置如下：

xtal[1:0]	分频比
00	5
01	6
10	7
11	8

如果在IC处于休眠模式(ENABLE引脚和使能位复位至0)时仍需保持有效的GPO2时钟输出，则将SHDN引脚复位至0，clksht位(IOConf2寄存器，0x05，第3位)必须置1。

GPO非常有用的一个功能是输出状态指示，可及时反映特定条件下的发送器状态。关于TestBus0和TestBus1寄存器的状态信号说明，请参考[寄存器详细说明](#)部分。

串行外设接口(SPI)

IC按照4线SPI协议设置寄存器，配置、控制整个发送器的工作。

以下数字引脚控制SPI工作：

$\overline{\text{CS}}$: 低电平有效的SPI片选

SDI: SPI数据输入

SCLK: SPI串行时钟

SDO: SPI数据输出

SPI采用字节格式通信，如[图6](#)所示。

在一个 $\overline{\text{CS}}$ 低电平周期内，可发送任意数量的8位数据(Data 1、Data 2、... Data N)，允许进行突发写操作和突发读操作。 $\overline{\text{CS}}$ 引脚为高电平时，SDO引脚用作通用输出(GPO)。

高性能、288MHz至945MHz ASK/FSK ISM发送器

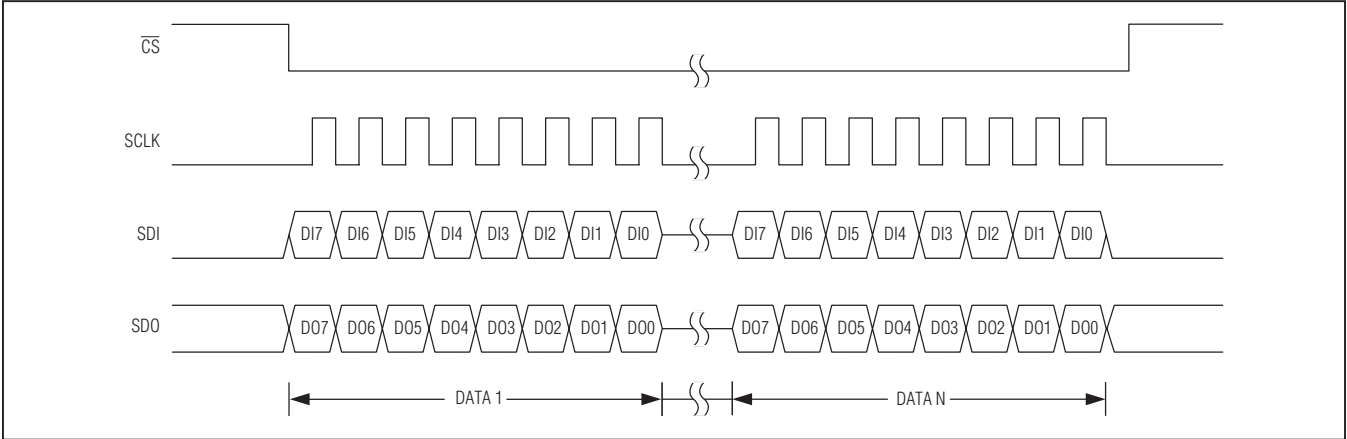


图6. SPI格式

SPI命令

IC支持以下命令：

Write: 在同一 $\overline{CS}$ 周期内，写命令操作如下：

SDI: $\langle 0x01 \rangle$ $\langle \text{Initial Address} \rangle$ $\langle \text{Data 1} \rangle$ $\langle \text{Data 2} \rangle$... $\langle \text{Data N} \rangle$

利用该命令，将Data 1写入 $\langle \text{Initial Address} \rangle$ 指定的地址，Data 2写入 $\langle \text{Initial Address} + 1 \rangle$ 指定的地址，依此类推。

Read: 在同一 $\overline{CS}$ 周期内，读命令操作如下：

SDI: $\langle 0x02 \rangle$ $\langle \text{Address 1} \rangle$ $\langle \text{Address 2} \rangle$ $\langle \text{Address 3} \rangle$... $\langle \text{Address N} \rangle$ $\langle 0x00 \rangle$

SDO: $\langle 0xXX \rangle$ $\langle 0xXX \rangle$ $\langle \text{Data 1} \rangle$ $\langle \text{Data 2} \rangle$... $\langle \text{Data N} - 1 \rangle$ $\langle \text{Data N} \rangle$

利用该命令，可在同一 $\overline{CS}$ 周期内读取所有寄存器。能够以任意顺序指定地址。

Read All: 需要两个 $\overline{CS}$ 周期，Read All命令操作如下：

$\overline{CS}$ 周期1

SDI: $\langle 0x03 \rangle$ $\langle \text{Address N} \rangle$ $\langle 0x00 \rangle$ $\langle 0x00 \rangle$ $\langle 0x00 \rangle$... $\langle 0x00 \rangle$

SDO: $\langle \text{Data N} \rangle$ $\langle \text{Data N} + 1 \rangle$ $\langle \text{Data N} + 2 \rangle$... $\langle \text{Data N} + n \rangle$

$\overline{CS}$ 周期2

Reset: SPI复位命令操作如下：

SDI: $\langle 0x04 \rangle$

内部产生一个低电平有效的主控制器复位信号，从上一个SCLK信号的下降沿到下一个 $\overline{CS}$ 信号的下降沿($t_{HCS} + t_{CSH}$)。

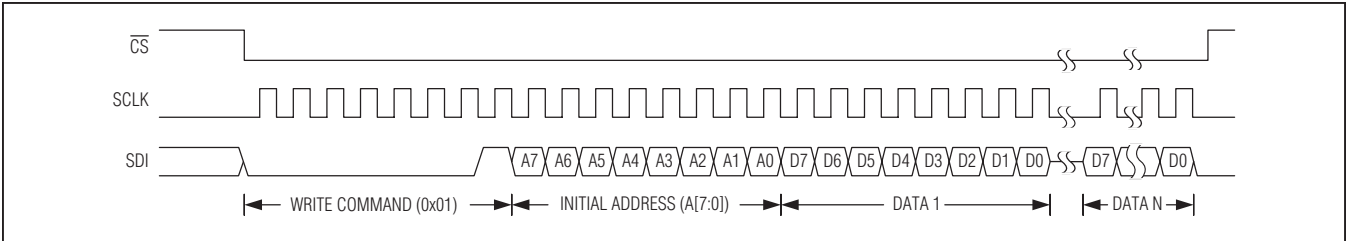


图7. SPI写命令格式

高性能、288MHz至945MHz ASK/FSK ISM发送器

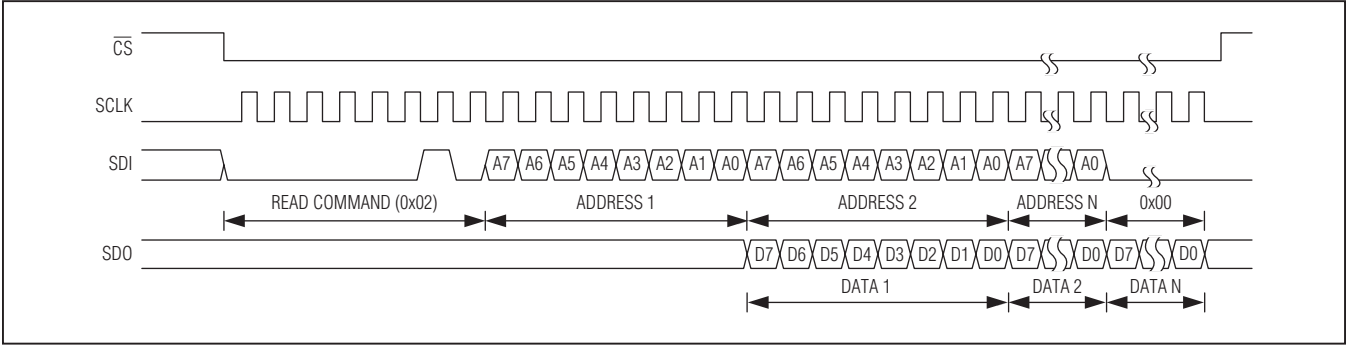


图8. SPI读命令格式

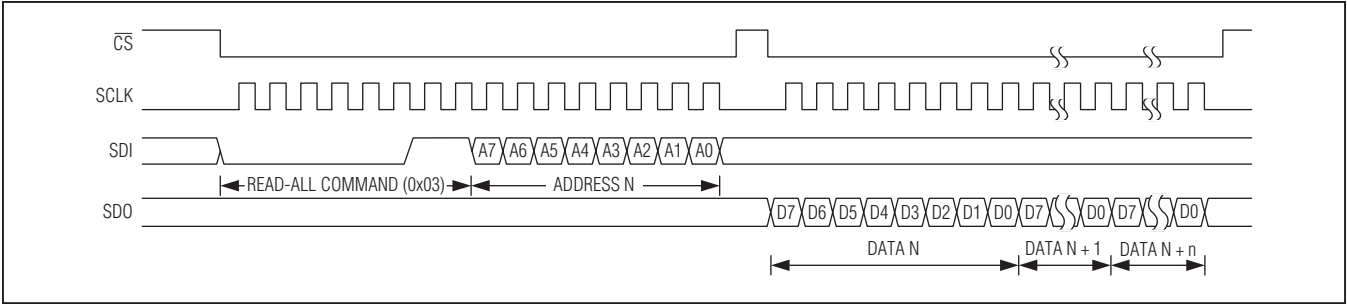


图9. SPI全读命令格式

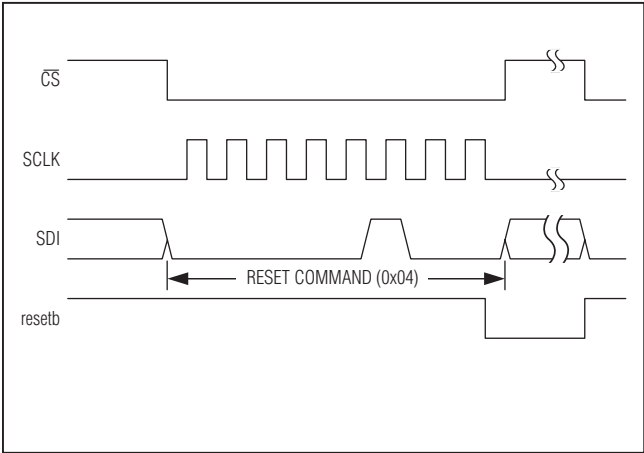


图10. SPI复位命令格式

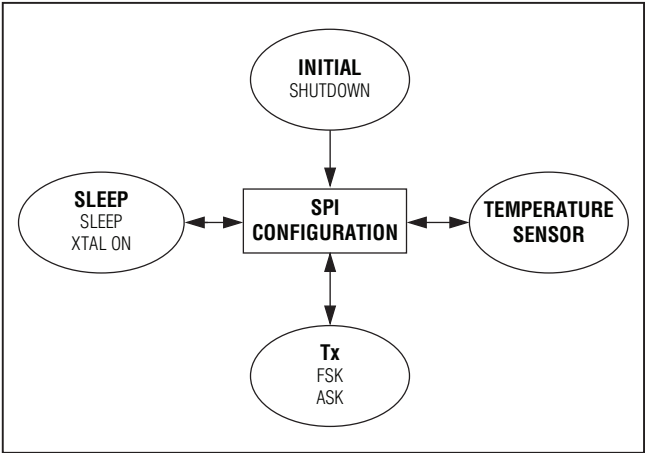


图11. 工作模式

工作模式概述
IC提供多种工作模式，用户可根据具体应用将发送器的功耗降至最小。主要工作模式包括：初始化、休眠、温度检测和Tx模式，如[图11](#)所示。

SHDN引脚为高电平时，IC处于关断模式。关断模式下，IC内部的POR电路禁用，不消耗电流。关断模式下，所有内部数据寄存器复位到初始状态，只有在SHDN引脚驱动至低电平后，重新配置寄存器才能进入相应的发送器工作状态。

高性能、288MHz至945MHz ASK/FSK ISM发送器

SHDN引脚为低电平时，POR电路有效，内部数据寄存器保持在初始状态，直到电源高于2.1V，IC进入初始化模式。在初始化模式下，IC可以配置进入休眠模式、温度检测模式或Tx模式。休眠模式下提供两个选择：休眠和XTAL ON。休眠状态下，消耗电流的典型值为350nA，保留所有寄存器状态；XTAL ON模式下，由clksht位(IOConf2寄存器，0x05，第3位)控制，使能晶振，晶振信号经过分频(1、/2、/4、/8，由ckdiv[1:0]位(IOConf0寄存器，0x03，[5:4]位)设置)后通过GPO2输出。设计XTAL ON模式的目的是保证始终提供一路精确的高速时钟输出，供MCU使用。

温度检测模式下，可使用内部温度传感器。

Tx模式下，发送器配置为发送ASK数据或FSK数据。

Tx模式由SHDN引脚、ENABLE引脚和使能位(EnableReg寄存器，0x3E，第0位)的逻辑状态共同确定。如果SHDN

引脚驱动为低电平，ENABLE引脚驱动为高电平或使能位置位，则开启发送器模式，参见表2逻辑汇总。

模式选项由SPI模式控制位(Conf0寄存器，0x01，第4位)选择，参见表3选项汇总。

休眠模式

从初始化模式，发送器直接进入休眠模式。XTAL ON模式下，晶振保持有效，晶振时钟经过分频后通过GPO2输出。禁用RF功能且clksht位置位时，进入该模式。该模式下，电流消耗与输出信号的频率、GPO2引脚的负载电容有关。输出信号为3.2MHz、负载电容为10pF时，电流损耗典型值为750μA。详细信息请参考数字输出部分，表4汇总了休眠模式功能。

表2. 模式控制逻辑

SHDN PIN	ENABLE PIN	enable BIT	TRANSMITTER MODE
0	0	0	Sleep
0	0	1	Tx
0	1	0	Tx
0	1	1	Tx
1	0	0	Shutdown
1	0	1	Shutdown
1	1	0	Shutdown
1	1	1	Shutdown

表3. 模式选项逻辑

mode BIT	MODE OPTION
0	ASK
1	FSK

表4. 休眠模式汇总

SLEEP MODE	SETTINGS	TYPICAL CURRENT DRAIN	COMMENTS
Sleep	Enable = 0	350nA	All register contents are retained.
XTAL ON	clksht = 1	750μA*	Divided XTAL oscillator signal can be directed to GPO2.

*与GPO2负载电容和输出时钟频率有关。

高性能、288MHz至945MHz ASK/FSK ISM发送器

温度检测模式

用户必须从休眠模式启动温度检测模式，而且，发送器完成温度测量后自动返回休眠模式。

当tsensor位(EnableReg寄存器, 0x3E, 第3位)置位时, 使能片上温度传感器。一旦内部温度传感器电路达到稳定, A/D转换器进行温度转换, ADC转换结果储存在tsadc[6:0], 当数字测试复用位tmux[3:0] (TestMux寄存器, 0x3C, 3:0位)置0时, 可通过TestBus1寄存器(0x41, 6:0位)访问温度测试结果。tsensor位为自复位, 完成温度测量后自动返回至零状态。完成测量后, tsdone状态位(Status1寄存器, 0x43, 第4位)也会复位。温度检测模式下, 电流损耗小于1mA, 传感器稳定建立时间和ADC转换时间共计小于2ms。温度检测模式相关特性汇总于表5。

Tx模式

Tx模式包含两个子单元：FSK和ASK。

发送器输出信号由N分频合成器产生，经过缓冲后，由功率放大器(PA)放大到所设置的输出功率电平。发送器需要有限的预热时间，从休眠模式进入Tx模式后，按照以下过程工作：

- 1) 使能晶振，并建立到稳定状态。内部ckalive状态信号的上升沿表示晶振已经稳定工作，提供精确的时基。除PA外，使能其它所有Tx模块。在其它模块稳定到相应的工作点的同时，合成器也稳定到相应的LO频率。lockdet状态信号的上升沿表示合成器已锁定频率。有些窄带应用中，lockdet信号可利用pllcl[2:0]位(Conf1寄存器, 0x02, 5:3位)设置有效延时，确保合成器稳定在规定的精度内，延迟信号称为plllock。txready状态信号的上升沿与plllock信号的上升沿一致。

表5. 温度检测模式汇总

BIT	EXECUTION TIME (ms)	TYPICAL CURRENT DRAIN (mA)	COMMENTS
tsensor	< 2	< 1	The tsdone status bit is set when the measurement is completed. The results are stored in tsadc[6:0].

- 2) ASK模式下，内部txready信号转变到高电平之后，功率放大器在DATAIN引脚的上升沿或datain置位时开始缓慢升高；FSK模式下，功率放大器则在txready信号的上升沿开始缓慢上升的过程。

图12所示为预热过程。

ASK应用中，合成器输出固定在载频。输出功率在完全关闭(DATAIN引脚为逻辑0或datain位清零时)和所设置的输出功率电平(DATAIN引脚为逻辑1或datain置位时)之间交替切换。可以对输出信号幅度整形，以降低占用的传输频宽。关于幅度整形的详细信息，请参考功率放大器部分。PA输出功率由线性控制PA输出偏置电流的6位幅值字决定，LSB电流幅值由REXTPA引脚与地之间的片外电阻设置。电阻为56.2kΩ时，LSB电流标称值为0.5mA，利用低温度系数、±1%容限的电阻可以严格控制发送器功率。

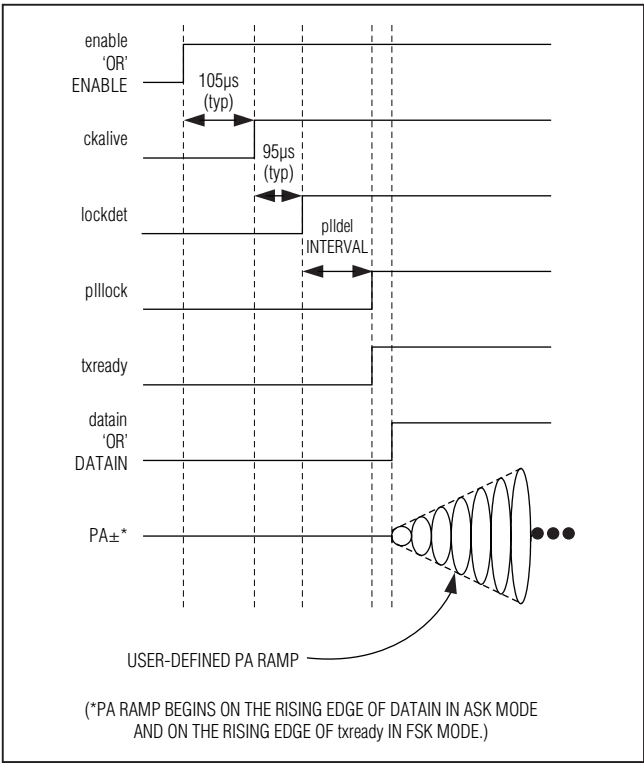


图12. Tx预热时序图

高性能、288MHz至945MHz ASK/FSK ISM发送器

FSK应用中，合成器输出在低电平信号(DATAIN引脚为逻辑0、datain清零时)频率和高电平信号(DATAIN引脚为逻辑1、datain置位时)频率之间交替切换。可以对输出信号进行频率整形，以降低发送信号占用的频宽。关于频率整形的更多信息，请参见[N分频合成器](#)部分。PA功率由6位幅值字决定，发送器使能或禁用时，PA输出功率在完全关闭和所设置的功率之间缓慢变化，还可以设置变化斜率。为了以所要求的功率发送信息，用户需等待PA完成缓变过程，然后发送数据序列。

Tx模式下，典型电流损耗为10.2mA（低功率缓冲模式）或12.2mA（大功率缓冲模式）加上所设置的PA输出电流。缓冲器功率模式由palopwr位(TxConf0寄存器，0x0C，第7位)控制，置位时处于低功率模式。

跳频扩谱(FHSS)工作原理

IC支持FHSS工作模式，快速建立N分频合成器和幅度整形PA协同工作，能够在低端MCU的控制下实现严谨、高效、便捷的跳频工作。

图13所示为工作在FHSS模式下的推荐流程。

初始配置期间，首选使用hop位配置；发送器工作期间，最好使用HOP引脚配置(优于hop位控制)，有助于避免发送器工作期间激活SPI的可能，以严格控制发送器时序。

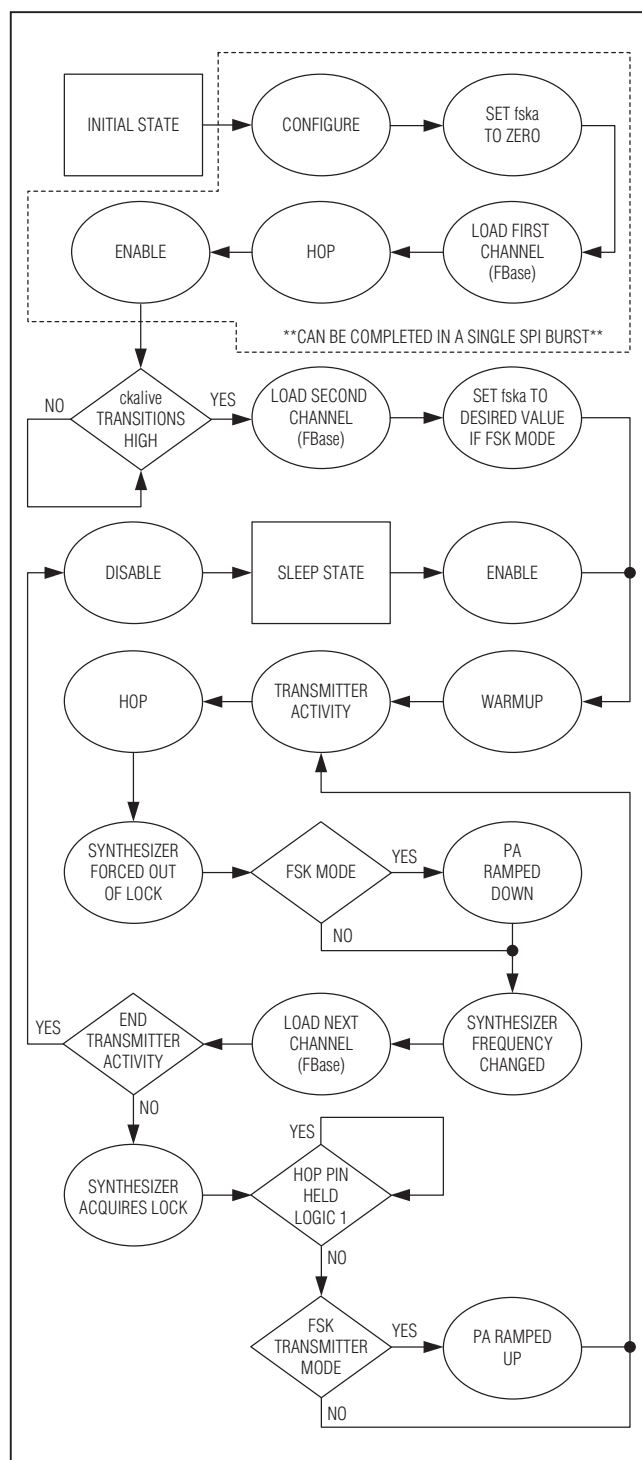


图13. 跳频扩谱(FHSS)流程图

高性能、288MHz至945MHz ASK/FSK ISM发送器

功能说明

晶振

IC的晶振电路设计用于配合并联谐振晶体，为数字控制模块产生N分频合成器参考时钟频率和信号。通常只需在引脚XTALB和XTALC之间连接晶体，以及两个可选的负载调整电容。

考虑到PCB的杂散电容，振荡器通常在晶体连接引脚之间存在大约8pF的等效负载电容。必须在XTALC与地之间、XTALB与地之间增加相同的电容，使晶振工作在规定的晶体负载电容下。如果晶体的负载电容不符合规定的负载电容，振荡器频率会偏离规定的工作频率，在N分频合成器时钟上引入误差。晶振规定的负载电容高于实际作用的负载电容时，振荡频率高于规定频率。

已知晶体的电气参数，可计算出相对于规定工作频率的频率牵引。频率牵引由下式给出：

f_p = \frac{C_M}{2} \left(\frac{1}{C_{CASE} + C_{LOAD}} - \frac{1}{C_{CASE} + C_{SPEC}} \right) \times 10^6

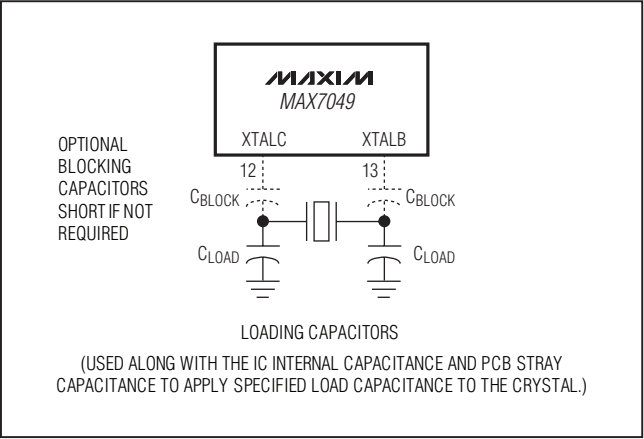


图14. 推荐的晶振与IC连接

表6. 晶振分频器设置

CRYSTAL FREQUENCY (MHz)	CRYSTAL DIVIDER RATIO	xtal[1:0] Conf0 REGISTER, ADDRESS 0x01, BITS 1:0	mclk (MHz)
16.0	5	00	3.2
19.2	6	01	3.2
22.4	7	10	3.2
20.0	5	00	4.0

注：本表中晶振频率和分频比的组合为推荐设置，并未包括全部设置。

式中：

f_p为牵引晶体频率总量，单位为ppm。

C_M为晶体动态电容。

C_{CASE}为外壳电容(包括封装电容和晶体外壳电容)。

C_{SPEC}为规定的负载电容。

C_{LOAD}为负载电容。

当晶体负载电容符合技术指标时(即C_{LOAD} = C_{SPEC})，频率牵引为零。

振荡器电路设计的晶振负载电容介于8pF和20pF之间。建议工作在10pF负载电容，以优化启动时间。当施加的负载电容大于20pF时，振荡器不能启动。

晶振工作频率范围为16.0MHz至22.4MHz。为了维持内部3.2MHz时基mclk，xtal[1:0] (Conf0寄存器，0x01，1:0位)必须按照表6所示设置。对于80kbps (曼彻斯特码)或160kbps (NRZ码)以下的所有数据率，推荐使用3.2MHz内部时基。对于更高的数据率(高达100kbps (曼彻斯特码)或200kbps (NRZ码))，需采用4MHz内部时基，如表6所示。

晶体的初始误差、温度系数和老化必须满足要求，从而使发送器和接收器的频率累积误差保持在规定的范围内。发射信号必须由配套的接收器进行下变频，使整个必要的调制边带位于预解调滤波器的通带内，确保正常工作。对于信道化工作，发射信号(包括调制边带)必须包含在给定的频率范围内，由此限制了晶体的初始误差、温度系数和老化指标。

高性能、288MHz至945MHz ASK/FSK ISM发送器

IC提供温度传感器和小步进N分频合成器，以改善晶振频率的稳定度。系统MCU可利用传感器及晶振温度系数计算必要的频率修正，并可按照 $f_{XTAL}/2^{16}$ Hz步长调节N分频合成器。

IC允许采用外部参考时钟信号代替晶振。外部参考时钟应通过交流耦合电容连接到引脚XTALC，幅度介于0.8V_{P-P}和1.2V_{P-P}之间，引脚XTALB DC接地。

N分频合成器

除外部无源环路滤波器外，IC包含了完全集成的N分频合成器，用于产生发射信号频率。器件包括：压控振荡器(VCO)、电荷泵、鉴相鉴频器(PFD)、N分频器、LO分频器及所有必要的支持电路。片上晶振为N分频合成器产生参考时钟。

N分频合成器的工作频率为：863MHz至945MHz。LO分频器具有三种模式：1分频、2分频和3分频。从而允许分别工作在863MHz至945MHz、431.5MHz至472.5MHz和287.7MHz至315MHz。863MHz至945MHz范围内，频率分辨率为 $f_{XTAL}/2^{16}$ ，LO分频后，LO分频器输出的分辨率更小。LO分频器的分频比由fsel[1:0]位(Conf0寄存器，0x01，3:2位)设置，分频比如表7所示。

VCO工作于整个规定的频率范围，无需校准。典型的VCO增益为108MHz/V，1MHz频偏下的典型相位噪声为-126dBc/Hz。工作在2分频LO分频器时，相位噪声改善 $20 \times \log_{10}(2)$ ；工作在3分频LO分频器时，改善 $20 \times \log_{10}(3)$ 。VCO控制电压作用在CTRL引脚，以VCOVDD引脚为参考。ibsel位(Conf1寄存器，0x02，第6位)设置VCO偏置电流，ibsel位置位时，VCO电流增大1mA。1MHz时，VCO相位噪声可以达到-128dBc/Hz，电流损耗增大。

电荷泵工作在0.4V至电源电压以下0.4V的范围。icont位(Conf1寄存器，0x02，第7位)复位时，电荷泵电流典型值为204μA，icont置位时，几乎倍增至407μA。CPOUT引脚为电荷泵输出。

Tx ASK模式

N分频器可通过21位分频字设置，分频字由5为整数部分和16位小数部分组成，如图15所示。

参数D为N分频比：

$$D = 32 + \text{base}[20:0]/2^{16}$$

因此，合成器输出频率由下式给出：

$$f_{\text{SYNTH}} = D \times f_{\text{XTAL}}$$

式中， f_{XTAL} 为晶振产生的参考时钟频率。

21位分频字由FBase0、FBase1和FBase2寄存器定义，在Hop信号的上升沿锁存至N分频器，Hop信号是IC使能时HOP输入引脚电平与hop位(FLoad寄存器，0x0B，第0位)的逻辑或。

表7. LO分频器模式

fsel[1:0] Conf0 REGISTER, ADDRESS 0x01, BITS 3:2	LO DIVISION RATIO	TRANSMITTER OPERATING FREQUENCIES (MHz)
00	3	287.7 to 315
01	2	431.5 to 472.5
10	Not used	N/A
11	1	863 to 945

高性能、288MHz至945MHz ASK/FSK ISM发送器

图15所示合成器工作在Tx ASK模式，Tx载频为静态。对于Tx FSK应用，载波频率根据Datain输入在高电平信号频率和低电平信号频率之间交替切换，IC具有频率整形功能，允许用户限制发送信号的频宽。

频率整形Tx FSK模式

整形功能的输入如图16所示。该模式下，wsoff位(TxConf0寄存器，0x0C，第6位)清零，wsmlt[1:0]位(TxConf1寄存器，

0x0D，7:6位)清零。base[20:0]位设置最低频率(对应于低电平)的分频比，base1[20:0]设置最高频率(对应于高电平)的分频比。在Datain信号的上升沿，N分频器输入按照tstep[7:0]位(TxTstep寄存器，0x0E，7:0位)和shpnn[7:0]位(Shape00–Shape18寄存器，0x0F–0x21，7:0位，其中nn = 00至18)的定义，在base[20:0]和base1[20:0]之间以20级步长转换，如图17所示。

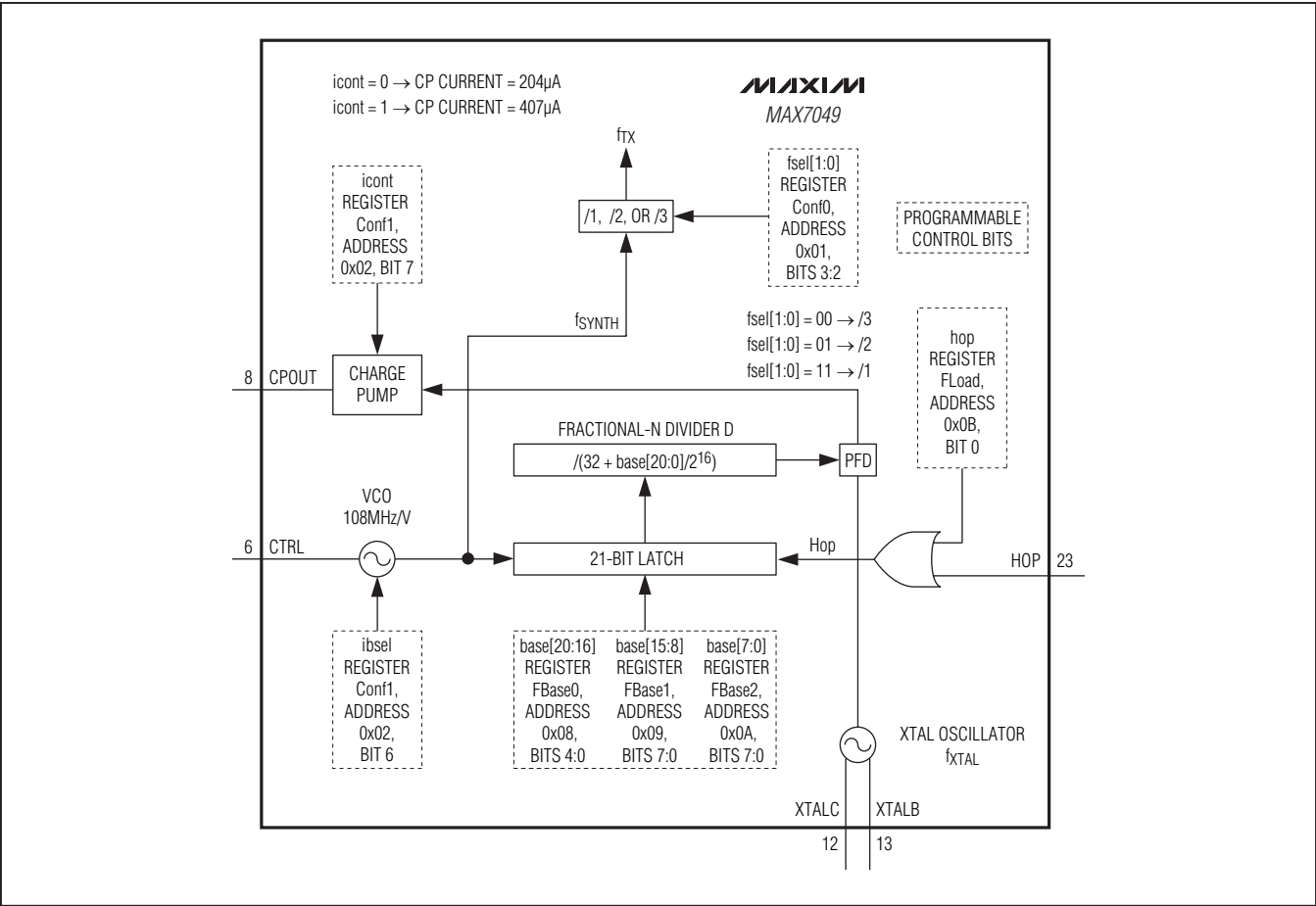


图15. N分频合成器配置Tx ASK模式

高性能、288MHz至945MHz ASK/FSK ISM发送器

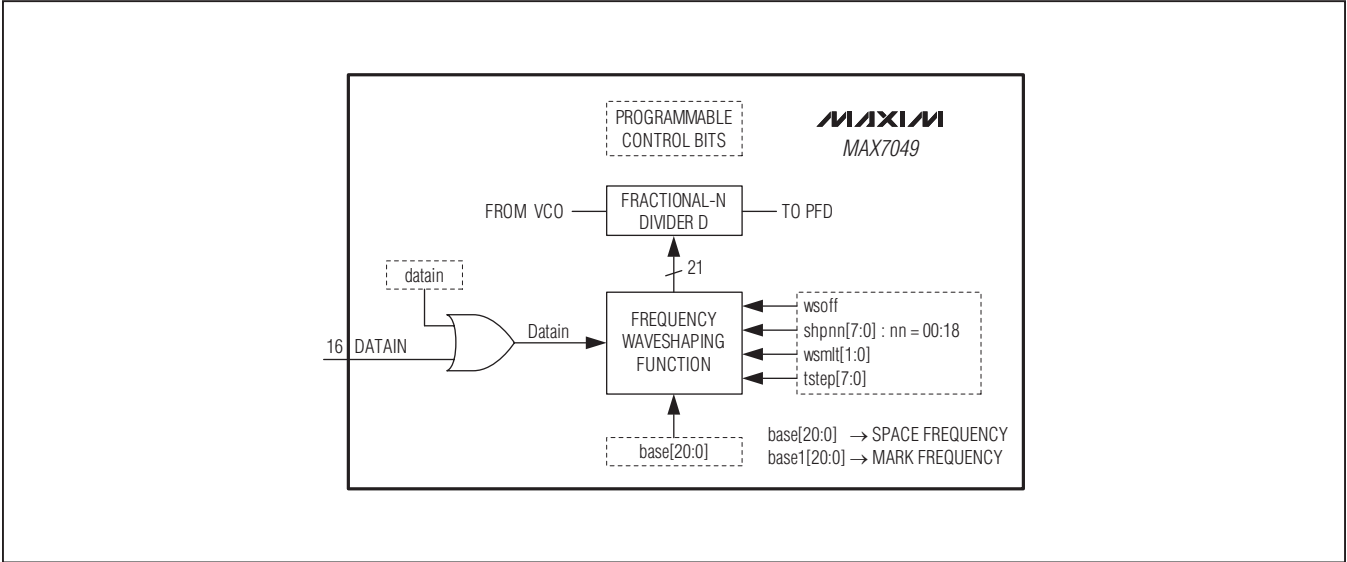


图16. Tx FSK模式设置

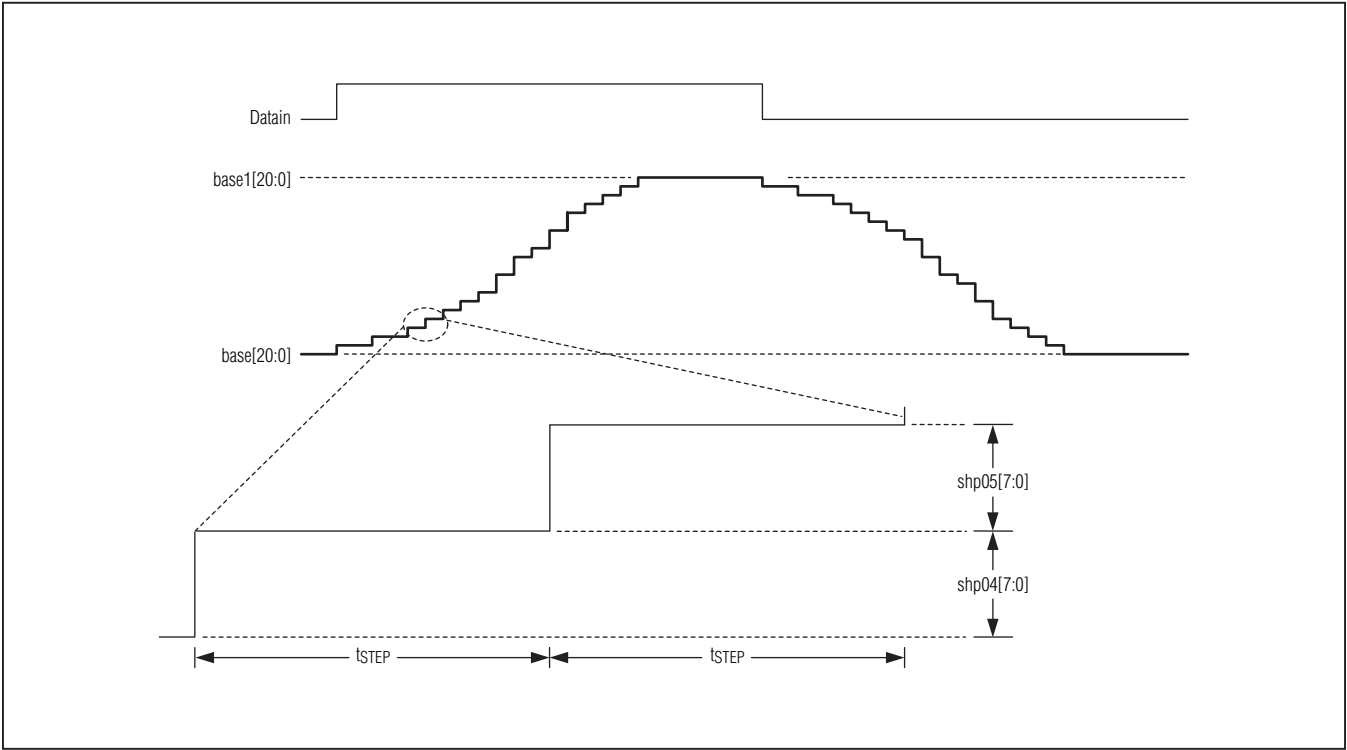


图17. Tx FSK频率整形时序图

高性能、288MHz至945MHz ASK/FSK ISM发送器

21位分频字以tstep[7:0]规定的速率更新，步长更新时间有下式给出：

tSTEP = tstep[7:0]/mclk

用shpnn[7:0]表示，base1[20:0]为：

base1[20:0] = base[20:0] + \sum_{nn=00}^{nn=18} shpnn[7:0]

如图17所示，频率缓降波形与频率缓升波形反相，而非镜像。频率偏差，即高电平信号频率和低电平信号频率之差，也可以用shpnn[7:0]表示：

频率偏差 = f_{XTAL} / 2^{16} \times \sum_{nn=00}^{nn=18} shpnn[7:0]

整形功能可以逼近任何单调波形特性。作为整形功能的一个例子，我们利用持续时间为1/2位间隔、频偏为50kHz的线性缓变波形逼近2kbps NRZ。缓变持续时间为250μs，采用3.2MHz mclk，由于每个步长为12.5μs，而40 × 0.3125μs得到12.5μs，所以tstep[7:0] SPI位需要设置为十进制40 (0x28)。如果采用16MHz晶振，则要求shpnn[7:0]位的值为十进制值11 (0xB)。本例中，频偏为19 (频率步长数) × 11 (每步频率变化) × 16,000,000/2¹⁶或51.03kHz。如果以牺牲线性度为代价，得到更接近于50kHz的数值，Shape00–Shape18四个寄存器可以设置为十进制10 (0xA)。这样得到的频偏为205 × 16,000,000/2¹⁶或50.05kHz。该模式下，采用16.0MHz晶振时，最大可设置频偏为(并非配套接收器考虑到带宽限制而使用的典型值)：19 × 255 × 16,000,000/2¹⁶或1.18MHz。

Tx脉冲FSK模式

该模式下，wsoff位(TxConf0寄存器，0x0C，第6位)置位，wsmlt[1:0]位(TxConf1寄存器，0x0D，7:6位)用于配置从低电平频率直接转换到高电平频率，不采用整形功能。base1[20:0]表示为：

base1[20:0] = base[20:0] + wsm × shp00[7:0]

式中，wsm为表8给出的倍频器

脉冲FSK模式相对于整形FSK而言工作范围略宽，占用的频带也更宽。Tx ASK模式下同样可以使用整形功能，功率放大器部分介绍这一功能。

环路带宽

N分频合成器的环路带宽取决于对发射载波信号的相位噪声、频率建立时间、FSK调制率以及电流损耗的要求。

N分频合成器输出相位噪声的三个主要来源是：近载波相位噪声、VCO相位噪声和分频量化相位噪声。可以设置环路带宽和滤波器阶数，来满足不同应用对低载波相位噪声(为了在较宽的环路带宽下获得优异性能)和低VCO相位噪声(为了在窄带环路带宽下获得优异性能)的要求。必要时，可增大环路滤波器阶数，以减小分频量化相位噪声的影响，支持更宽的环路频带要求。

表8. Tx FSK脉冲模式下的倍频器

wsmlt[1:0] TxConf1 REGISTER, ADDRESS 0x0D, BITS 7:6	wsm
00	1
01	2
10	4
11	8

高性能、288MHz至945MHz ASK/FSK ISM发送器

通常情况下，100kHz环路带宽即可适用于大多数应用，提供较快的建立时间。在902MHz至928MHz ISM频带，26MHz步长，频偏小于5kHz时，建立时间典型值在48μs以内。该环路带宽优化于最小载波相位噪声和VCO噪声。此外，这种设置下，能够支持大多数FSK调制率高达160kbps的NRZ和80kbps的曼彻斯特编码应用。如果在更高的频偏下需要进一步降低相位噪声，可适当降低环路带宽，此时VCO噪声将占相位噪声的主导地位。

环路滤波元件计算如下：

$$R = (2 \times \pi \times D \times BW) / (I_{CP} \times K_{VCO}) \Omega$$

其中：

R为环路滤波器电阻，单位为Ω。

D为N分频合成器的反馈分频比。

BW为相应的N分频合成器环路带宽，单位为Hz。

I_{CP} 为电荷泵电流，单位为A。

K_{VCO} 为合成器输出频率(863MHz至945MHz)下的VCO增益，单位为Hz/V。

$$C_L = (\sqrt{10}) / (2 \times \pi \times R \times BW), \text{ 单位为F}$$

其中，

C_L 为与R串联的大环路滤波电容。

R为环路滤波器电阻，单位为Ω。

BW为所要求的N分频合成器环路带宽，单位为Hz。

10为近似值。

$C_S = 1 / (2 \times \pi \times R \times BW \times (\sqrt{10}))$ ，单位为F
其中：

C_S 为与R和 C_L 串联组合相并联的小环路滤波电容。

R为环路滤波器电阻，单位为Ω。

BW为所要求的N分频合成器环路带宽，单位为Hz。

10为近似值。

可向环路滤波器增加一个RC极点，以消除宽环路带宽内更多的分频量化相位噪声。该极点增加在CPOUT引脚和CTRL引脚之间。RC极点的阻抗值应为环路滤波电阻的1.5倍，从而在限制负载的同时限制热噪声对相位噪声的影响。极点频率应大于环路带宽的10倍，图18所示为环路滤波器配置。

锁定检测器

N分频合成器的主要支持电路为锁定检测器，内部锁定检测信号为发送器工作的一个门控信号，如[工作模式概述](#)部分所示。锁定检测信号本身满足大多数工作条件，但是如果该信号触发太快则会增加额外的延迟，使得合成器不能够稳定建立在对应的频率精度内，如图19所示。

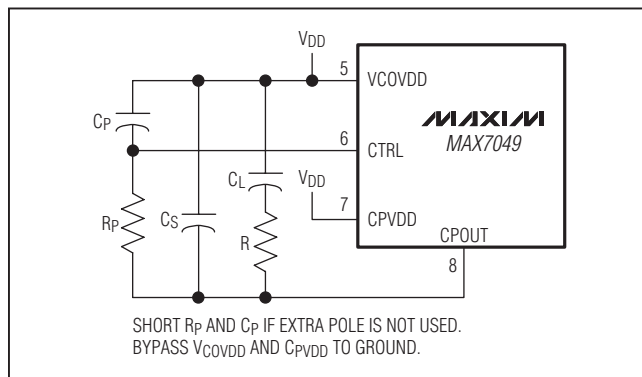


图18. 合成器环路滤波器拓扑

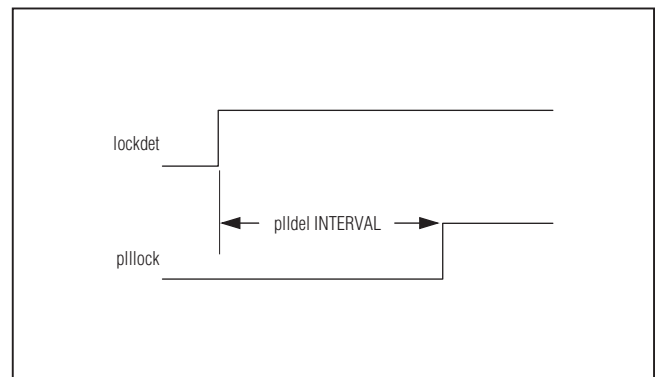


图19. 锁定检测器延迟功能

高性能、288MHz至945MHz ASK/FSK ISM发送器

理想的差分输出级最大效率为 $2/\pi$ ，必需通过 $(V_{DD} - V_P)/V_{DD}$ 调节，以满足PA偏置DAC电流源所要求的裕量。注意，非平衡差分阻抗，PA输出端等效阻抗，会造成PA+引脚和PA-引脚钳位电平不一致，从而影响效率。此外，如果匹配网络不能将负载电阻转换成严格等于 $R_{OPT} + j0$ 的差分阻

抗,失配损耗会进一步降低效率。在这里的PA设计示例中,如果在ASK模式下PA偏置电流从零切换至IPA_peak,调制信号占用较宽频带。IC的幅度整形功能可以减小ASK调制占用的带宽。

表9. PA设计示例

PARAMETER	SYMBOL AND/OR EQUATION	EXAMPLE VALUE
Supply Voltage	V_{DD}	3V
Pedestal Voltage	V_P	0.5V
External PA Bias Resistance	R_{EXT}	56.2k Ω
PA Bias DAC LSB	$I_{lsb} = 25 \times 1.13/R_{EXT}$	0.5mA
Desired Peak RF Output Power	P_D	14dBm
Harmonic Filter and Composite Matching/Combiner Network Loss	L_m	2dB
Actual PA RF Output Power	$P_{PA} = P_L + L_m$	16dBm
Actual PA RF Output Power	$P_{PA_mW} = 10^{(P_{PA}/10)}$	40mW
Required PA DC Power	$P_{DC} = P_{PA_mW} \times \pi/2 \times V_{DD}/(V_{DD} - V_P)$	75mW
Maximum PA Efficiency	Maximum efficiency = $100 \times 2/\pi \times (V_{DD} - V_P)/V_{DD}$	53%
Composite PA Efficiency (includes Matching Network Loss)	Efficiency = $100 \times 10^{(P_D/10)}/P_{DC}$	33%
Required Peak DC Current	$I_{PA_peak} = P_{DC}/V_{DD}$	25mA
PA Code for Desired Power	<code>idac_peak[5:0]</code>	50 decimal (0x32)

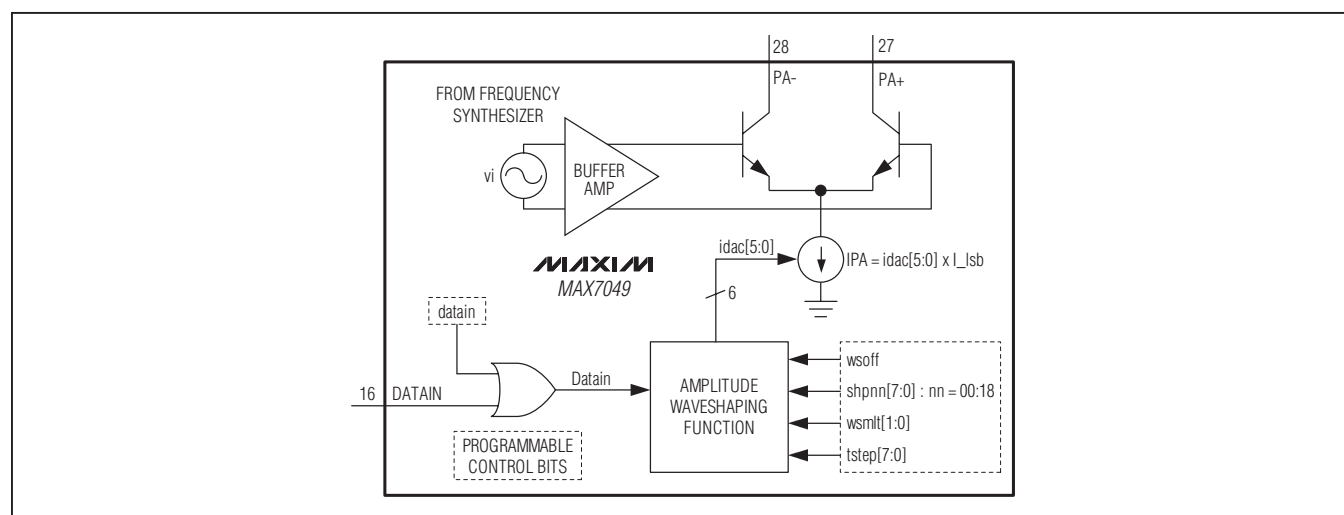


图21. Tx ASK模式设置

高性能、288MHz至945MHz ASK/FSK ISM发送器

幅度整形Tx ASK模式

ASK整形功能如图21所示。

该模式下，wsoff位(TxConf0寄存器，0x0C，第6位)清零，wsmlt[1:0]位(TxConf1寄存器，0x0D，7:6位)清零。txready为高电平后，PA在Datain信号的上升沿从零偏置电流转换到IPA_peak。这种转换经过20个步长变化实现，由tstep[7:0]位(TxTstep寄存器，0x0E，7:0位)和shpnn[7:0]位(Shape00–Shape18寄存器，0x0F–0x21，7:0位，其中nn = 00至18)确定，如图22所示。

PA DAC字按照tstep[7:0]位规定的速率更新，更新时间步长由下式给出：

tSTEP = tstep[7:0]/mclk

用shpnn[7:0]位表示，idac_peak[5:0]值为：

idac_peak[5:0] = $\sum_{nn=00}^{nn=18} shpnn[7:0]$

ASK模式下，shpnn[7:0]的两个最高有效位始终为零。如图22所示，缓降波形与缓升波形的变化规律为反方向。整形功能能够逼近任何单调波形。由于shpnn寄存器为8位字宽，必要时，PA可一次从零增大到最大偏置电流。

我们可以考虑一个设计示例，利用持续时间为1/2位间隔、PA偏置电流峰值为10mA (R_{EXT} = 56.2kΩ)的线性缓变波形逼近4kbps NRZ。缓变时间为125μs，采用3.2MHz mclk，由于20个步长均为6.25μs，20 × 0.3125μs得到6.25μs，所以tstep[7:0]的十进制值设置为20 (0x14)。这要求Shape00–Shape18中每个寄存器为十进制值1 (0x1)。此时，PA峰值偏置电流为19 × 25 × 1.13/56,200或9.55mA。如果以牺牲线性度为的情况下得到更接近于10mA的值，Shape00–Shape18其中一个寄存器的值可设置为十进制2 (0x2)。得到峰值PA偏置电流为20 × 25 × 1.13/56,200或10.05mA。

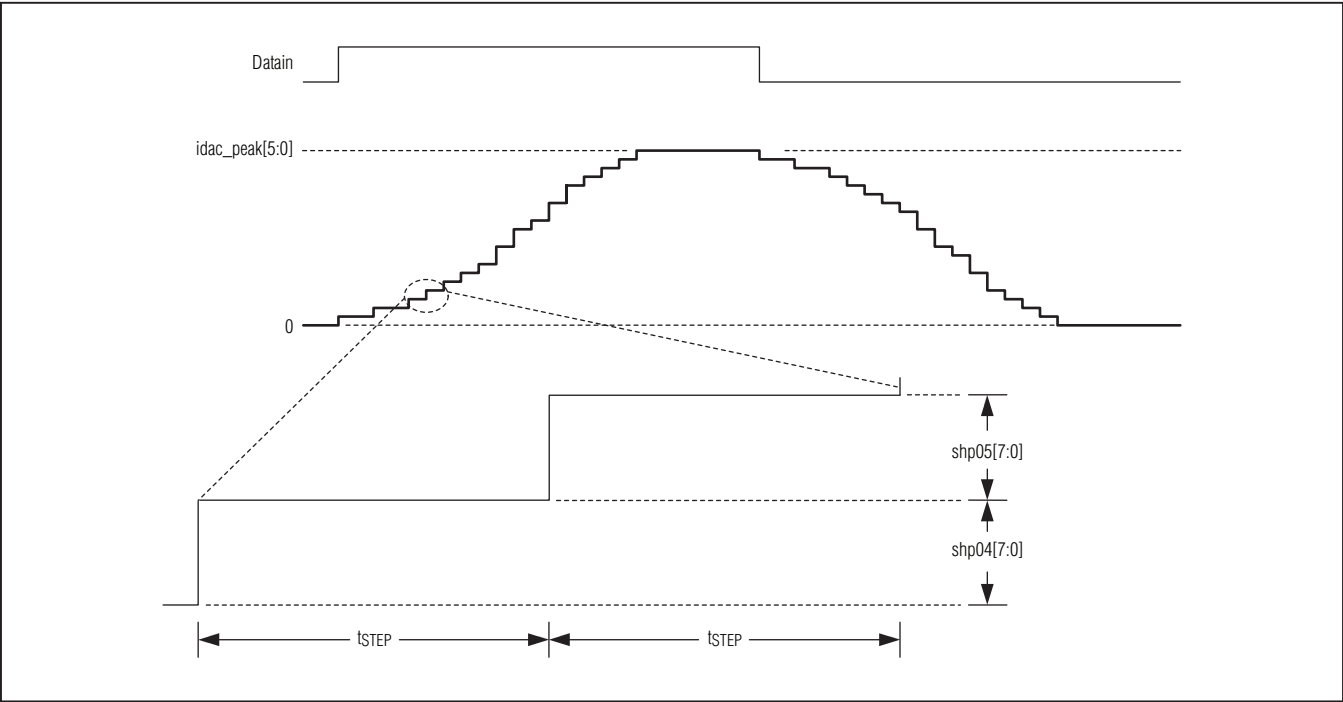


图22. ASK整形时序图

高性能、288MHz至945MHz ASK/FSK ISM发送器

Tx FSK模式下的幅度缓变控制

Tx FSK模式下，载频信号由整形函数调制，参见[N分频合成器](#)部分。频率整形的作用是将Tx FSK模式下发射信号占用的带宽降至最小。然而，如果PA在突发数据开始、结束时被瞬间打开或关闭，所占用的带宽将展宽。Tx FSK模式下可以采用PA幅度缓变控制功能，避免占用更宽频带，功能介绍如[图23](#)所示。

IC使能、txready信号变为高电平后，PA偏置电流线性缓升至fska[5:0] (TxConf0寄存器，0x0C，5:0位) × I_{Isb}，增量为fskas[5:0] (TxConf1寄存器，0x0D，5:0位) × I_{Isb}，如[图24](#)所示。

类似地，PA偏置电流在使能信号的下降沿线性缓降。注意，从某个信道跳至另一信道时，也自动激活PA缓变过程，参见[N分频合成器](#)部分。

PA DAC字以tstep[7:0]位规定的速率更新，步长更新时间由下式给出：

$$tSTEP = tstep[7:0]/mclk$$

为了按照所要求的功率发送整个消息，用户应等待PA完成缓变过程，然后再启动数据序列。

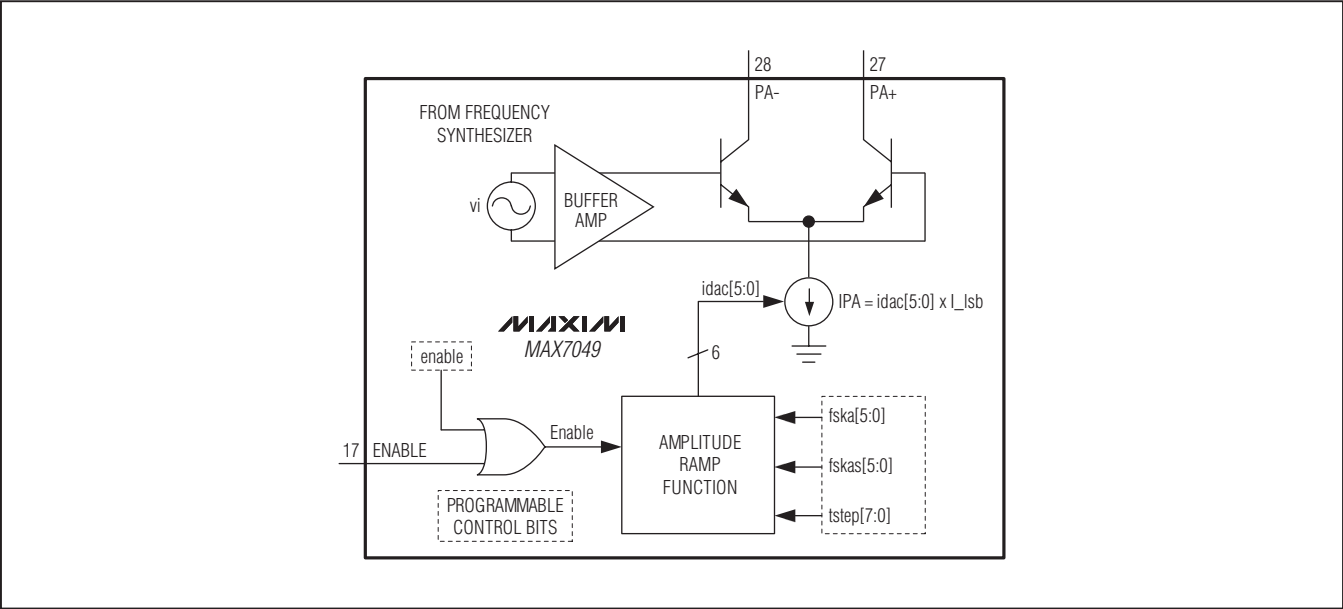


图23. Tx FSK幅度缓变控制

高性能、288MHz至945MHz ASK/FSK ISM发送器

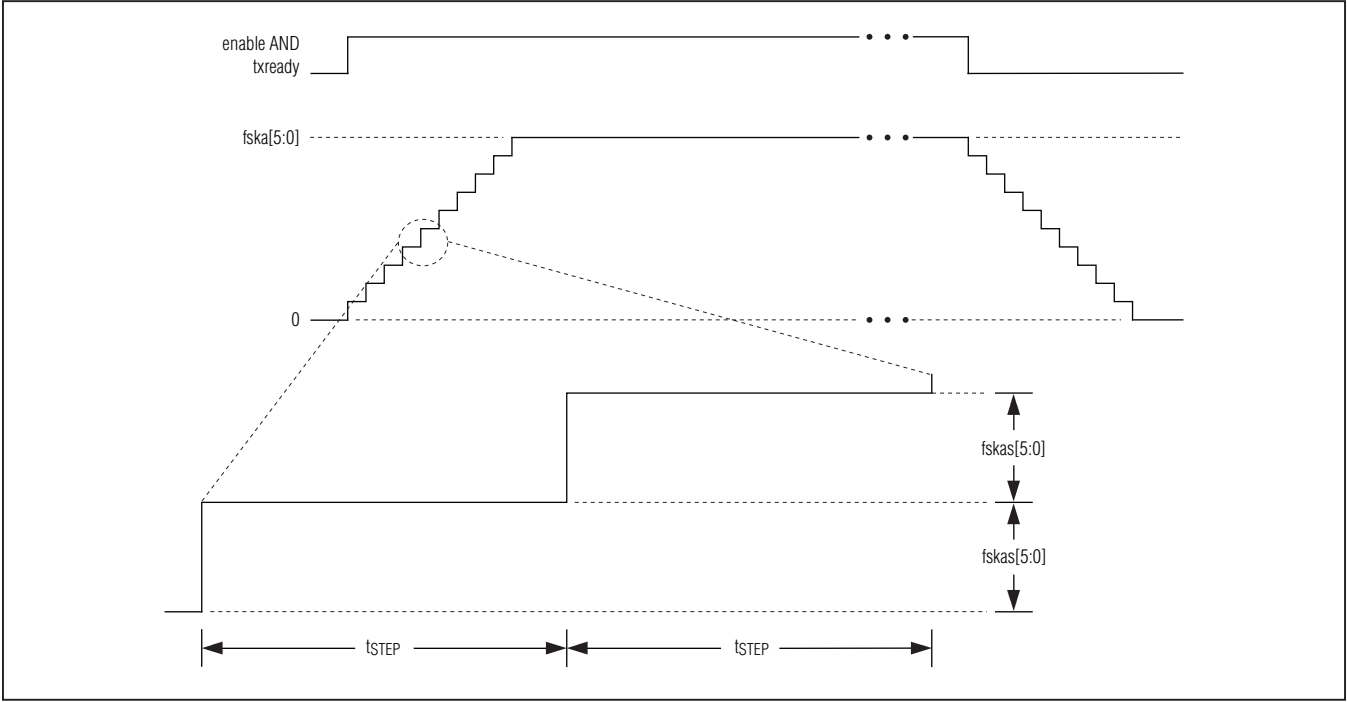


图24. Tx FSK幅度缓变控制时序图

寄存器详细说明

表10. 配置寄存器映射

GROUP/FUNCTION		HEX	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
0	Ident	0x00	1	0	1	0	0	1	1	1
1	Conf0	0x01	—	—	—	mode	fsel_1	fsel_0	xtal_1	xtal_0
	Conf1	0x02	icont	ibsel	plldl_2	plldl_1	plldl_0	—	—	—
2	IOConf0	0x03	gp1isht	gp2isht	ckdiv_1	ckdiv_0	gp2s_3	gp2s_2	gp2s_1	gp2s_0
	IOConf1	0x04	sdos_3	sdos_2	sdos_1	sdos_0	gp1s_3	gp1s_2	gp1s_1	gp1s_0
	IOConf2	0x05	—	—	gp1md_1	gp1md_0	clksht	gp2md_2	gp2md_1	gp2md_0
3	FBase0	0x08	—	—	—	base_20	base_19	base_18	base_17	base_16
	FBase1	0x09	base_15	base_14	base_13	base_12	base_11	base_10	base_9	base_8
	FBase2	0x0A	base_7	base_6	base_5	base_4	base_3	base_2	base_1	base_0
	FLoad	0x0B	—	—	—	—	—	—	—	hop
4	TxConf0	0x0C	palopwr	wsoff	fska_5	fska_4	fska_3	fska_2	fska_1	fska_0
	TxConf1	0x0D	wsmlt_1	wsmlt_0	fskas_5	fskas_4	fskas_3	fskas_2	fskas_1	fskas_0
	TxTstep	0x0E	tstep_7	tstep_6	tstep_5	tstep_4	tstep_3	tstep_2	tstep_1	tstep_0

高性能、288MHz至945MHz ASK/FSK ISM发送器

表10. 配置寄存器映射(续)

GROUP/FUNCTION		HEX	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
5	Shape00	0x0F	shp00_7	shp00_6	shp00_5	shp00_4	shp00_3	shp00_2	shp00_1	shp00_0
	Shape01	0x10	shp01_7	shp01_6	shp01_5	shp01_4	shp01_3	shp01_2	shp01_1	shp01_0
	Shape02	0x11	shp02_7	shp02_6	shp02_5	shp02_4	shp02_3	shp02_2	shp02_1	shp02_0
	Shape03	0x12	shp03_7	shp03_6	shp03_5	shp03_4	shp03_3	shp03_2	shp03_1	shp03_0
	Shape04	0x13	shp04_7	shp04_6	shp04_5	shp04_4	shp04_3	shp04_2	shp04_1	shp04_0
	Shape05	0x14	shp05_7	shp05_6	shp05_5	shp05_4	shp05_3	shp05_2	shp05_1	shp05_0
	Shape06	0x15	shp06_7	shp06_6	shp06_5	shp06_4	shp06_3	shp06_2	shp06_1	shp06_0
	Shape07	0x16	shp07_7	shp07_6	shp07_5	shp07_4	shp07_3	shp07_2	shp07_1	shp07_0
	Shape08	0x17	shp08_7	shp08_6	shp08_5	shp08_4	shp08_3	shp08_2	shp08_1	shp08_0
	Shape09	0x18	shp09_7	shp09_6	shp09_5	shp09_4	shp09_3	shp09_2	shp09_1	shp09_0
	Shape10	0x19	shp10_7	shp10_6	shp10_5	shp10_4	shp10_3	shp10_2	shp10_1	shp10_0
	Shape11	0x1A	shp11_7	shp11_6	shp11_5	shp11_4	shp11_3	shp11_2	shp11_1	shp11_0
	Shape12	0x1B	shp12_7	shp12_6	shp12_5	shp12_4	shp12_3	shp12_2	shp12_1	shp12_0
	Shape13	0x1C	shp13_7	shp13_6	shp13_5	shp13_4	shp13_3	shp13_2	shp13_1	shp13_0
	Shape14	0x1D	shp14_7	shp14_6	shp14_5	shp14_4	shp14_3	shp14_2	shp14_1	shp14_0
	Shape15	0x1E	shp15_7	shp15_6	shp15_5	shp15_4	shp15_3	shp15_2	shp15_1	shp15_0
	Shape16	0x1F	shp16_7	shp16_6	shp16_5	shp16_4	shp16_3	shp16_2	shp16_1	shp16_0
	Shape17	0x20	shp17_7	shp17_6	shp17_5	shp17_4	shp17_3	shp17_2	shp17_1	shp17_0
	Shape18	0x21	shp18_7	shp18_6	shp18_5	shp18_4	shp18_3	shp18_2	shp18_1	shp18_0
6	TestMux	0x3C	—	—	—	—	tmux_3	tmux_2	tmux_1	tmux_0
	DataIn	0x3D	—	datain	—	—	—	—	—	—
	EnableReg	0x3E	—	—	—	—	tsensor	—	—	enable
7	TestBus0	0x40	tbus_15	tbus_14	tbus_13	tbus_12	tbus_11	tbus_10	tbus_9	tbus_8
	TestBus1	0x41	tbus_7	tbus_6	tbus_5	tbus_4	tbus_3	tbus_2	tbus_1	tbus_0
	Status0	0x42	txready	—	adcrdy	—	gpo1out	plllock	lockdet	ckalive
	Status1	0x43	—	—	—	tsdone	—	—	—	—

“—”表示保留位。如果寄存器含有保留位，写0至保留位。

寄存器0x00始终为0xA7，可用于识别SPI总线上的IC。

寄存器0x40至0x43为只读寄存器，包含各种状态，可通过SPI读取状态。

高性能、288MHz至945MHz ASK/FSK ISM发送器

寄存器详细说明

表11. 第0组：标识寄存器(Ident)

GROUP/FUNCTION	HEX	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
0	Ident	0x00	1	0	1	0	0	1	1

表12. Ident寄存器(0x00)

BIT	NAME	FUNCTION
7:0	ident[7:0]	Read-only register used for identification purposes. The content of this register is always 0xA7.

表13. 第1组：通用配置寄存器(Conf0、Conf1)

GROUP/FUNCTION	HEX	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
1	Conf0	0x01	—	—	—	mode	fsel_1	fsel_0	xtal_1
	Conf1	0x02	icont	ibsel	plldl_2	plldl_1	plldl_0	—	—

表14. Conf0寄存器(0x01)

BIT	NAME	FUNCTION
4	mode	1-bit configuration for transmit mode: 0 = ASK 1 = FSK
3:2	fsel[1:0]	2-bit configuration for LO division ratio: 00 3 01 2 10 Not used 11 1
1:0	xtal[1:0]	2-bit crystal divider configuration. Based on a typical crystal selection of 16.0MHz, 19.2MHz, or 22.4MHz, these bits are usually configured to yield a constant 3.2MHz mclk frequency for timing control and driving characteristics of the digital section of the IC. For data rates up to 200kbps, an mclk frequency of up to 4.0MHz is needed. The typical settings are: Crystal xtal[1:0] 16.0MHz 00 19.2MHz 01 22.4MHz 10 20.0MHz 00 11 Divide by 5 (16.0/5 = 3.2MHz) Divide by 6 (19.2/6 = 3.2MHz) Divide by 7 (22.4/7 = 3.2MHz) Divide by 5 (20.0/5 = 4.0MHz) Divide by 8

高性能、288MHz至945MHz ASK/FSK ISM发送器

表15. Conf1寄存器(0x02)

BIT	NAME	FUNCTION																		
7	icont	Selects between low current (0 = 204μA) and high current (1 = 407μA) modes for the synthesizer charge pump, allowing for lower noise operation with the expense of extra current.																		
6	ibsel	Selects between low VCO core current and high VCO core current (1 = additional 1mA) in the synthesizer.																		
5-3	plldl[2:0]	3-bit configuration for extra delay after lock-detect flag (lockdet) from the synthesizer is asserted (assuming mclk = 3.2MHz): <table><thead><tr><th>plldl[2:0]</th><th>delay(μs)</th></tr></thead><tbody><tr><td>000</td><td>0</td></tr><tr><td>001</td><td>20</td></tr><tr><td>010</td><td>40</td></tr><tr><td>011</td><td>60</td></tr><tr><td>100</td><td>80</td></tr><tr><td>101</td><td>100</td></tr><tr><td>110</td><td>120</td></tr><tr><td>111</td><td>140</td></tr></tbody></table> After this delay, an internal signal called plllock is asserted high to determine the digital lock flag for the synthesizer.	plldl[2:0]	delay(μs)	000	0	001	20	010	40	011	60	100	80	101	100	110	120	111	140
plldl[2:0]	delay(μs)																			
000	0																			
001	20																			
010	40																			
011	60																			
100	80																			
101	100																			
110	120																			
111	140																			

表16. 第2组：GPO、数据输出和时钟输出寄存器(IOConf0、IOConf1、IOConf2)

GROUP/FUNCTION		HEX	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
2	IOConf0	0x03	gp1isht	gp2isht	ckdiv_1	ckdiv_0	gp2s_3	gp2s_2	gps2_1	gps2_0
	IOConf1	0x04	sdos_3	sdos_2	sdos_1	sdos_0	gp1s_3	gp1s_2	gp1s_1	gp1s_0
	IOConf2	0x05	—	—	qp1md_1	qp1md_0	clksh	qp2md_2	qp2md_1	qp2md_0

高性能、288MHz至945MHz ASK/FSK ISM发送器

表17. IOConf0寄存器(0x03)

BIT	NAME	FUNCTION
7	gp1isht	GPO1 current mode during sleep. If the IC GPO1 is configured to current drive mode (IOConf2 register, 0x05), writing 1 to this bit allows for the current mode operation even if the IC is in Sleep mode or disabled. If this bit is 0, current mode operation is only active when the IC is enabled.
6	gp2isht	GPO2 current mode during sleep. If the IC GPO2 is configured to current drive mode (IOConf2 register, 0x05), writing 1 to this bit allows for the current mode operation even if the IC is in Sleep mode or disabled. If this bit is 0, current mode operation is only active when the IC is enabled.
5:4	ckdiv[1:0]	2-bit configuration for clock output divider setting. A clock source selected by gp2s[3:0] is divided by the settings in these bits, according to the following: ckdiv[1:0] Divide by 00 1 01 2 10 4 11 8
3:0	gp2s[3:0]	4-bit configuration for GPO2 signal selection: gp2s[3:0] Output 0000 plllock 0001 mclk/(ckdiv divider) 0010 xtal/(ckdiv divider) 0011 xtal/16/(ckdiv divider) 0100 tbus[4] 0101 tbus[5] 0110 tbus[6] 0111 tbus[7] 1000 tbus[8] 1001 tbus[9] 1011 tbus[10] 1100 tbus[11] 1101 tbus[12] 1110 tbus[14] 1111 tbus[15] where: mclk is the master digital clock generated from the crystal divider block (xtal[1:0]); xtal is the crystal oscillator output clock; xtal/16 is a divided-by-16 version of the crystal oscillator frequency; tbus[15:0] is the 16-bit bus selected by tmux[3:0] (TestMux register, 0x3C, bits 3:0).

高性能、288MHz至945MHz ASK/FSK ISM发送器

表18. IOConf1寄存器(0x04)

BIT	NAME	FUNCTION																																																																																																												
7:4	sdos[3:0]	4-bit SPI data output GPO mode selection. When $\overline{CS}$ is low, the SDO pin outputs the SPI data output, as described in the Serial Peripheral Interface (SPI) section. When $\overline{CS}$ is high, the SDO acts as a third GPO, according to:																																																																																																												
		<table><tr><th>$\overline{CS}$</th><th>sdos[3]</th><th>sdos[2]</th><th>sdos[1]</th><th>sdos[0]</th><th>output</th></tr><tr><td>0</td><td>x</td><td>x</td><td>x</td><td>x</td><td>SPI_Dout</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>tbus[0]</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>tbus[1]</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>tbus[2]</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td><td>tbus[3]</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>tbus[4]</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>1</td><td>tbus[5]</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>0</td><td>tbus[6]</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>1</td><td>tbus[7]</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>tbus[8]</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td><td>tbus[9]</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td>tbus[10]</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>1</td><td>tbus[11]</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>tbus[12]</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>1</td><td>tbus[13]</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>tbus[14]</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>tbus[15]</td></tr></table>	$\overline{CS}$	sdos[3]	sdos[2]	sdos[1]	sdos[0]	output	0	x	x	x	x	SPI_Dout	1	0	0	0	0	tbus[0]	1	0	0	0	1	tbus[1]	1	0	0	1	0	tbus[2]	1	0	0	1	1	tbus[3]	1	0	1	0	0	tbus[4]	1	0	1	0	1	tbus[5]	1	0	1	1	0	tbus[6]	1	0	1	1	1	tbus[7]	1	1	0	0	0	tbus[8]	1	1	0	0	1	tbus[9]	1	1	0	1	0	tbus[10]	1	1	0	1	1	tbus[11]	1	1	1	0	0	tbus[12]	1	1	1	0	1	tbus[13]	1	1	1	1	0	tbus[14]	1	1	1	1	1	tbus[15]
		$\overline{CS}$	sdos[3]	sdos[2]	sdos[1]	sdos[0]	output																																																																																																							
		0	x	x	x	x	SPI_Dout																																																																																																							
		1	0	0	0	0	tbus[0]																																																																																																							
		1	0	0	0	1	tbus[1]																																																																																																							
		1	0	0	1	0	tbus[2]																																																																																																							
		1	0	0	1	1	tbus[3]																																																																																																							
		1	0	1	0	0	tbus[4]																																																																																																							
		1	0	1	0	1	tbus[5]																																																																																																							
		1	0	1	1	0	tbus[6]																																																																																																							
		1	0	1	1	1	tbus[7]																																																																																																							
		1	1	0	0	0	tbus[8]																																																																																																							
		1	1	0	0	1	tbus[9]																																																																																																							
		1	1	0	1	0	tbus[10]																																																																																																							
		1	1	0	1	1	tbus[11]																																																																																																							
		1	1	1	0	0	tbus[12]																																																																																																							
		1	1	1	0	1	tbus[13]																																																																																																							
		1	1	1	1	0	tbus[14]																																																																																																							
1	1	1	1	1	tbus[15]																																																																																																									
tbus[15:0] is the 16-bit bus selected by tmux[3:0] (TestMux register, 0x3C, bits 3:0).																																																																																																														
3:0	gp1s[3:0]	4-bit configuration for GPO1 signal selection:																																																																																																												
		<table><tr><th>gp1s[3]</th><th>gp1s[2]</th><th>gp1s[1]</th><th>gp1s[0]</th><th>output</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>tbus[0]</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>tbus[1]</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>tbus[2]</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>tbus[3]</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>tbus[4]</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>tbus[5]</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>tbus[6]</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>tbus[7]</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>tbus[8]</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>tbus[9]</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>tbus[10]</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>tbus[11]</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>tbus[12]</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>tbus[13]</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>tbus[14]</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>tbus[15]</td></tr></table>	gp1s[3]	gp1s[2]	gp1s[1]	gp1s[0]	output	0	0	0	0	tbus[0]	0	0	0	1	tbus[1]	0	0	1	0	tbus[2]	0	0	1	1	tbus[3]	0	1	0	0	tbus[4]	0	1	0	1	tbus[5]	0	1	1	0	tbus[6]	0	1	1	1	tbus[7]	1	0	0	0	tbus[8]	1	0	0	1	tbus[9]	1	0	1	0	tbus[10]	1	0	1	1	tbus[11]	1	1	0	0	tbus[12]	1	1	0	1	tbus[13]	1	1	1	0	tbus[14]	1	1	1	1	tbus[15]																							
		gp1s[3]	gp1s[2]	gp1s[1]	gp1s[0]	output																																																																																																								
		0	0	0	0	tbus[0]																																																																																																								
		0	0	0	1	tbus[1]																																																																																																								
		0	0	1	0	tbus[2]																																																																																																								
		0	0	1	1	tbus[3]																																																																																																								
		0	1	0	0	tbus[4]																																																																																																								
		0	1	0	1	tbus[5]																																																																																																								
		0	1	1	0	tbus[6]																																																																																																								
		0	1	1	1	tbus[7]																																																																																																								
		1	0	0	0	tbus[8]																																																																																																								
		1	0	0	1	tbus[9]																																																																																																								
		1	0	1	0	tbus[10]																																																																																																								
		1	0	1	1	tbus[11]																																																																																																								
		1	1	0	0	tbus[12]																																																																																																								
		1	1	0	1	tbus[13]																																																																																																								
		1	1	1	0	tbus[14]																																																																																																								
		1	1	1	1	tbus[15]																																																																																																								
tbus[15:0] is the 16-bit bus selected by tmux[3:0] (TestMux register, 0x3C, bits 3:0).																																																																																																														

高性能、288MHz至945MHz ASK/FSK ISM发送器

表19. IOConf2寄存器(0x05)

BIT	NAME	FUNCTION
5:4	gp1md[1:0]	2-bit GPO1 mode selection: 0x buffer mode 10 80μA current mode 11 160μA current mode
3	clksht	Enable (1) or disable (0) clock output on GPO2 during sleep.
2:0	gp2md[2:0]	3-bit GPO2 mode selection. The GPO2 can provide a high-frequency clock output, and therefore its current capability is higher. 0xx buffer mode 100 1.0mA 101 2.0mA 110 3.0mA 111 4.0mA

表20. 第3组：合成器频率设置(FBase0、FBase1、FBase2、FLoad)

GROUP/FUNCTION		HEX	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
3	FBase0	0x08	—	—	—	base_20	base_19	base_18	base_17	base_16
	FBase1	0x09	base_15	base_14	base_13	base_12	base_11	base_10	base_9	base_8
	FBase2	0x0A	base_7	base_6	base_5	base_4	base_3	base_2	base_1	base_0
	FLoad	0x0B	—	—	—	—	—	—	—	hop

寄存器0x08、0x09和0x0A设置21位base值，用于控制合成器频率。20:16位为5位整数部分(base[20:16])，15:0位为16位小数部分(base[15:0])。

所以，合成器频率可由下式给出：

$$f_{\text{SYNTH}} = f_{\text{XTAL}} \times (32 + \text{base}[20:0]/65,536)$$

式中，fXTAL为晶振频率，单位为MHz。然后按照fsel[1:0]设置(Conf0寄存器，0x01，3:2位)对合成器频率分频，产生LO频率。

表21. 合成器分频器设置

fsel[1:0]	LO DIVIDER
00	3
01	2
11	1

高性能、288MHz至945MHz ASK/FSK ISM发送器

合成器频率范围从863MHz至945MHz，转换至base[20:0]，如表22所示。

表22. 合成器设置

CRYSTAL (MHz)	SYNTH _F (MHz)	MULTIPLIER FACTOR (dec)	base[20:0]
16.0	863	21.9375	0x15F000
	945	27.0625	0x1B1000
19.2	863	12.9479	0x0CF2AB
	945	17.2188	0x113800
22.4	863	6.5268	0x0686DB
	945	10.1875	0x0A3000
20	863	11.1500	0x0B2666
	945	15.2500	0x0F4000

每个频带的最低和最高工作频率列于表23。

表23. 频率范围

SYNTH _F (MHz)	300MHz (f _{sel} = 00)	450MHz (f _{sel} = 01)	900MHz (f _{sel} = 11)
863	287.70	431.50	863.00
945	315.00	472.50	945.00

hop位允许三个FBase寄存器设置的并联负载，操作完成后自复位返回0。该功能也可使用外部HOP引脚实现，关于跳频操作的详细说明，请参考发送器详细工作原理部分。

表24. FBase0寄存器(0x08)

BIT	NAME	FUNCTION
4:0	base[20:16]	5-bit integer value for synthesizer.

表25. FBase1寄存器(0x09)

BIT	NAME	FUNCTION
7:0	base[15:8]	8 MSBs of fractional value for synthesizer.

表26. FBase2寄存器(0x0A)

BIT	NAME	FUNCTION
7:0	base[7:0]	8 LSBs of fractional value for synthesizer.

表27. FLoad (0x0B)

BIT	NAME	FUNCTION
0	hop	Hop bit. Loads the synthesizer fractional-N divider base value to base[20:0] written in registers 8 through 10. This is a self-reset bit, and is reset to zero after the operation is completed.

高性能、288MHz至945MHz ASK/FSK ISM发送器

表28. 第4组：发送器幅度和定时参数(TxConf0、TxConf1、TxTstep)

GROUP/FUNCTION		HEX	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
4	TxConf0	0x0C	palopwr	wsoff	fska_5	fska_4	fska_3	fska_2	fska_1	fska_0
	TxConf1	0x0D	wsmlt_1	wsmlt_0	fskas_5	fskas_4	fskas_3	fskas_2	fskas_1	fskas_0
	TxTstep	0x0E	tstep_7	tstep_6	tstep_5	tstep_4	tstep_3	tstep_2	tstep_1	tstep_0

这些寄存器设置通用FSK/ASK参数，用于PA幅度和速率控制(FSK)、整形控制，以及调幅或频移键控整形的步进控制。

表29. TxConf0寄存器(0x0C)

BIT	NAME	FUNCTION
7	palopwr	Reduces the PA input buffer current by 2mA when set to 1. Useful at low output power levels.
6	wsoff	Disables (1) or enables (0) waveshaping. If waveshaping is disabled, only shp00[7:0] (Shape00 register, 0x0F) and wsmlt[1:0] (TxConf1 register, 0x0D) are used to set the amplitude (ASK) or frequency (FSK) deviation.
5:0	fska[5:0]	6-bit final value for FSK PA amplitude (bias current) control.

表30. TxConf1寄存器(0x0D)

BIT	NAME	FUNCTION
7:6	wsmlt[1:0]	2-bit scaler for shp00[7:0] (Shape00 register, 0x0F), effectively multiplying the value of Shape00 by: wsmlt[1:0] multiplier 0 0 1 0 1 2 1 0 4 1 1 8
5:0	fskas[5:0]	6-bit FSK amplitude (bias current) step for ramp-up and ramp-down operations. The PA amplitude increases/decreases by this amount for every 1/20th of the data rate time elapsed (TxTstep register, 0x0E), until it reaches the final fska[5:0] value when ramping up, or reaches 0 when ramping down.

表31. TxTstep寄存器(0x0E)

BIT	NAME	FUNCTION
7:0	tstep[7:0]	8-bit update value for waveshaping. This setting corresponds to 1/20th of the data rate, given in periods of the master digital clock (312.5ns for 3.2 MHz). $tstep[7:0] = INT(mclk / (20 \times DataRate))$ For 80kbps < DataRate ≤ 160kbps, tstep[7:0] = 1, mclk = 3.2MHz For 40kbps < DataRate ≤ 80kbps, tstep[7:0] = 2, mclk = 3.2MHz For 160kbps < DataRate ≤ 200kbps, tstep[7:0] = 1, mclk = 4.0MHz For 4kbps, tstep = INT(3.2 × 10 ⁶ / (20 × 4000)) = 40 (0x28), mclk = 3.2MHz The maximum value for tstep[7:0] is 255, which allows for a minimum shaped data rate of 627bps. These values assume shaping during the entire bit interval. The tstep value can be set lower if possible for shaping during a portion of the bit interval.

该设置允许每个发送数据符号按照20级顺序步进，完成调幅(ASK)或频移键控(FSK)整形。

高性能、288MHz至945MHz ASK/FSK ISM发送器

表32. 第5组：发送器整形寄存器(Shape00–Shape18)

GROUP/FUNCTION		HEX	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
5	Shape00	0x0F	shp00_7	shp00_6	shp00_5	shp00_4	shp00_3	shp00_2	shp00_1	shp00_0
	Shape01	0x10	shp01_7	shp01_6	shp01_5	shp01_4	shp01_3	shp01_2	shp01_1	shp01_0
	Shape02	0x11	shp02_7	shp02_6	shp02_5	shp02_4	shp02_3	shp02_2	shp02_1	shp02_0
	Shape03	0x12	shp03_7	shp03_6	shp03_5	shp03_4	shp03_3	shp03_2	shp03_1	shp03_0
	Shape04	0x13	shp04_7	shp04_6	shp04_5	shp04_4	shp04_3	shp04_2	shp04_1	shp04_0
	Shape05	0x14	shp05_7	shp05_6	shp05_5	shp05_4	shp05_3	shp05_2	shp05_1	shp05_0
	Shape06	0x15	shp06_7	shp06_6	shp06_5	shp06_4	shp06_3	shp06_2	shp06_1	shp06_0
	Shape07	0x16	shp07_7	shp07_6	shp07_5	shp07_4	shp07_3	shp07_2	shp07_1	shp07_0
	Shape08	0x17	shp08_7	shp08_6	shp08_5	shp08_4	shp08_3	shp08_2	shp08_1	shp08_0
	Shape09	0x18	shp09_7	shp09_6	shp09_5	shp09_4	shp09_3	shp09_2	shp09_1	shp09_0
	Shape10	0x19	shp10_7	shp10_6	shp10_5	shp10_4	shp10_3	shp10_2	shp10_1	shp10_0
	Shape11	0x1A	shp11_7	shp11_6	shp11_5	shp11_4	shp11_3	shp11_2	shp11_1	shp11_0
	Shape12	0x1B	shp12_7	shp12_6	shp12_5	shp12_4	shp12_3	shp12_2	shp12_1	shp12_0
	Shape13	0x1C	shp13_7	shp13_6	shp13_5	shp13_4	shp13_3	shp13_2	shp13_1	shp13_0
	Shape14	0x1D	shp14_7	shp14_6	shp14_5	shp14_4	shp14_3	shp14_2	shp14_1	shp14_0
	Shape15	0x1E	shp15_7	shp15_6	shp15_5	shp15_4	shp15_3	shp15_2	shp15_1	shp15_0
	Shape16	0x1F	shp16_7	shp16_6	shp16_5	shp16_4	shp16_3	shp16_2	shp16_1	shp16_0
	Shape17	0x20	shp17_7	shp17_6	shp17_5	shp17_4	shp17_3	shp17_2	shp17_1	shp17_0
	Shape18	0x21	shp18_7	shp18_6	shp18_5	shp18_4	shp18_3	shp18_2	shp18_1	shp18_0

这些寄存器设置发送数据的幅度调制(ASK)或频移键控(FSK)调制。tstep[7:0]定义1/20码率，在之前的累积结果上增加波形整形值。所有整形值为差值，最终ASK幅度或FSK频偏由所有整形寄存器累加和决定。

ASK模式下，初始值为0；FSK模式时，初始值由base[20:0]给出。通过20级间隔(所以有19个波形成形寄存器)建立发送数据从0至1所需的频率转换，或从1至0所需的频率转换。

表33. Shape00寄存器(0x0F)

BIT	NAME	FUNCTION
7:0	shp00[7:0]	First 8-bit value for waveshaping. This value is effectively multiplied by the wsmlt[1:0] setting (TxConf1 register, 0x0D). If the wsoff bit is high, this is the only value that is added or subtracted to perform either amplitude (ASK) or frequency (FSK) modulation.

高性能、288MHz至945MHz ASK/FSK ISM发送器

表34. Shape01–Shape18寄存器(0x10–0x21)

BIT	NAME	FUNCTION
7:0	shp01[7:0] shp02[7:0] shp03[7:0] shp04[7:0] shp05[7:0] shp06[7:0] shp07[7:0] shp08[7:0] shp09[7:0] shp10[7:0] shp11[7:0] shp12[7:0] shp13[7:0] shp14[7:0] shp15[7:0] shp16[7:0] shp17[7:0] shp18[7:0]	18 8-bit values for waveshaping. These values, along with shp00[7:0], yield the 19 different values (20 intervals) used for waveshaping, one for each of the 20 updates occurring during each 0-1 or 1-0 transmitted data transition.

表35. 第6组：控制寄存器(TestMux、DataIn、EnableReg)

GROUP/FUNCTION		HEX	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
6	TestMux	0x3C	—	—	—	—	tmux_3	tmux_2	tmux_1	tmux_0
	DataIn	0x3D	—	datain	—	—	—	—	—	—
	EnableReg	0x3E	—	—	—	—	tsensor	—	—	enable

该寄存器组合了状态总线控制(tbus[15:0])、GPO控制、温度传感器控制、引脚功能(txdata)寄存器控制，以及使能控制。

表36. TestMux寄存器(0x3C)

BIT	NAME	FUNCTION
3:0	tmux[3:0]	4-bit selection of tbus[15:0] (TestBus0 and TestBus1 registers, 0x40 and 0x41) contents. See the TestBus0 and TestBus1 register descriptions for a complete description of what can be observed through this 16-bit bus.

高性能、288MHz至945MHz ASK/FSK ISM发送器

表37. Datain寄存器(0x3D)

BIT	NAME	FUNCTION
6	datain	Transmit datain bit. This is a register equivalent of the DATAIN pin. When either the DATAIN pin or datain bit is 1, the transmit data is 1. Only when both are 0 the transmit data is 0 (logical OR function). Keep 0 if only the external DATAIN pin is used, and keep DATAIN pin 0 if the internal datain bit is used.

表38. EnableReg寄存器(0x3E)

BIT	NAME	FUNCTION
3	tsensor	Writing a 1 to this bit starts the temperature sensor A/D conversion. This is a self-reset bit, where the bit is automatically reset when the conversion is finished. The result can then be read through the TestBus1 register (0x41). This function is available only in Sleep mode.
0	enable	Enables (1) or disables (0) the IC's transmitter operations. To enable the IC, SHDN must be driven low. This is a register equivalent of the ENABLE pin. When either the ENABLE pin or enable bit is 1, the IC transmit operation is enabled. Only when both are 0 the transmitter is disabled (logical-OR function). Keep 0 if only the external ENABLE pin is used, and keep ENABLE pin 0 if the internal enable is used.

表39. 第7组：只读状态寄存器(TestBus0、TestBus1、Status0、Status1)

GROUP/FUNCTION	HEX	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
7	TestBus0	0x40	tbus_15	tbus_14	tbus_13	tbus_12	tbus_11	tbus_10	tbus_9
	TestBus1	0x41	tbus_7	tbus_6	tbus_5	tbus_4	tbus_3	tbus_2	tbus_1
	Status0	0x42	txready	—	adcrdy	—	gpo1out	plllock	lockdet
	Status1	0x43	—	—	—	tsdone	—	—	—

寄存器0x3F–0x43为只读寄存器，用于存储A/D转换结果、状态和测试。

表40. TestBus0寄存器(0x40)

BIT	NAME	FUNCTION
7:0	tbus[15:8]	8 MSBs of the internal 16-bit bus tbus[15:0], selected by tmux[3:0] (TextMux register, 0x3C, bits 3:0).

高性能、288MHz至945MHz ASK/FSK ISM发送器

表41. 测试总线信号(tbush[15:8])

tmux[3:0]	tbush[15]	tbush[14]	tbush[13]	tbush[12]	tbush[11]	tbush[10]	tbush[9]	tbush[8]
0x0	—	—	—	—	—	—	—	—
0x1	—	—	—	—	—	—	—	—
0x2	—	—	—	—	—	—	—	—
0x3	—	—	—	—	—	—	—	—
0x4	—	—	—	—	—	—	—	—
0x5	—	—	pabia[5]	pabia[4]	pabia[3]	pabia[2]	pabia[1]	pabia[0]
0x6	frac[15]	frac[14]	frac[13]	frac[12]	frac[11]	frac[10]	frac[9]	frac[8]
0x7	—	—	—	—	—	—	—	—
0x8	—	—	—	—	—	—	—	—
0x9	—	—	—	—	—	—	—	—
0xA	—	—	—	—	—	—	—	—
0xB	—	—	—	—	—	—	—	mclk
0xC	—	—	—	—	—	—	—	plllock
0xD	—	—	—	—	—	—	—	—
0xE	—	—	—	—	—	—	—	—
0xF	—	—	—	—	—	—	—	—

其中：

tmux[3:0]	信号	说明
0x0–0x4	—	保留信号，用于测试
0x5	pabia[5:0]	PA幅值控制总线
0x6	frac[15:8]	发送至频率合成器的小数MSB
0x7–0xA	—	保留信号，用于测试
0xB	mclk	主控制器数字时钟
0xC	plllock	合成器锁定信号
0xD–0xF	—	保留信号，用于测试

表42. TestBus1寄存器(0x41)

BIT	NAME	FUNCTION
7:0	tbush[7:0]	8 LSBs of the internal 16-bit bus tbush[15:0], selected by tmux[3:0] (TestMux register, 0x3C, bits 3:0).

高性能、288MHz至945MHz ASK/FSK ISM发送器

表43. 测试总线信号(tbush[7:0])

tmux[3:0]	tbush[7]	tbush[6]	tbush[5]	tbush[4]	tbush[3]	tbush[2]	tbush[1]	tbush[0]
0x0	tsdonef	tsadc[6]	tsadc[5]	tsadc[4]	tsadc[3]	tsadc[2]	tsadc[1]	tsadc[0]
0x1	—	—	—	—	—	—	—	—
0x2	—	—	—	—	—	—	—	—
0x3	—	—	—	—	—	—	—	—
0x4	—	—	—	—	—	—	—	—
0x5	palopwr	—	—	integ[4]	integ[3]	integ[2]	integ[1]	integ[0]
0x6	frac[7]	frac[6]	frac[5]	frac[4]	frac[3]	frac[2]	frac[1]	frac[0]
0x7	—	—	—	—	—	—	—	—
0x8	—	—	—	—	—	—	—	—
0x9	—	—	—	ents	—	—	—	tsdonef
0xA	—	—	—	—	—	—	—	—
0xB	—	—	—	—	—	—	—	—
0xC	—	lockdet	ckalive	—	—	—	txready	—
0xD	—	—	—	—	—	—	—	—
0xE	—	—	—	—	—	—	—	—
0xF	—	—	—	—	mclk	—	—	—

其中：

tmux[3:0]	信号	说明
0x0	tsdonef	温度传感器转换完成标志。
	tsadc[6:0]	温度传感器A/D结果
0x1–0x4	—	保留信号，用于测试
0x5	palopwr	PA低功率模式标记
	integ[4:0]	发送至频率合成器的整数值
0x6	frac[7:0]	发送至频率合成器的小数LSB
0x7, 0x8	—	保留信号，用于测试
0x9	ents	使能温度传感器转换信号。
	tsdonef	温度传感器完成标志
0xA, 0xB	—	保留信号，用于测试
0xC	lockdet	合成器锁定检测信号
	ckalive	晶振时钟有效标志
	txready	Tx就绪标志
0xD, 0xE	—	保留信号，用于测试
0xF	mclk	主控制器数字时钟

注意，数字测试总线的每个信号均可在GPO1、GPO2或SDO观察到，如[数字输出](#)部分所述。

高性能、288MHz至945MHz ASK/FSK ISM发送器

表44. Status0寄存器(0x42)

BIT	NAME	FUNCTION
7	txready	Transmit ready flag. After this bit goes to 1, the IC is ready to accept transitions on the DATAIN pin or on the datain bit inputs. Both these bits should be 0 before the txready flag is 1.
5	adcrdy	Internal test flag that signals the end of the A/D warmup time.
3	gpo1out	Register copy of the GPO1 pin logical state.
2	plllock	Synthesizer lock flag, after programmable plldl[2:0] expires.
1	lockdet	Synthesizer lock detect flag.
0	ckalive	Crystal oscillator clock alive flag, indicating clock activity from the crystal oscillator.

表45. Status1寄存器(0x43)

BIT	NAME	FUNCTION
4	tsdone	Temperature sensor conversion done flag. When 1, the A/D conversion of the internal temperature sensor is completed.

布局考虑

对于任何RF/微波电路,合理设计PCB都至关重要。对高频、高阻抗输入和输出,采用最小宽度并尽可能短的走线,将杂散电容降至最小。使用短的走线还有助于降低寄生电感。一般来说,1in的PCB走线大约增加20nH的寄生电感。寄生电感对无源器件的等效电感影响非常大。例如,连接至100nH电感的0.5in走线会增加额外10nH的电感,或者说10%。

为了降低寄生电感,在信号走线下方采用稳固的接地区域。匹配元件和旁路元件应通过尽可能地的寄生电感连接到接地区域,旁路电容尽量靠近电源引脚。所有匹配元件和旁路元件应通过独立过孔连接至接地区域,以减小不希望的阻抗耦合。

高性能、288MHz至945MHz ASK/FSK ISM发送器

订购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX7049ATI+	-40°C to +125°C	28 TQFN-EP*

+表示无铅(Pb)/符合RoHS标准的封装。
*EP = 裸焊盘。

芯片信息

PROCESS: BiCMOS

封装信息

如需最近的封装外形信息和焊盘布局(占位面积)，请查询china.maxim-integrated.com/packages。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
28 TQFN-EP	T2855+3	21-0140	90-0023

高性能、288MHz至945MHz ASK/FSK ISM发送器

修订历史

修订号	修订日期	说明	修改页
0	6/11	最初版本。	—

Maxim北京办事处

北京8328信箱 邮政编码100083
免费电话：800 810 0310
电话：010-6211 5199
传真：010-6211 5299

Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。