

2.2MHz、双路输出、降压或升压型转换器，具有POR及电源失效输出

概述

MAX5072双输出DC-DC转换器，集成高端n沟道功率MOSFET。每路输出可以单独设置为降压或升压。MAX5072设计用于xDSL调制解调器电源管理。5.5V至23V宽电压输入范围允许使用低成本AC适配器对xDSL调制解调器供电。每路输出单独可调，降压输出可低至0.8V，升压输出可高至28V，输出电压精度可达 $\pm 1\%$ 。降压模式下，转换器1和转换器2可分别输出2A和1A电流。可在200kHz至2.2MHz之间设置每个转换器的开关频率，以避免在xDSL工作频带中产生谐波。两路输出工作在180°异相模式，可降低输入电容纹波电流，并降低尺寸和成本。SYNC输入简化了外部频率同步。而且，CLKOUT为转换器2的异相时钟输出，在主从配置中，可采用两个MAX5072 IC实现四相工作。

MAX5072内部数字软启动功能有助于降低输入浪涌电流，避免输出电压过冲，确保上电过程中输出电压单调上升。器件具有电源就绪输出、上电复位以及手动复位功能。此外，每个转换器输出可单独关断。MAX5072具有“dying gasp”输出，当输入电压降至低于预设值时输出置低。保护功能包括降压模式输出短路保护、升压模式最大占空比限制和热关断等。

MAX5072采用高效散热的32引脚薄型QFN封装，环境温度为+70°C时可耗散2.7W功率。器件额定工作在-40°C至+85°C扩展级温度范围，或-40°C至+125°C汽车级温度范围。

应用

xDSL调制解调器
xDSL路由器
负载点DC-DC转换器

订购信息

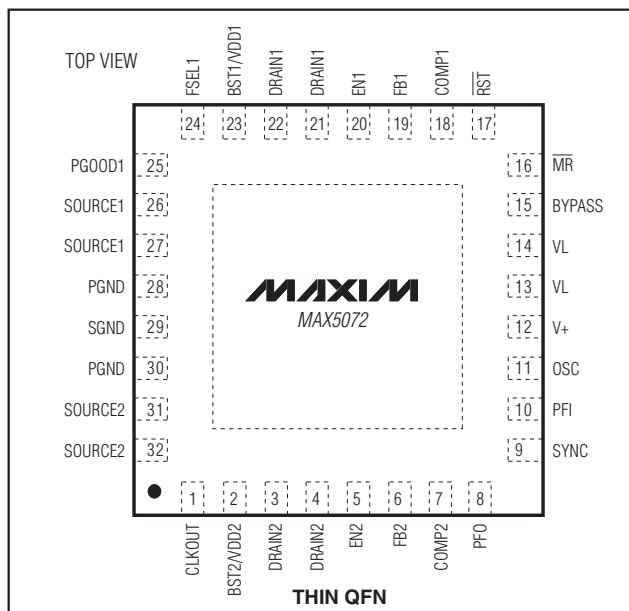
PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX5072ETJ	-40°C to +85°C	32 Thin QFN-EP* (5mm x 5mm)	T3255-4

*EP = 裸焊盘。

特性

- ◆ 4.5V至5.5V或5.5V至23V输入电压范围
- ◆ 0.8V (降压)至28V (升压)输出电压
- ◆ 两个独立输出DC-DC转换器，带有内部功率MOSFET
- ◆ 每路输出可单独设为升压或降压模式
- ◆ 降压模式下， I_{OUT1} 和 I_{OUT2} 分别为2A和1A
- ◆ 180°异相工作
- ◆ 四相工作时钟输出
- ◆ 开关频率200kHz至2.2MHz可设
- ◆ 数字软启动和独立的转换器关断
- ◆ SYNC输入、上电复位、手动复位和电源失效输出
- ◆ 短路保护(降压)/最大占空比限制(升压)
- ◆ 热关断
- ◆ 高效散热的32引脚薄型QFN封装，+70°C时可耗散2.7W功率

引脚配置



订购信息(续)在本数据资料的最后给出。

2.2MHz、双路输出、降压或升压型转换器， 具有POR及电源失效输出

ABSOLUTE MAXIMUM RATINGS

V+ to PGND-0.3V to +25V
 SGND to PGND-0.3V to +0.3V
 VL to SGND-0.3V to the lower of +6V or (V+ + 0.3V)
 BST1/VDD1, BST2/VDD2, DRAIN_, PFO, RST, PGOOD1 to
 SGND-0.3V to +30V
 BST1/VDD1 to SOURCE1,
 BST2/VDD2 to SOURCE2-0.3V to +6V
 SOURCE_ to SGND-0.6V to +25V
 EN_ to SGND-0.3V to (VL + 0.3V)
 CLKOUT, BYPASS, OSC, FSEL1, COMP1,
 COMP2, PFI, MR, SYNC, FB_ to SGND-0.3V to (VL + 0.3V)
 SOURCE1, DRAIN1 Peak Current5A for 1ms

SOURCE2, DRAIN2 Peak Current3A for 1ms
 VL, BYPASS to SGND Short Circuit.....Continuous
 Continuous Power Dissipation (T_A = +70°C)
 32-Pin Thin QFN (derate 21.3mW/°C above +70°C).....2758mW*
 Package Junction-to-Case Thermal Resistance (θ_{JC}).....2°C/W
 Operating Temperature Ranges:
 MAX5072ETJ (T_{MIN} to T_{MAX}).....-40°C to +85°C
 MAX5072ATJ (T_{MIN} to T_{MAX}).....-40°C to +125°C
 Junction Temperature.....+150°C
 Storage Temperature Range.....-65°C to +150°C
 Lead Temperature (soldering, 10s).....+300°C

*As per JEDEC51 standard.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V+ = VL = 5.2V or V+ = 5.5V to 23V, EN_ = VL, SYNC = GND, I_{VL} = 0, PGND = SGND, C_{BYPASS} = 0.22μF, C_{VL} = 4.7μF (ceramic), R_{OSC} = 10kΩ (circuit of Figure 1), T_A = T_J = T_{MIN} to T_{MAX}, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
SYSTEM SPECIFICATIONS							
Input Voltage Range	V+	(Note 2)		5.5	23	V	
		VL = V+		4.5	5.5		
Operating Supply Current	I _Q	VL unloaded, no switching, V _{FB_} = 1V, V+ = 12V, R _{OSC} = 60kΩ		2.2	1.2	mA	
V+ Standby Supply Current	I _{STBY}	EN_ = 0, $\overline{\text{MR}}$, PFO, and PGOOD_ floating, V+ = 12V, R _{OSC} = 60kΩ (MAX5072ETJ)		0.6	1.4	mA	
		EN_ = 0, $\overline{\text{MR}}$, PFO, and PGOOD_ floating, V+ = 12V, R _{OSC} = 60kΩ (MAX5072ATJ)		0.6	1.4		
Efficiency	η	V _{OUT1} = 3.3V at 1.5A, V _{OUT2} = 2.5V at 0.75A (f _{sw} = 1.25MHz)	V+ = VL = 5V	82	%		
			V+ = 12V	80			
			V+ = 16V	78			
STARTUP/VL REGULATOR							
VL Undervoltage Lockout Trip Level	UVLO	VL falling		3.95	4.1	4.25	V
VL Undervoltage Lockout Hysteresis				175			mV
VL Output Voltage	VL	V+ = 5.5V to 23V, I _{SOURCE} = 0 to 40mA		4.9	5.2	5.5	V
BYPASS OUTPUT							
BYPASS Voltage	V _{BYPASS}	I _{BYPASS} = 0, R _{OSC} = 60kΩ (MAX5072ETJ)		1.98	2.00	2.02	V
		I _{BYPASS} = 0, R _{OSC} = 60kΩ (MAX5072ATJ)		1.975	2.00	2.025	
BYPASS Load Regulation	ΔV _{BYPASS}	0 ≤ I _{BYPASS} ≤ 50μA, R _{OSC} = 60kΩ		0	2	10	mV
SOFT-START							
Digital Ramp Period		Internal 6-bit DAC		2048			f _{osc} clock cycles
Soft-Start Steps				64			steps

2.2MHz、双路输出、降压或升压型转换器， 具有POR及电源失效输出

MAX5072

ELECTRICAL CHARACTERISTICS (continued)

(V₊ = V_L = 5.2V or V₊ = 5.5V to 23V, EN₋ = V_L, SYNC = GND, I_{VL} = 0, PGND = SGND, C_{BYPASS} = 0.22μF, C_{VL} = 4.7μF (ceramic), R_{OSC} = 10kΩ (circuit of Figure 1), T_A = T_J = T_{MIN} to T_{MAX}, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
VOLTAGE-ERROR AMPLIFIER						
FB_ Input Bias Current	I _{FB}		250			nA
FB_ Input Voltage Set Point		0°C ≤ T _A ≤ +70°C	0.792	0.8	0.808	V
		-40°C ≤ T _A ≤ +85°C	0.788	0.8	0.812	
		-40°C ≤ T _J ≤ +125°C (MAX5072ATJ only)	0.788	0.8	0.812	
FB_ to COMP_ Transconductance	g _M	0°C to +85°C	1.25	2.00	2.70	mS
		-40°C to +85°C	1.2	2.0	2.9	
		-40°C to +125°C (MAX5072ATJ only)	1.2	2.0	2.9	
INTERNAL MOSFETS						
On-Resistance Converter 1	R _{ON1}	I _{SWITCH} = 100mA, V _{BST1/VDD1} to V _{SOURCE1} = 5.2V (MAX5072ETJ)	195 290			mΩ
		I _{SWITCH} = 100mA, V _{BST1/VDD1} to V _{SOURCE1} = 5.2V (MAX5072ATJ)	195 330			
		I _{SWITCH} = 100mA, V _{BST1/VDD1} to V _{SOURCE1} = 4.5V (MAX5072ETJ)	200 315			
		I _{SWITCH} = 100mA, V _{BST1/VDD1} to V _{SOURCE1} = 4.5V (MAX5072ATJ)	200 350			
On-Resistance Converter 2	R _{ON2}	I _{SWITCH} = 100mA, V _{BST2/VDD2} to V _{SOURCE2} = 5.2V	330 630			mΩ
		I _{SWITCH} = 100mA, V _{BST2/VDD2} to V _{SOURCE2} = 4.5V	350 690			
Minimum Converter 1 Output Current	I _{OUT1}	V _{OUT1} = 3.3V, V ₊ = 12V (Note 3)	2			A
Minimum Converter 2 Output Current	I _{OUT2}	V _{OUT2} = 2.5V, V ₊ = 12V (Note 3)	1			A
Converter 1 MOSFET Leakage Current	I _{LK1}	EN1 = 0V, V _{DS} = 23V	10			μA
Converter 2 MOSFET Leakage Current	I _{LK2}	EN2 = 0V, V _{DS} = 23V	10			μA
INTERNAL SWITCH CURRENT LIMIT						
Current-Limit Converter 1	I _{CL1}	V ₊ = 12V (MAX5072ETJ)	2.3	3	4.3	A
		V ₊ = 12V (MAX5072ATJ)	2.3	3	4.6	
Current-Limit Converter 2	I _{CL2}	MAX5072ETJ	1.38	1.8	2.10	A
		MAX5072ATJ	1.38	1.8	2.10	

2.2MHz、双路输出、降压或升压型转换器， 具有POR及电源失效输出

ELECTRICAL CHARACTERISTICS (continued)

(V+ = VL = 5.2V or V+ = 5.5V to 23V, EN_L = VL, SYNC = GND, I_{VL} = 0, PGND = SGND, C_{BYPASS} = 0.22μF, C_{VL} = 4.7μF (ceramic), R_{OSC} = 10kΩ (circuit of Figure 1), T_A = T_J = T_{MIN} to T_{MAX}, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
INTERNAL OSCILLATOR/SYNC						
Maximum Duty Cycle	D _{MAX}	SYNC = SGND, f _{SW} = 1.25MHz	84	86	95	%
		SYNC = SGND, f _{SW} = 2.2MHz	84	86	95	
Switching Frequency Range	f _{SW}	Each converter	200		2200	kHz
Switching Frequency	f _{SET}	R _{OSC} = 10kΩ, each converter	1125	1250	1375	kHz
Switching Frequency Accuracy		5.6kΩ ≤ R _{OSC} ≤ 56kΩ, 1%, each converter	-15		+15	%
SYNC Frequency Range	f _{SYNC}	SYNC input frequency is twice the individual converter frequency	400		4400	kHz
SYNC High Threshold	V _{SYNCH}		2.4			V
SYNC Low Threshold	V _{SYNCL}				0.8	V
SYNC Input MIN Pulse Width	t _{SYNCIN}			100		ns
Clock Output Phase Delay	CLKOUT PHASE	R _{OSC} = 60kΩ, 1%, with respect to converter 2/SOURCE2 waveform		45		degrees
SYNC to SOURCE 1 Phase Delay	SYNCPHASE	R _{OSC} = 60kΩ, 1%		45		degrees
Clock Output High Level	V _{CLKOUTH}	VL = 5.2V, sourcing 5mA	4			V
Clock Output Low Level	V _{CLKOUTL}	VL = 5.2V, sinking 5mA			0.4	V
FSEL1						
FSEL1 Input High Threshold	V _{IH}	V+ = VL = +5.2V	2.4			V
FSEL1 Input Low Threshold	V _{IL}	V+ = VL = +5.2V			0.8	V
EN_L INPUTS						
EN _L Input High Threshold	V _{IH}	V+ = VL = +5.2V	2.4	1.8		V
EN _L Input Low Threshold	V _{IL}	V+ = VL = +5.2V		1.2	0.8	V
EN _L Bias Current	I _{B(EN)}				250	nA
MANUAL RESET (MR) AND POWER-ON-RESET (RST)						
MR Minimum Pulse Width	t _{MR}				10	μs
MR Glitch Immunity		Maximum glitch pulse width allowed for RST to remain high		100		ns
MR to RST Propagation Delay	t _{MD}			1		μs
MR Input High Threshold	V _{IH}	V+ = VL = +5.2V	2.4			V
MR Input Low Threshold	V _{IL}	V+ = VL = +5.2V			0.8	V
MR Internal Pullup Resistor	R _{MR}			44		kΩ
Power-On-Reset Threshold	V _{TH}	RST goes high 180ms after V _{OUT1} and V _{OUT2} cross this threshold	90	92.5	95	% V _{OUT}
FB _L to RST Propagation Delay	t _{FD}	FB overdrive from 0.8V to 0.6V		1.1		μs
RST Active Timeout Period	t _{RP}		140	200	360	ms
RST Output Voltage	V _{RSTL}	I _{SINK} = 3mA (MAX5072ETJ)			0.4	V
		I _{SINK} = 3mA (MAX5072ATJ)			0.52	
RST Output Leakage Current	I _{RSTLK}	V+ = VL = 5.2V, V _{RST} = 23V, V _{FB} = 0.8V			1	μA

2.2MHz、双路输出、降压或升压型转换器， 具有POR及电源失效输出

MAX5072

ELECTRICAL CHARACTERISTICS (continued)

(V+ = VL = 5.2V or V+ = 5.5V to 23V, EN_L = VL, SYNC = GND, I_{VL} = 0, PGND = SGND, C_{BYPASS} = 0.22μF, C_{VL} = 4.7μF (ceramic), R_{OSC} = 10kΩ (circuit of Figure 1), T_A = T_J = T_{MIN} to T_{MAX}, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER-GOOD OUTPUT (PGOOD1)						
PGOOD1 Threshold	PGOOD1VTH	PGOOD1 goes high after V _{OUT} crosses PGOOD1 threshold	90	92.5	95	% V _{OUT}
PGOOD1 Output Voltage	V _{PGOOD1}	I _{SINK} = 3mA (MAX5072ETJ)			0.4	V
		I _{SINK} = 3mA (MAX5072ATJ)			0.52	
PGOOD1 Output Leakage Current	I _{LKPGOOD1}	V+ = VL = 5.2V, V _{PGOOD1} = 23V, V _{FB1} = 1V			1	μA
DYING GASP POWER-FAIL INPUT (PFI), POWER-FAIL OUTPUT (PFO)						
PFI Trip Level	V _{TH}	PFI falling	0.76	0.78	0.80	V
PFI Hysteresis	V _{THH}			20		mV
PFI Input Bias Current	I _{B(PFI)}	V _{PFI} = 0.75V			500	nA
PFI Glitch Immunity		100mV overdrive		35		μs
PFI to PFO Propagation Delay	t _{PF}	50mV overdrive		35		μs
PFO Output Low Voltage	V _{PFO}	I _{SINK} = 3mA (MAX5072ETJ)			0.4	V
		I _{SINK} = 3mA (MAX5072ATJ)			0.52	
PFO Output Leakage Current	I _{LKPFO}	V+ = VL = 5.2V, V _{PFO} = 5.5V, V _{PFI} = 1V			1	μA
THERMAL MANAGEMENT						
Thermal Shutdown	T _{SHDN}	Junction temperature		+150		°C
Thermal Hysteresis	T _{HYST}	Junction temperature		30		°C

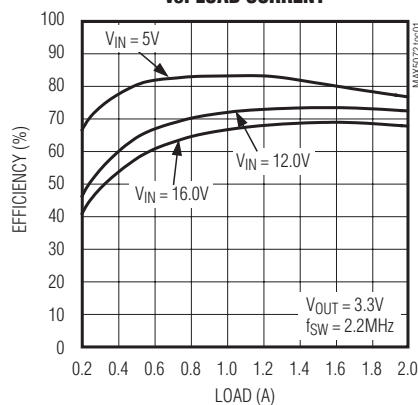
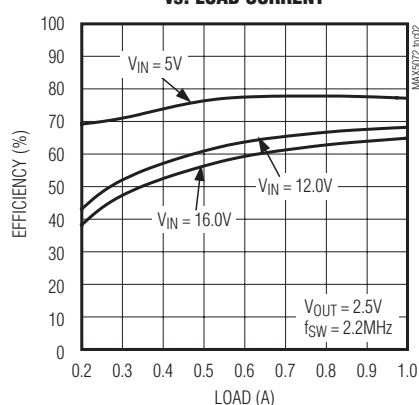
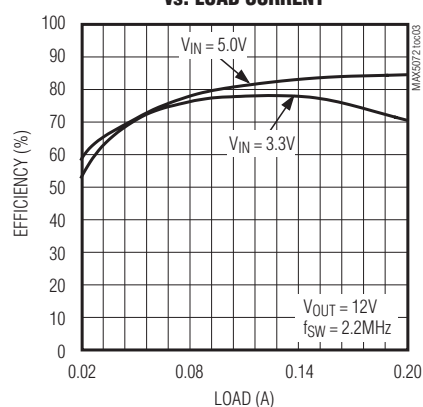
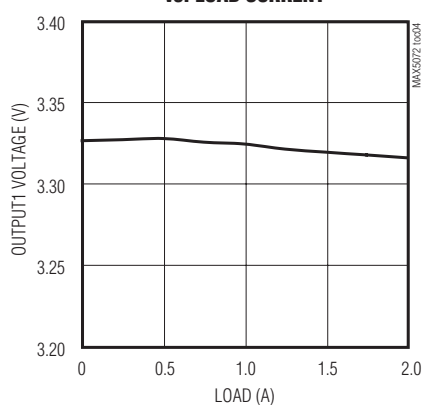
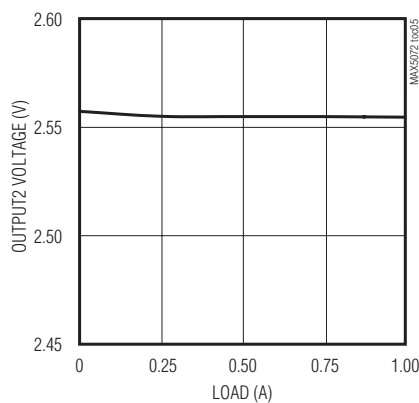
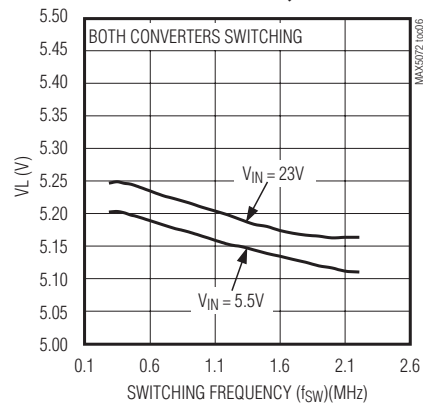
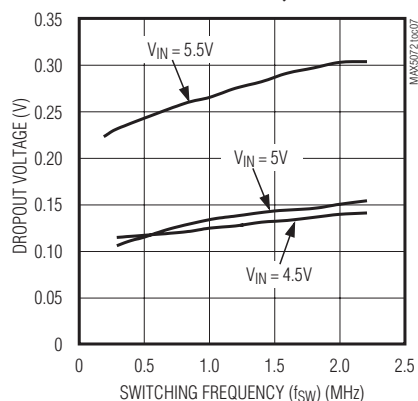
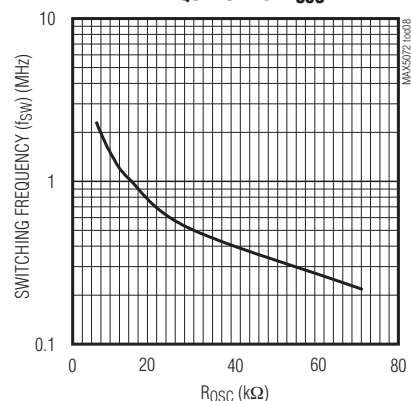
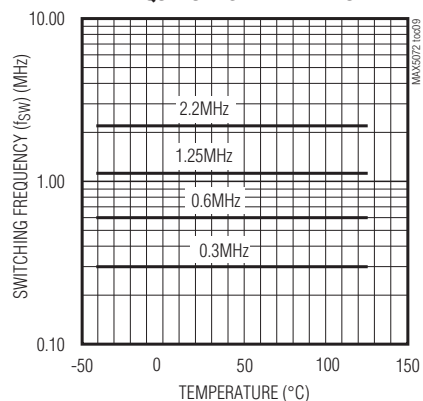
Note 1: Specifications at -40°C are guaranteed by design and not production tested.

Note 2: Operating supply range (V+) is guaranteed by VL line regulation test. Connect V+ to VL for 5V operation.

Note 3: Output current may be limited by the power dissipation of the package, see the *Power Dissipation* section in the *Applications Information*.

2.2MHz、双路输出、降压或升压型转换器， 具有POR及电源失效输出

典型工作特性

(V₊ = V_L = 5.2V, T_A = +25°C, unless otherwise noted.)
**OUTPUT1 EFFICIENCY (BUCK CONVERTER)
vs. LOAD CURRENT**

**OUTPUT2 EFFICIENCY (BUCK CONVERTER)
vs. LOAD CURRENT**

**OUTPUT2 EFFICIENCY (BOOST CONVERTER)
vs. LOAD CURRENT**

**OUTPUT1 VOLTAGE (BUCK CONVERTER)
vs. LOAD CURRENT**

**OUTPUT2 VOLTAGE (BUCK CONVERTER)
vs. LOAD CURRENT**

**VL OUTPUT VOLTAGE vs. CONVERTER
SWITCHING FREQUENCY**

**VL DROPOUT VOLTAGE vs. EACH CONVERTER
SWITCHING FREQUENCY**

**EACH CONVERTER SWITCHING
FREQUENCY vs. R0SC**

**EACH CONVERTER SWITCHING
FREQUENCY vs. TEMPERATURE**


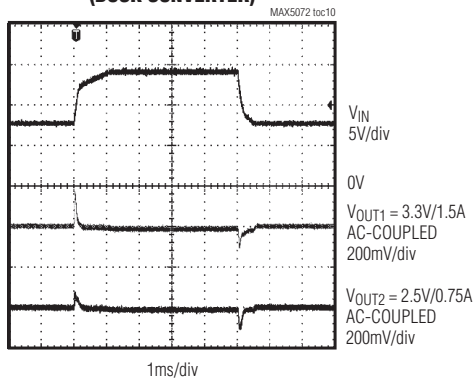
2.2MHz、双路输出、降压或升压型转换器， 具有POR及电源失效输出

典型工作特(续)

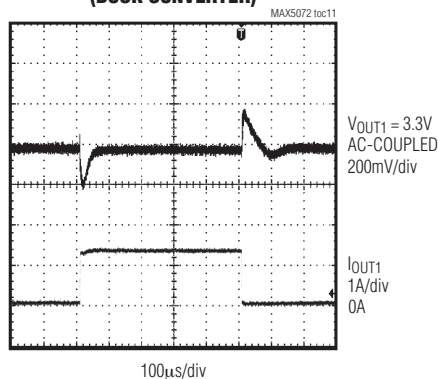
($V_+ = V_L = 5.2V$, $T_A = +25^\circ C$, unless otherwise noted.)

MAX5072

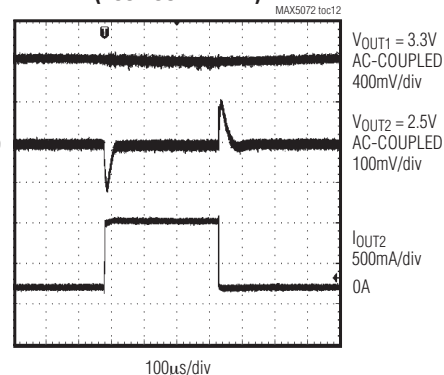
**LINE-TRANSIENT RESPONSE
(BUCK CONVERTER)**



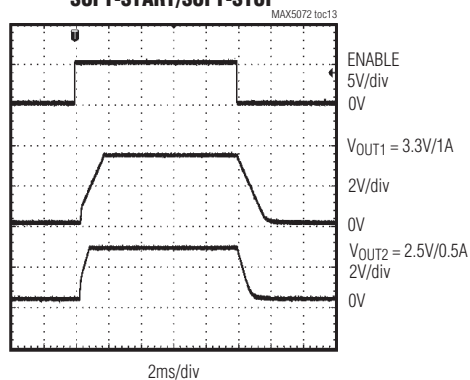
**CONVERTER 1 LOAD-TRANSIENT RESPONSE
(BUCK CONVERTER)**



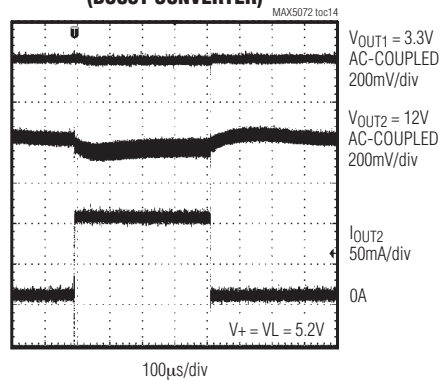
**CONVERTER 2 LOAD-TRANSIENT RESPONSE
(BUCK CONVERTER)**



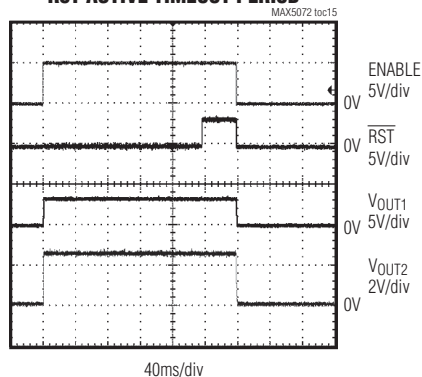
SOFT-START/SOFT-STOP



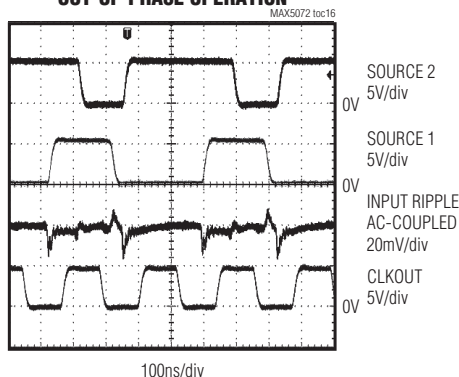
**LOAD-TRANSIENT RESPONSE
(BOOST CONVERTER)**



RST ACTIVE TIMEOUT PERIOD



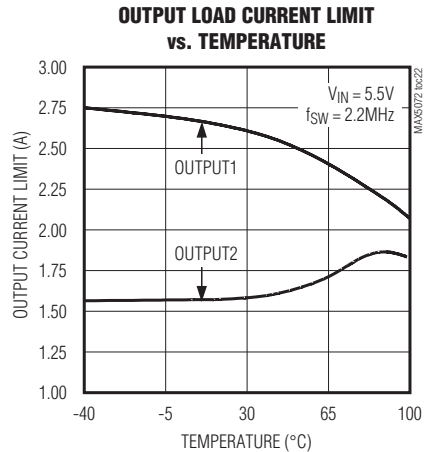
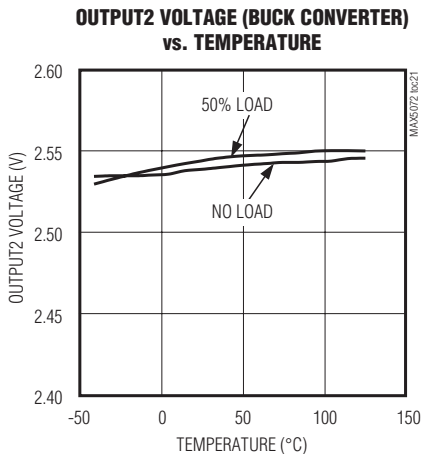
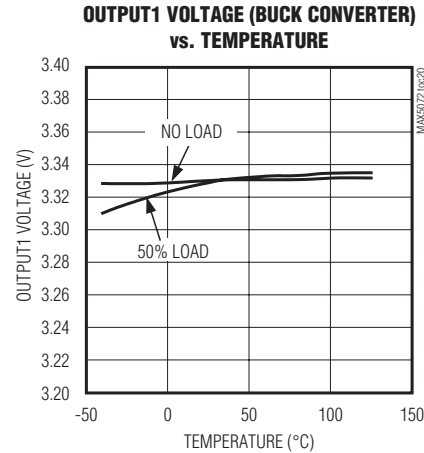
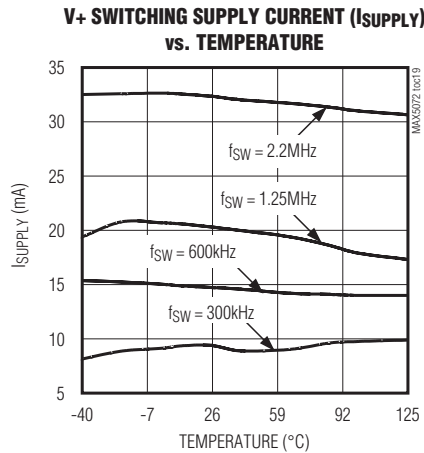
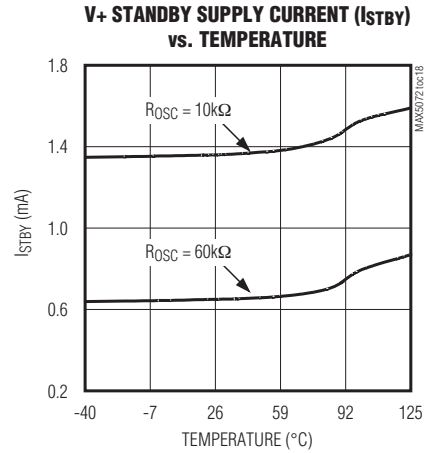
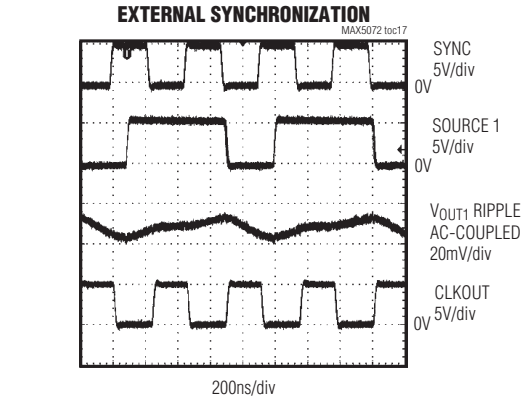
OUT-OF-PHASE OPERATION



2.2MHz、双路输出、降压或升压型转换器， 具有POR及电源失效输出

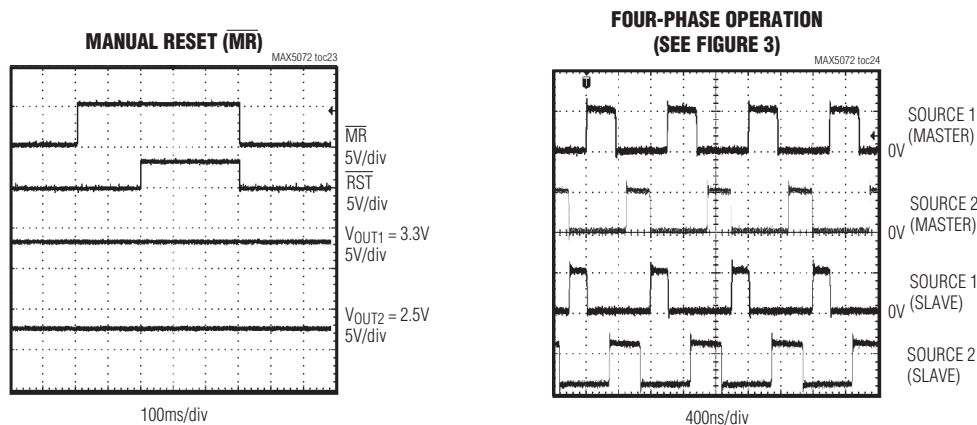
典型工作特性(续)

($V_+ = V_L = 5.2V$, $T_A = +25^\circ C$, unless otherwise noted.)



2.2MHz、双路输出、降压或升压型转换器， 具有POR及电源失效输出

典型工作特性(续)

(V₊ = V_L = 5.2V, T_A = +25°C, unless otherwise noted.)

引脚说明

引脚	名称	功能
1	CLKOUT	时钟输出。CLKOUT是转换器2 (SOURCE2, 图3)的45°移相时钟输出。将CLKOUT (主机)与另一片MAX5072 (从机)的SYNC连接可以构成4相转换器。
2	BST2/VDD2	配置为降压型转换器时, 该引脚为转换器2的自举飞电容连接端。如标准应用电路(图1)所示, BST2/VDD2外部连接一个陶瓷电容和一个二极管。配置为升压型转换器时, 该引脚接驱动器旁路电容。在BST2/VDD2与PGND之间连接一个低ESR的0.1μF陶瓷电容(图9)。
3, 4	DRAIN2	转换器2内部MOSFET的漏极。配置为降压型转换器时, 该MOSFET作为高端开关, DRAIN2接输入电源。配置为升压型转换器时, 该MOSFET作为低端开关, DRAIN2接至电感和二极管的连接点(图9)。
5	EN2	转换器2的使能输入, 高电平有效。EN2为低电平时转换器2关闭, EN2为高电平时正常工作。EN2与EN1配合使用可实现电源排序。EN2接至V _L 时转换器2处于始终打开状态。
6	FB2	转换器2的反馈输入。将FB2接至转换器2输出端与SGND之间的电阻分压器, 可以调节输出电压。欲设置低于0.8V的输出电压, 可将FB2接至BYPASS端和调节器2输出之间的电阻分压器(图6)。参考设置输出电压部分。
7	COMP2	转换器2的补偿端。关于转换器2控制环路的补偿请参考补偿部分。
8	PFO	“Dying gasp”比较器输出。当PFI降低至低于0.78V基准电压时, PFO开漏极输出变为低电平。
9	SYNC	外部时钟同步输入。将SYNC接至400kHz到4400kHz的时钟可以使开关频率与系统时钟同步。每个转换器频率都是SYNC频率的一半。不使用时将SYNC接至SGND。
10	PFI	“Dying gasp”比较器同相输入端。PFI接至输入电源与地之间的电阻分压器。当V _{PFI} 降低至低于0.78V时, PFI会将PFO强制拉低。PFI比较器具有20mV (典型值)的滞回。该比较器使用灵活, 可用于实现任何保护功能, 如OVP或POWER-GOOD。

2.2MHz、双路输出、降压或升压型转换器， 具有POR及电源失效输出

引脚说明(续)

引脚	名称	功能
11	OSC	振荡器频率设置输入。在OSC与SGND之间接一个电阻(R_{OSC})，用来设置开关频率(参考振荡器部分)。使用外部同步时，可通过 R_{OSC} 将振荡器频率设置为等于或低于SYNC输入频率($0.2f_{SYNC} < f_{OSC} < 1.2f_{SYNC}$)。当SYNC输入接外部时钟时，仍需要 R_{OSC} 。
12	V+	电源电压输入。V+电压范围为5.5V至23V。对于4.5V至5.5V的输入电压，需将V+和VL相连。使用一个最小值为0.1 μ F的陶瓷电容旁路至SGND。
13, 14	VL	内部5.2V线性稳压器输出。VL用于驱动BST1/VDD1和BST2/VDD2的高端开关。用一个0.1 μ F电容将VL旁路至PGND，并用一个4.7 μ F陶瓷电容将其旁路至SGND。
15	BYPASS	2.0V输出。使用一个大于等于0.22 μ F的陶瓷电容旁路至SGND。
16	$\overline{MR}$	手动复位输入，低电平有效。 $\overline{MR}$ 接低电平时启动复位操作。 $\overline{MR}$ 为低时 $\overline{RST}$ 保持复位状态，在 $\overline{MR}$ 返回高电平之后，复位状态仍将持续180ms (t_{RP})。 $\overline{MR}$ 不需外接去抖电路。 $\overline{MR}$ 内部通过一个44k Ω 电阻上拉至高电平，不使用时可悬空。
17	$\overline{RST}$	漏极开路复位输出。当两个输出电压中的任一个低于其稳压值的92.5%或当 $\overline{MR}$ 为低时， $\overline{RST}$ 保持低电平。当软启动完成并且两路输出电压均高于其输出电压标称值的92.5%时， $\overline{RST}$ 在180ms (典型值)的延迟时间后变为高阻态。只要两路输出电压在稳压范围内， $\overline{RST}$ 将始终保持高阻态。
18	COMP1	转换器1的补偿端(参考补偿部分)。
19	FB1	转换器1的反馈输入。将FB1接至转换器1输出与SGND之间的电阻分压器，可以调节输出电压。欲设置低于0.8V的输出电压，可将FB1接至BYPASS端和调节器1输出之间的电阻分压器(图6)。参考设置输出电压部分。
20	EN1	转换器1的使能输入，高电平有效。EN1接低电平时转换器1关闭，EN1为高时正常工作。EN1与EN2配合使用可实现电源排序。EN1接至VL时转换器1处于始终打开状态。
21, 22	DRAIN1	转换器1内部MOSFET的漏极。 配置为降压型转换器时，该MOSFET作为高端开关，DRAIN1接输入电源。 配置为升压型转换器时，该MOSFET作为低端开关，DRAIN1接至电感和二极管的连接点。
23	BST1/VDD1	配置为降压型转换器时，该引脚是转换器1的自举飞电容连接端。如标准应用电路(图1)所示，BST1/VDD1外部连接一个陶瓷电容和一个二极管。配置为升压型转换器时，该引脚接驱动器旁路电容。在BST1/VDD1与PGND之间连接一个低ESR的0.1 μ F陶瓷电容(图9)。
24	FSEL1	转换器1频率选择输入。正常工作时FSEL1与VL相连。FSEL1与SGND相连时，可将转换器1的开关频率降至转换器2开关频率的1/2 (转换器1开关频率将为SYNC频率的1/4)。FSEL1不能悬空。
25	PGOOD1	转换器1电源就绪输出。当转换器1输出电压降至低于其稳压值的92.5%时，开漏极输出变低。可使用PGOOD1和EN2实现转换器排序。
26, 27	SOURCE1	转换器1内部MOSFET的源极。 配置为降压型转换器时，SOURCE1接至电感的开关侧，如图1所示。 配置为升压型转换器时，SOURCE1接至PGND。

2.2MHz、双路输出、降压或升压型转换器， 具有POR及电源失效输出

MAX5072

引脚说明(续)

引脚	名称	功能
28, 30	PGND	功率地。连接整流二极管正极、输入电容负极、输出电容负极，VL旁路电容接至PGND。
29	SGND	信号地。SGND与裸露焊盘相连。SGND和PGND通过单点连接。
31, 32	SOURCE2	转换器2内部MOSFET的源极。 配置为降压型转换器时，SOURCE2接至电感的开关侧，如图1所示。 配置为升压型转换器时，SOURCE2接至PGND (图9)。
EP	SGND	裸露焊盘。连接到SGND。将EP与SGND地层焊接在一起可以获得更好的散热性能。

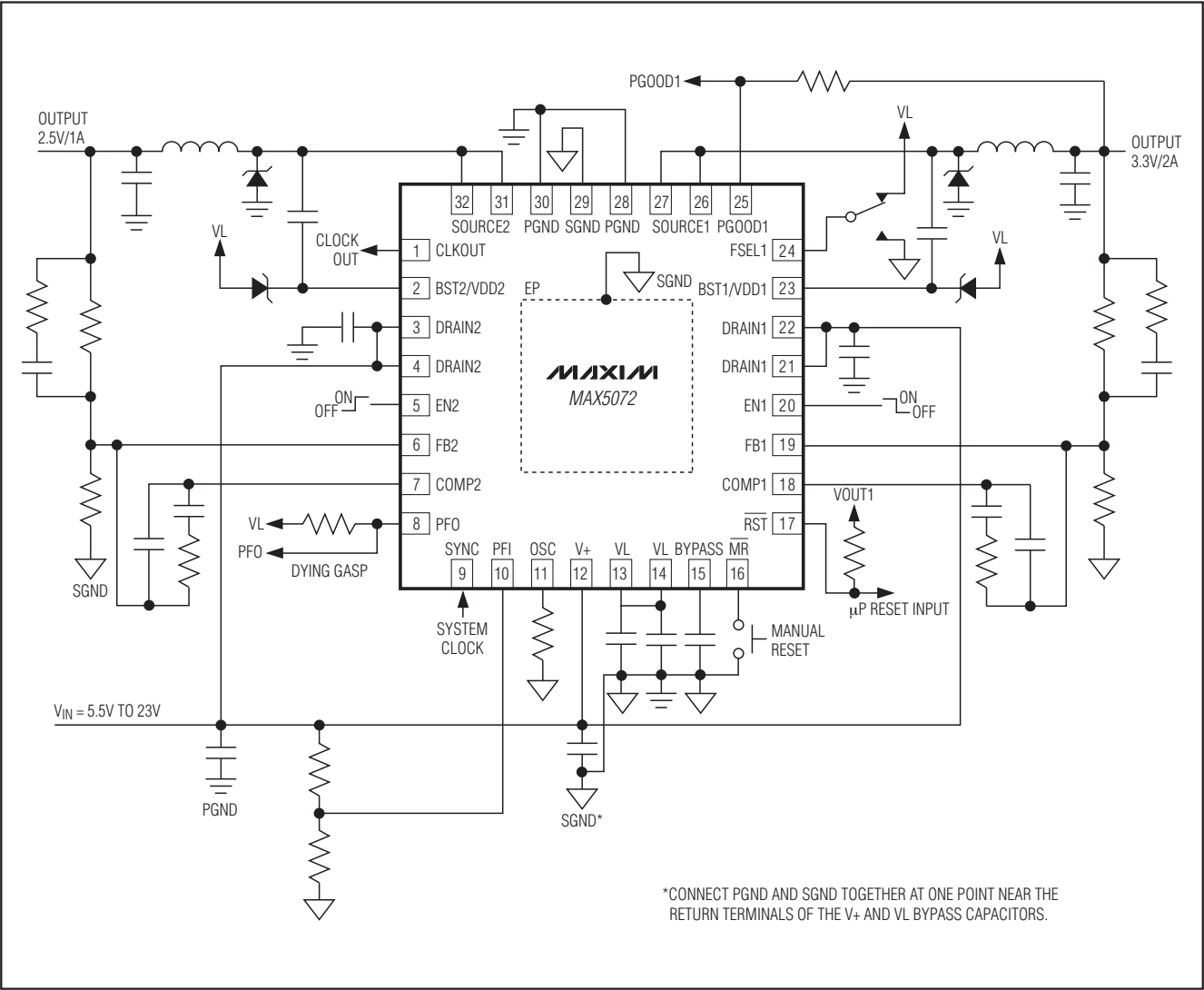


图1. MAX5072双输出降压型调节器应用电路

2.2MHz、双路输出、降压或升压型转换器，具有POR及电源失效输出

详细说明

PWM控制器

MAX5072转换器的每一个异相控制器都采用脉宽调制(PWM)电压模式控制方案。该方案采用非同步整流，并使用一个低正向压降的外部肖特基二极管进行整流。该控制器对内部振荡器或外部时钟驱动的SYNC输入进行分频，产生时钟信号，因此每个控制器的开关频率就等于振荡器频率的一半($f_{SW} = f_{OSC} / 2$)。内部跨导误差放大器在COMP引脚产生积分误差电压，以提供高精度的DC输出。COMP补偿端电压通过一个PWM比较器和一个斜坡电压发生器来设置占空比。在每个时钟的上升沿，转换器1的高端n沟道MOSFET导通，并且一直保持导通状态，直到占空比达到适当值或最大值，或者检测到开关的最大限流值。转换器2为异相工作，因此第2个高端MOSFET在每一个时钟的下降沿导通。

降压工作模式下(图1)，在每个高端MOSFET导通期间，相应的电感电流逐渐升高。在后半个开关周期内，高端MOSFET关断，同时正向偏置肖特基整流管。在此期间，SOURCE电压被箝位到低于地电压0.4V (V_D)。随着电感电流逐渐下降，电感释放其储存的能量，并提供电流输出。当MOSFET关断时，自举电容也借助于电感能量再次充电。轻载时电路将进入不连续导通模式，电感电流在下一个周期开始之前完全释放。在过载条件下，当电感电流超过相应开关的峰值限流时，高端MOSFET将迅速关断并等待下一个时钟周期到来。

升压工作模式下，MOSFET是低端开关(图9)。在每次导通期间，电感电流逐渐升高。在后半个开关周期，低端开关关断，同时正向偏置肖特基二极管。在此期间，DRAIN电压被箝位到高于 V_{OUT} 电压0.4V (V_D)，同时电感向输出提供能量并向输出电容补充电荷。

内部振荡器/异相操作

内部振荡器可产生每个调节器所需的180°异相时钟信号。通过单个精度为1%的电阻 R_{OSC} ，可将内部振荡器频率设置为400kHz至4.4MHz。 R_{OSC} 的计算公式如下：

$$R_{OSC} = \frac{25 \times 10^9}{f_{OSC}}$$

其中 f_{OSC} 是内部振荡器频率，单位为赫兹， R_{OSC} 单位为欧姆。

MAX5072的两个独立调节器为180°异相操作，从而降低了输入滤波要求和电磁干扰(EMI)，并提高了效率。这有效地降低了元件成本并可节省电路板空间，使得MAX5072非常适合那些对成本敏感的应用。

在双路同步异相工作模式下，MAX5072的两个高端MOSFET是180°异相导通的。两个调节器的瞬时输入电流峰值不会重叠，降低了RMS波纹电流和输入电压波纹。这也降低了对输入电容纹波电流额定值的要求，允许使用更少或更廉价的电容，并降低了EMI屏蔽要求。典型工作特性中的异相波形图展示了同步180°异相工作情况。

同步(SYNC)/时钟输出(CLKOUT)

通过在SYNC接入外部时钟(f_{SYNC})，可以使主振荡器与系统时钟同步。 f_{SYNC} 频率必须是单一转换器所需工作频率的两倍。外部时钟使用TTL逻辑信号，脉宽至少为100ns。当使用外部同步时，仍然需要 R_{OSC} 。对内部振荡器频率进行设置，使之满足 $0.2f_{SYNC} < f_{OSC} < 1.2f_{SYNC}$ 。内部MOSFET在 f_{SYNC} 的上升沿同步打开(见图3)。

$$R_{OSC} = \frac{25 \times 10^9}{f_{OSC}}$$

其中 f_{OSC} 是内部振荡器频率，单位为赫兹， R_{OSC} 单位为欧姆， $f_{OSC} = 2 \times f_{SW}$ 。

可以将两片MAX5072以主-从方式连接起来，实现4相工作。MAX5072可提供相对于内部开关导通沿45°相移的时钟输出(CLKOUT)。将主机的CLKOUT接至从机的SYNC输入。等效输入纹波开关频率将为单个转换器开关频率的四倍。当SYNC接外部时钟以驱动主机转换器时，为实现90°相移工作模式，时钟占空比需设置为50%。

2.2MHz、双路输出、降压或升压型转换器， 具有POR及电源失效输出

MAX5072

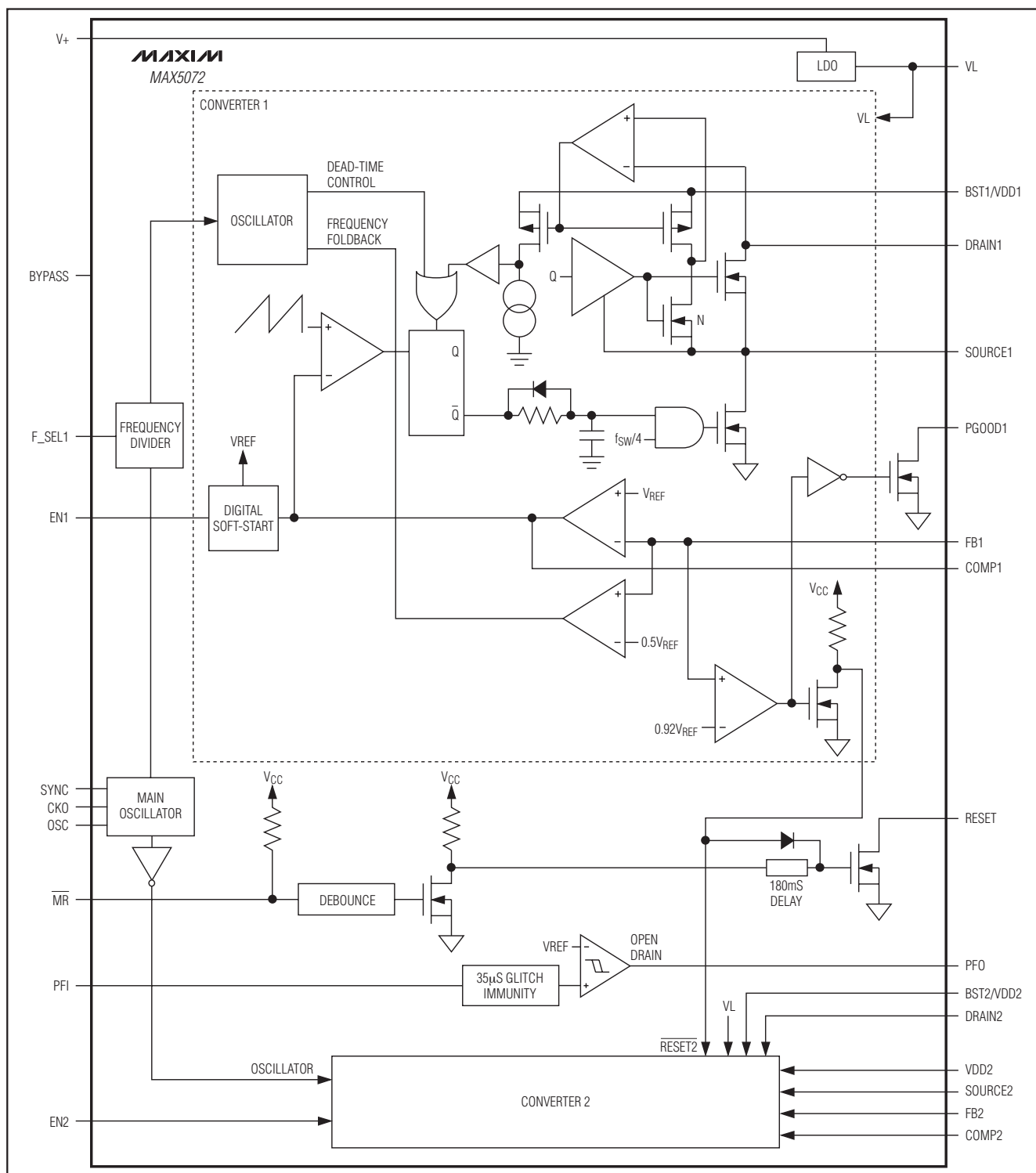


图2. 功能框图

2.2MHz、双路输出、降压或升压型转换器， 具有POR及电源失效输出

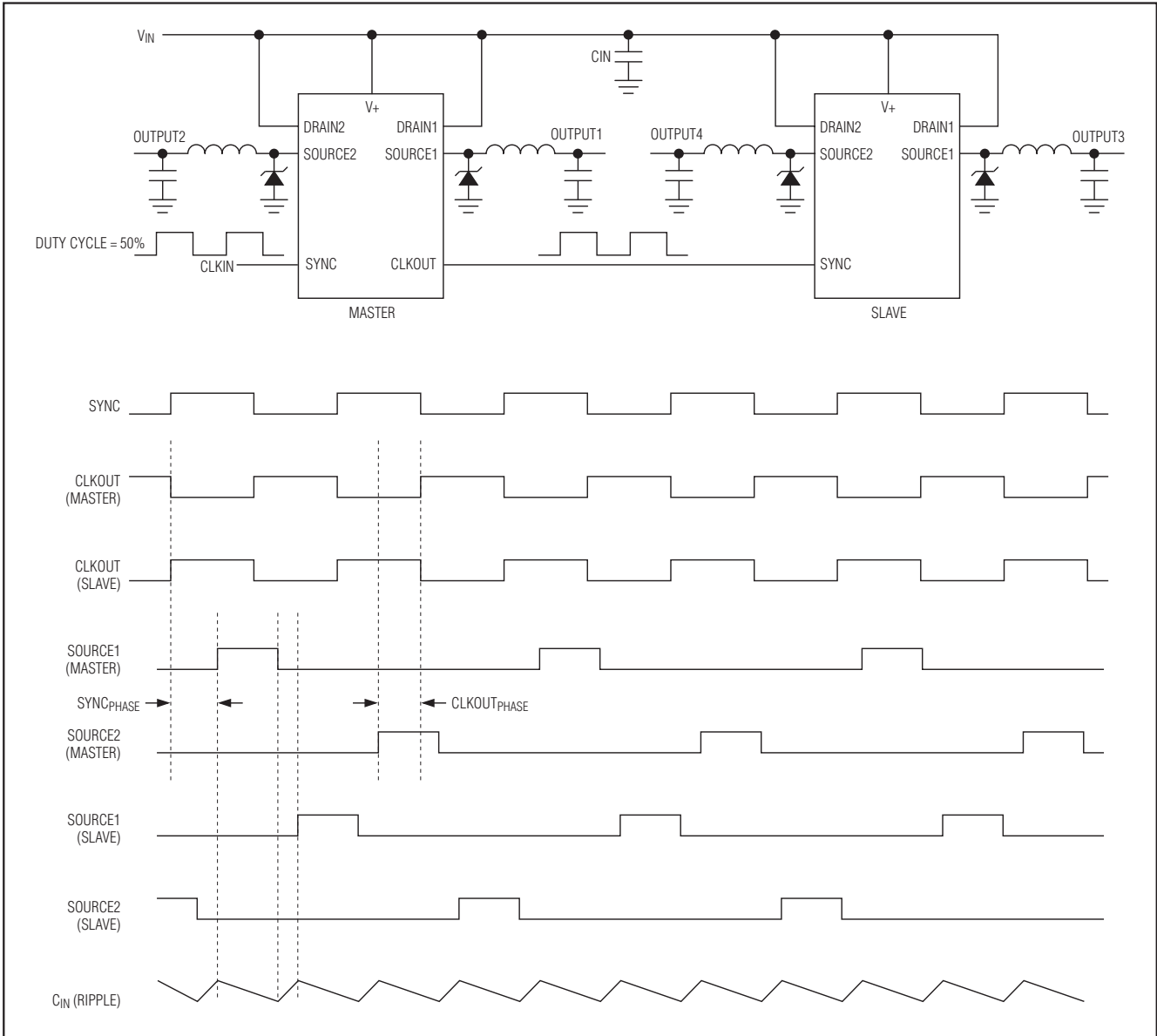


图3. 同步控制器

频率选择(FSEL1)

有时为保持较低的功率损耗，必须使转换器工作在较低的开关频率。但是，两个异相工作的转换器不可能工作于不同的频率。此外，如果单个转换器的频率未经慎重选择，就有可能产生差拍频率。为避免这些问题，同时

仍然保证芯片的低功耗，MAX5072提供了一个频率选择(FSEL1)引脚。将FSEL1接地可以使转换器1的开关频率降至转换器2开关频率的1/2，内部振荡器开关频率的1/4。此时，输入电容纹波频率是转换器2开关频率的1.5倍，并且纹波波形不对称。

2.2MHz、双路输出、降压或升压型转换器，具有POR及电源失效输出

输入电压(V+)/内部线性稳压器(VL)

所有内部控制电路的工作电压均来自标称值为5.2V的内部稳压器(VL)。输入电压(V+)高达5.5V至23V时，VL的稳压值为5.2V。输入电压等于或低于5.5V时，内部线性稳压器工作在压差模式下，此时VL跟随V+。根据VL稳压器的负载大小，其压差可能大到足以将VL降至欠压锁定(UVLO)门限以下。

输入电压小于5.5V时，将V+和VL连接在一起。VL上的负载与转换器1和转换器2的开关频率成正比。参考典型工作特性中的VL Dropout Voltage vs. Each Converter Switching Frequency曲线图。输入电压高于5.5V时，使用内部稳压器。

用一个低ESR、电容值大于等于0.1μF的陶瓷电容将V+旁路至SGND，该电容应靠近MAX5072放置。由于来自VL的电流尖峰可能会对由VL供电的内部电路造成干扰，因此用一个低ESR、0.1μF陶瓷电容旁路VL至PGND，并用一个4.7μF电容旁路VL至SGND。

欠压锁定/软启动

MAX5072有一个带滞回的欠压锁定电路和一个上电复位电路，可以实现平滑的转换器启动过程，并确保输出电压单调上升。UVLO门限带有175mV滞回，上升门限在内部设定为4.3V。UVLO滞回能够消除启动过程的“啁啾”现象。当VL降至低于UVLO时，内部开关关闭，并强制RST为低电平。

在启动/关断过程中，内部提供的数字软启动/软停机功能可以降低输入端的浪涌电流和脉冲干扰。当UVLO故障解除且EN_为高电平时，数字软启动按照64级步长缓慢升高内部基准电压。软启动的总周期是2048个内部振荡器开关周期。

软启动周期的计算公式如下：

$$t_{SS} = \frac{2048}{f_{OSC}}$$

其中 f_{OSC} 是内部振荡器频率，单位是赫兹，该频率是每个转换器开关频率的两倍。

使能

MAX5072双路转换器具有独立的使能输入端EN1和EN2，能够对输出电压进行单独控制或进行排序。这些使能输入兼容TTL电平，高电平有效。将EN_拉高可使基准电压缓慢升高，从而实现输出软启动。将EN_强制拉低可以从外部禁止某一路输出，并且产生一个RST信号。EN1、EN2和PGOOD1可以用来对电源排序(见图4)。将PGOOD1连接至EN2，可以保证在转换器2启动之前转换器1的输出电压处于稳压范围以内。在VL和EN1、EN2之间增加RC网络可以延时启动某路转换器。RC时间常数越大，输出延迟时间越长。对输出进行排序可降低输入浪涌电流以及减少可能产生的啁啾现象。EN_连接到VL时将始终保持工作。

MR

基于微处理器的产品需要手动复位功能，以便于操作者或外部逻辑电路启动复位操作。MR为逻辑低时进入复位状态。在MR为低时，以及在MR变为高电平后的复位有效超时周期(t_{RP})内，保持复位状态。MR内部有一个44kΩ的上拉电阻接至VL，因此不用时可以悬空。MR可以由TTL逻辑电平驱动。

在MR和SGND之间连接一个常开开关可以实现手动复位功能。注意无需外部去抖电路。如果MR由长的线缆驱动或者器件用于噪声环境，可在MR和SGND之间连接一个0.1μF电容以提供额外的噪声抑制性能。

RST输出

RST是开漏极输出。当任一路输出降至低于其标称稳压值的92.5%时，RST拉低。一旦两路输出均超过其标称稳压值的92.5%，并且完成两个软启动周期，RST会在180ms的有效超时周期后进入高阻态。为获得逻辑电压输出，可在RST和逻辑电源电压之间接一个上拉电阻。在提供TTL逻辑低电平信号时，内部开漏极MOSFET能够吸收3mA电流。不使用时将RST接地或悬空。

PGOOD1

除RST之外，转换器1还有一个电源就绪标志。将PGOOD1拉到逻辑电压时可提供逻辑电平输出。PGOOD1是开漏极输出，产生TTL逻辑低电平时能够吸收3mA电流。当转换器1的输出电压降至其标称稳压值的92.5%时，PGOOD1变低。不使用时将PGOOD1接SGND或悬空。

2.2MHz、双路输出、降压或升压型转换器，具有POR及电源失效输出

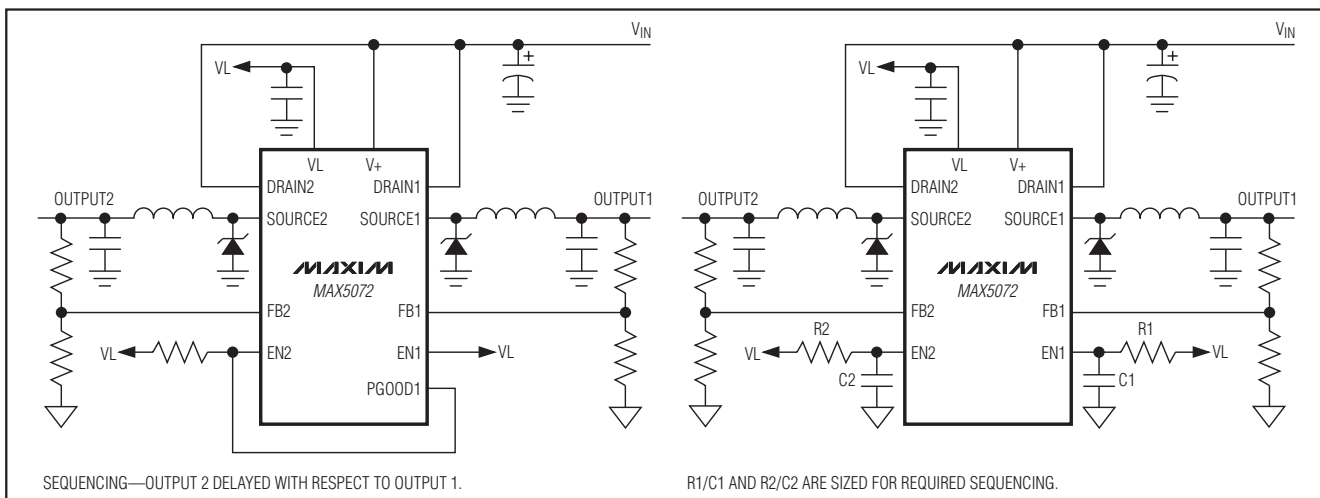


图4. 电源排序配置

“Dying gasp”比较器(PFI/PFO)

MAX5072包含一个开漏极输出的多用途比较器。比较器的反相输入端连接到内部0.78V精密基准。同相输入端(PFI)通过一个电阻分压器连接到 V_{IN} ，以对输入门限(V_{TRIP})进行编程设置。当PFI降至低于0.78V时，电源失效输出(PFO)为低。PFI具有20mV的滞回，以避免转换期间产生脉冲干扰。在转换器1/转换器2失去稳压之前，PFO信号可向处理器提供一个超前指示信号。可以调整输入门限(V_{TRIP})，以在输出电压降至稳压值的92.5%之前提供超前指示信号。

在 V_{IN} 断开之后，输入电容保持电荷并为转换器提供能量。保持时间(t_{HOLD})定义为：从输入电压降至低于 V_{TRIP} 开始，到输入降到输入电压范围下限 $V_{IN(MIN)}$ 的时间，在后一时刻输出电压同时脱离稳压范围(图5)。为设置合适的保持时间，所需的电阻分压器和 C_{IN} 计算公式如下：

$$C_{IN} = \frac{2 \left(\frac{P_{OUT1}}{\eta_1} + \frac{P_{OUT2}}{\eta_2} \right)}{\left(V_{TRIP}^2 - V_{IN(MIN)}^2 \right)} \times t_{HOLD}$$

式中 η_1 和 η_2 分别是转换器1和转换器2的效率。

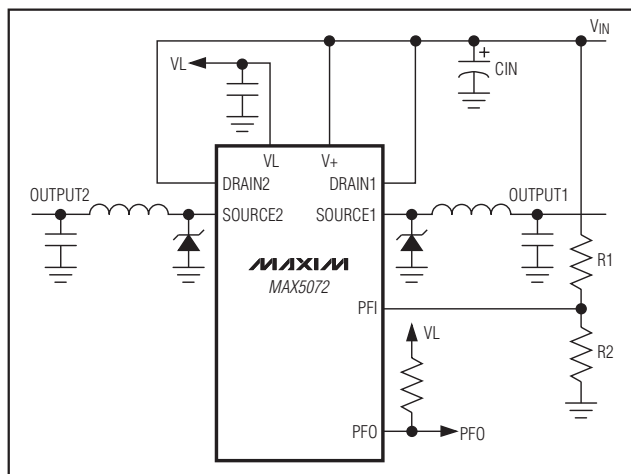


图5. “Dying gasp”电路监视输入电源

$$R1 = R2 \left(\frac{V_{TRIP}}{0.78} - 1 \right)$$

R_2 可以取10k Ω 至100k Ω 之间的任意值(图5)。

电流限制

利用内部电流镜电路检测每个转换器的内部开关电流。转换器1和转换器2分别具有2A和1A的内部开关。当峰值开关电流超过转换器1和转换器2的限流门限(分别为3A(典型值)和1.8A(典型值))时，导通周期立即终止，同时允许电感放电。下一个时钟脉冲到来时重新开始下一个周期。

2.2MHz、双路输出、降压或升压型转换器，具有POR及电源失效输出

FB电压降至低于0.4V时处于严重过载或短路状态，开关频率降至 $1/4 \times f_{SW}$ ，从而为电感放电提供足够的时间。过载时，如果电感电压不够高，不足以满足电感电流的放电要求，可能出现电流失控。尽管具有内部热过载保护功能，电流失控也会损坏器件。过载条件下降低开关频率可防止电流失控。

热过载保护

在输出持续短路或过载期间，IC的功耗会超过其极限值。内部热关断功能可避免对器件造成不可挽回的损害。当管芯温度或结温超过 $+150^{\circ}\text{C}$ 时，片上温度传感器将关断器件，并强制关闭内部开关，以使IC冷却。当结温下降 $+30^{\circ}\text{C}$ 之后，温度传感器再次启动器件。在热关断期间，两个调节器均关闭，RST为低，并且软启动复位。

应用信息

设置开关频率

控制器通过对内部振荡器或者使用外部振荡器驱动时的SYNC输入信号进行分频，产生时钟信号。开关频率等于振荡器频率的一半($f_{SW} = f_{OSC} / 2$)。通过OSC和SGND之间连接的电阻(R_{OSC})设定内部振荡器频率。 f_{SW} 和 R_{OSC} 间的关系是：

$$R_{OSC} = \frac{12.5 \times 10^9}{f_{SW}}$$

式中 f_{SW} 和 f_{OSC} 的单位为赫兹， R_{OSC} 的单位为欧姆。例如， $R_{OSC} = 10\text{k}\Omega$ 时设定的开关频率为1250kHz。更高的开关频率允许在设计中使用更低电感值和更少的输出电容。因此，开关频率较高时峰值电流和 I^2R 损耗较低，但是磁芯损耗、栅极充电电流以及开关损耗会增加。

SYNC时钟的上升沿被视作同步输入。如果SYNC信号丢失，则由内部振荡器控制开关速率，即转而采用由 R_{OSC} 设定的开关频率。这样即使是在SYNC信号间断的情况下，输出电压也可保持稳定。当使用外部同步信号时， R_{OSC} 设定的振荡器频率应低于或等于SYNC频率(f_{SYNC})。

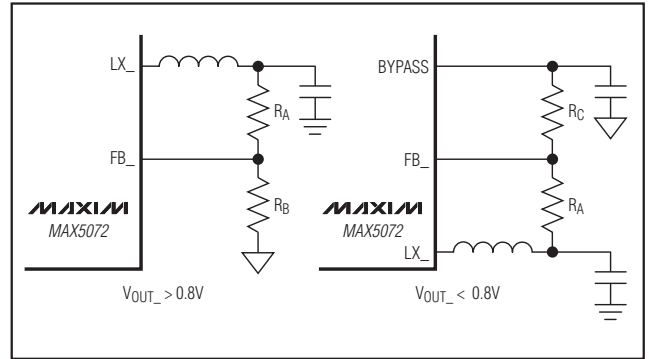


图6. 可调输出电压

降压型转换器

有效输入电压范围

虽然MAX5072转换器可以工作在4.5V至23V输入电压范围，但对于给定输出电压，该输入电压范围会受到MAX5072占空比的严格限制。最大输入电压受限于最小导通时间($t_{ON(MIN)}$)：

$$V_{IN(MAX)} \leq \frac{V_{OUT}}{t_{ON(MIN)} \times f_{SW}}$$

式中 $t_{ON(MIN)}$ 为100ns。最小输入电压受限于最大占空比($D_{MAX} = 0.88$)：

$$V_{IN(MIN)} = \left[\frac{V_{OUT} + V_{DROPI}}{0.88} \right] + V_{DROPI} - V_{DROPI}$$

式中 V_{DROPI} 为电感放电通路的总体寄生电压跌落，包括整流管的正向压降(V_D)、电感的串联电阻以及PCB电阻压降。 V_{DROPI} 为充电通路总阻抗所引起的电压跌落，包括高端开关的导通电阻、电感的串联电阻以及PCB电阻。

设置输出电压

如果需要0.8V或者更高的输出电压，可在OUT_和SGND之间接一分压器至FB_ (图6)。 R_B (FB_和SGND间的电阻)在 $1\text{k}\Omega$ 至 $10\text{k}\Omega$ 间选择。 R_A (OUT_和FB_间的电阻)的计算公式如下：

$$R_A = R_B \left[\left(\frac{V_{OUT}}{V_{FB}} \right) - 1 \right]$$

其中 $V_{FB} = 0.8\text{V}$ (见Electrical Characteristics表)， V_{OUT} 可设置在 V_{FB} 至28V之间(针对升压型转换器)。

2.2MHz、双路输出、降压或升压型转换器，具有POR及电源失效输出

如果需要0.8V以下的输出电压，可在输出和BYPASS之间接一分压器至FB₋，以设置 MAX5072的输出电压(图6)。R_C (FB和BYPASS间的电阻)的取值应大于50kΩ。R_A的计算公式如下：

$$R_A = R_C \left[\frac{V_{FB} - V_{OUT}}{V_{BYPASS} - V_{FB}} \right]$$

其中 V_{FB} = 0.8V, V_{BYPASS} = 2V (见 *Electrical Characteristics* 表), V_{OUT} 可设置在 0V 至 V_{FB} 之间。

电感选择

选择与 MAX5072 协同工作的电感，必须指定三个关键参数：电感值(L)、峰值电感电流(I_L)以及电感饱和电流(I_{SAT})。所需电感的最小值是工作频率、输入-输出电压差和电感电流峰峰值(ΔI_L)的函数。ΔI_L 较高时允许选用较小的电感值，而 ΔI_L 较低时则需选用较大的电感值。较小的电感值可以减小尺寸、降低成本并改善大信号瞬态响应，但是在输出电容相同的情况下，会产生较高的峰值电流和峰值输出纹波电压，从而导致效率降低。另一方面，电感值较大时纹波电流降低，因而效率较高。然而此时额外的线圈会增大电阻损耗，从而抵消了低纹波电流所带来的好处，特别是当电感值增加而电感尺寸不能增加时。取 ΔI_L 等于满载电流的30%，可以在选择电感值时综合以上因素获得较好的性能。电感值的计算公式如下：

$$L = \frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN} \times f_{SW} \times \Delta I_L}$$

这里 V_{IN} 和 V_{OUT} 均取典型值(从而在典型工作条件下效率最高)。开关频率通过 R_{OSC} 设定(见 *设置开关频率* 部分)。电感电流峰峰值反映输出纹波峰峰值的大小，输入电压最大时电感电流峰峰值也最大。欲验证可接受的最大输出纹波，请参考 *输出电容选择* 部分。为避免输出过载和短路期间产生失控电流，电感饱和电流的取值也很重要。所选取的 I_{SAT} 应该分别大于转换器1和转换器2的最大峰值限流(分别为4.5A和2.2A)。

输入电容

降压型转换器的不连续输入电流波形会在输入端引起大的纹波电流。开关频率、峰值电感电流以及允许的电压纹波峰峰值决定了所需的输入电容值。提高开关频率或电感值可以降低峰值电流与平均电流之间的比值，从而只需较低的输入电容值。注意，MAX5072的两个转换器工作在180°异相方式，因此使输入端的开关频率加倍。

由于转换器1和转换器2的负载电流和占空比不同，输入纹波波形将是不对称的。输入纹波包括 ΔV_Q (由电容放电引起)和 ΔV_{ESR} (由电容的ESR引起)。负载较大的转换器对ESR有一定要求，而所需的电容值是两个转换器间负载失配程度的函数。当一个转换器满载而另一转换器空载或关断时，匹配情况最差。输入端应使用具有高纹波电流性能的低ESR陶瓷电容。假定由ESR和电容放电所引起的纹波各占50%。为满足纹波要求，所需的输入电容值及其ESR计算公式如下：

$$ESR_{IN} = \frac{\Delta V_{ESR}}{\left(I_{OUT} + \frac{\Delta I_L}{2} \right)}$$

其中：

$$\Delta I_L = \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN} \times f_{SW} \times L}$$

并且：

$$C_{IN} = \frac{I_{OUT} \times D(1-D)}{\Delta V_Q \times f_{SW}}$$

其中：

$$D = \frac{V_{OUT}}{V_{IN}}$$

式中 I_{OUT} 是转换器1或转换器2的最大输出电流，D 是该转换器的占空比。f_{SW} 是每个转换器的频率。例如，V_{IN} = 12V, V_{OUT} = 3.3V, I_{OUT} = 2A, L = 3.3μH, 可计算出在 1.25MHz 工作频率下，为满足输入纹波峰峰值小于等于

2.2MHz、双路输出、降压或升压型转换器，具有POR及电源失效输出

100mV，所需的ESR和电容值分别为20mΩ以及6.8μF。当输入电压较低时，需选用100μF电容以避免上电和负载瞬变期间可能产生的下冲低于欠压锁定门限。

输出电容选择

输出电容值及其ESR取决于允许的输出纹波电压以及负载电流突变时允许的输出电压最大偏移。

输出纹波包括 ΔV_Q (由电容放电引起) 和 ΔV_{ESR} (由电容的ESR引起)。输出端应使用低ESR的陶瓷电容或铝电解电容。对铝电解电容来说，总输出纹波是由 ΔV_{ESR} 引起的。使用以下的 ESR_{OUT} 公式计算所需的ESR，并可据此选择电容。如果使用陶瓷电容，假定来自ESR和来自电容放电的输出纹波电压一样多。为达到指定纹波，可用以下公式来计算所需的输出电容值及其ESR：

$$ESR_{OUT} = \frac{\Delta V_{ESR}}{\Delta I_L}$$

$$C_{OUT} = \frac{\Delta I_L}{8 \times \Delta V_Q \times f_{SW}}$$

这里：

$$\Delta V_{O_RIPPLE} \approx \Delta V_{ESR} + \Delta V_Q$$

其中 ΔI_L 是上文计算出的电感电流峰峰值， f_{SW} 是每个转换器的开关频率。

输出电容值及其ESR还取决于负载快速瞬变时所允许的输出电压偏差。在控制器用一个更大的占空比响应之前先由输出电容提供突变负载电流。响应时间 ($t_{RESPONSE}$) 取决于转换器的闭环带宽。MAX5072的高开关频率可实现较高的闭环带宽，同时减小了 $t_{RESPONSE}$ 和输出电容值的需求。在负载跃变期间，输出电容ESR的阻性压降和电容放电会引起电压跌落。结合使用低ESR的钽电容和陶瓷电容，可以获得更好的负载瞬态响应和纹波/噪音性能。输出电压的最大偏差应始终处于电子设备所能容忍的限度之内。使用陶瓷电容时，假定输出电容放电和ESR跌落所

导致的压降分别占80%和20%。可用以下公式计算所需的ESR和电容值：

$$ESR_{OUT} = \frac{\Delta V_{ESR}}{I_{STEP}}$$

$$C_{OUT} = \frac{I_{STEP} \times t_{RESPONSE}}{\Delta V_Q}$$

其中 I_{STEP} 是负载电流跃变， $t_{RESPONSE}$ 是控制器的响应时间。控制器响应时间取决于控制环路带宽。

升压型转换器

由于内部MOSFET可用作低端开关，因此MAX5072可配置为升压型转换器。当配置为升压型转换器时，可用下面的公式来计算电感 (L_{MIN})、输入电容 (C_{IN}) 和输出电容 (C_{OUT})。

电感

电感取最小值，从而使转换器在最小输出电流 (I_{OMIN}) 时始终工作在连续模式。

$$L_{MIN} = \frac{V_{IN}^2 \times D \times \eta}{2 \times f_{SW} \times V_O \times I_{OMIN}}$$

其中：

$$D = \frac{V_O + V_D - V_{IN}}{V_O + V_D - V_{DS}}$$

并且 $I_{OMIN} = 0.25 \times I_O$

V_D 是外部肖特基二极管的正向压降， D 是占空比， V_{DS} 是内部开关的压降。应选择DC电阻较低，饱和电流 (I_{SAT}) 额定值分别高于转换器1和转换器2峰值开关限流的电感 (峰值限流分别为4.5A和2.2A)。

输入电容

升压型转换器的输入电流是连续的，输入端的RMS纹波电流较低。输入电容值及其ESR的计算公式如下：

2.2MHz、双路输出、降压或升压型转换器，具有POR及电源失效输出

$$C_{IN} = \frac{\Delta I_L \times D}{4 \times f_{SW} \times \Delta V_Q}$$

$$ESR = \frac{\Delta V_{ESR}}{\Delta I_L}$$

其中：

$$\Delta I_L = \frac{(V_{IN} - V_{DS}) \times D}{L \times f_{SW}}$$

其中 V_{DS} 为内部MOSFET和电感ESR上的总压降。 ΔI_L 为以上计算出的电感纹波电流峰峰值。 ΔV_Q 为电容放电引起的输入纹波， ΔV_{ESR} 为电容ESR引起的输入纹波。

输出电容选择

对于升压型转换器来说，当主开关打开时，由输出电容提供负载电流。需要较大的输出电容值，高占空比时更是如此。此外，输出电容ESR应尽量低，从而在满足负载电流的情况下减小ESR引起的电压跌落。对于指定的输出纹波容限，用以下公式计算所需的输出电容。

$$ESR = \frac{\Delta V_{ESR}}{I_O}$$

$$C_{OUT} = \frac{I_O \times D_{MAX}}{\Delta V_Q \times f_{SW}}$$

I_O 是负载电流； ΔV_Q 为电容放电所引起的纹波电压， ΔV_{ESR} 为电容ESR引起的纹波电压。 D_{MAX} 是输入电压最小时的最大占空比。

功耗

MAX5072 包含一个高频、低 R_{DS_ON} 的开关 MOSFET。+85°C 时，转换器1和转换器2内部开关的 R_{DS_ON} 分别为 290mΩ 和 630mΩ。DC 损耗是开关 RMS 电流的函数，开关损耗是开关频率和输入电压的函数。用以下公式计算每个转换器的 RMS 电流、DC 损耗及开关损耗。MAX5072 采用增强散热的封装，环境温度为 +70°C 时能够耗散 2.7W 功

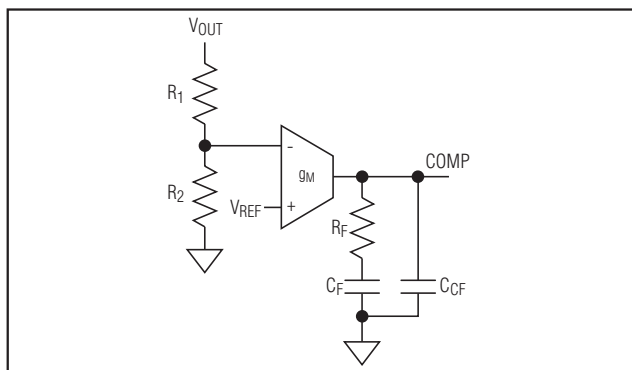


图7. II型补偿网络

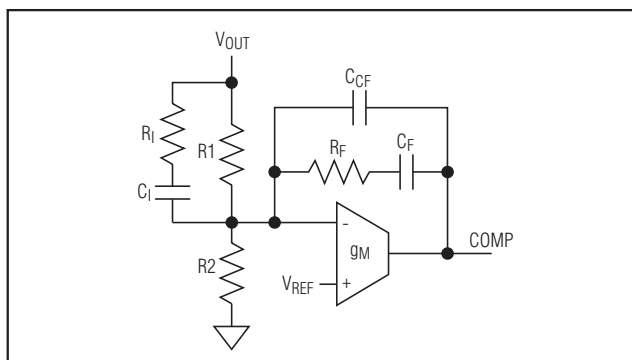


图8. III型补偿网络

率。整个芯片的总功耗必须加以限制，以保证在最高环境温度下，结温不会超过+150°C的极限参数。

对于降压型转换器：

$$I_{RMS} = \sqrt{(I_{DC}^2 + I_{PK}^2 + (I_{DC} \times I_{PK})) \times \frac{D_{MAX}}{3}}$$

$$P_{DC} = I_{RMS}^2 \times R_{DS(ON)MAX}$$

其中：

$$I_{DC} = I_O - \frac{\Delta I_L}{2}$$

$$I_{PK} = I_O + \frac{\Delta I_L}{2}$$

$R_{DS(ON)MAX}$ 的取值参考 *Electrical Characteristics* 表。

2.2MHz、双路输出、降压或升压型转换器，具有POR及电源失效输出

$$P_{SW} = \frac{V_{INMAX} \times I_O \times (t_R + t_F) \times f_{SW}}{4}$$

对于升压型转换器：

$$I_{RMS} = \sqrt{(I_{DC}^2 + I_{PK}^2 + (I_{DC} \times I_{PK})) \times \frac{D_{MAX}}{3}}$$

$$I_{IN} = \frac{V_O \times I_O}{V_{IN} \times \eta}$$

$$\Delta I_L = \frac{(V_{IN} - V_{DS}) \times D}{L \times f_{SW}}$$

$$I_{DC} = I_{IN} - \frac{\Delta I_L}{2}$$

$$I_{PK} = I_{IN} + \frac{\Delta I_L}{2}$$

$$P_{DC} = I_{RMS}^2 \times R_{DS(ON)MAX}$$

其中 V_{DS} 是内部MOSFET的压降。 $R_{DS(ON)MAX}$ 的取值参考 *Electrical Characteristics* 表。

$$P_{SW} = \frac{V_O \times I_{IN} \times (t_R + t_F) \times f_{SW}}{4}$$

其中 t_R 和 t_F 是内部MOSFET的上升和下降时间。 t_R 和 t_F 的典型值为20ns，可以在实际应用中测量。

MAX5072的电源电流取决于开关频率。给定工作频率下的MAX5072电源电流可参考典型工作特性。根据以下公式计算电源电流(I_S)所导致的器件功耗(P_S)。

$$P_S = V_{INMAX} \times I_{SUPPLY}$$

器件的总功耗 P_T 为：

$$P_T = P_{DC1} + P_{DC2} + P_{SW1} + P_{SW2} + P_S$$

P_{DC1} 和 P_{DC2} 分别是转换器1和转换器2的DC损耗。 P_{SW1} 和 P_{SW2} 分别是转换器1和转换器2的开关损耗。

管芯的温升可用以下公式计算：

$$T_J = T_C + (P_T \times \theta_{J-C})$$

其中 θ_{J-C} 是封装的管芯-管壳热阻，其值为+2°C/W。将封装上的裸露焊盘焊接到大面积敷铜区域可以最大程度地降低管壳到周围环境的热阻。在功耗最大的情况下测量器件附近敷铜的温度， θ_{J-C} 热阻取+2°C/W。管壳到周围环境的热阻(θ_{C-A})取决于PCB向周围环境散热的效率。使用大面积敷铜以使PCB保持较低的温度。 θ_{C-A} 通常在+20°C/W至+40°C/W范围内。

补偿

MAX5072内部具有一个跨导放大器，用户可使用其反相输入和输出端进行外部频率补偿。每个转换器所具有的灵活的外部补偿功能使输出滤波元件选择余地更大，特别是输出电容的选择。对于成本敏感的应用来说，可使用高ESR的铝电解电容；对元件尺寸敏感的应用，可在输出端使用低ESR的钽电容或陶瓷电容。MAX5072的高开关频率允许在输出端使用陶瓷电容。

所选择的全部无源功率元件应满足输出纹波、元件尺寸和元件成本的要求。为误差放大器选用小信号元件以获得所需的闭环带宽和相位裕度。如果输出电容ESR的零点频率低于单位增益频率(f_C)，则使用简单的极点-零点对儿(II型)补偿方法。当ESR零点频率高于 f_C 时，或对零点位于右半平面的连续模式升压型转换器进行补偿时，则需采用III型补偿方法。

$f_{ZERO,ESR} < f_C$ 时，可用下面的步骤1来计算补偿网络元件参数。

降压型转换器补偿

步骤1 (见图7)：

计算 $f_{ZERO,ESR}$ 及LC双极点：

2.2MHz、双路输出、降压或升压型转换器，具有POR及电源失效输出

$$f_{\text{ZERO, ESR}} = \frac{1}{2\pi \times \text{ESR} \times C_{\text{OUT}}}$$

$$f_{\text{LC}} = \frac{1}{2\pi \times \sqrt{L_{\text{OUT}} \times C_{\text{OUT}}}}$$

计算单位增益频率：

$$f_{\text{C}} = \frac{f_{\text{SW}}}{20}$$

如果 $f_{\text{ZERO, ESR}}$ 低于 f_{C} 且接近 f_{LC} ，则采用II型补偿网络，此时 R_{FCF} 提供一个中心零点 $f_{\text{mid, zero}}$ ， R_{FCF} 提供一个高频极点。

计算单位增益频率下的调制增益 G_{M} 。

$$G_{\text{M}} = \frac{V_{\text{IN}}}{V_{\text{OSC}}} \times \frac{\text{ESR}}{\text{ESR} + 2\pi \times f_{\text{C}} \times L_{\text{OUT}}} \times \frac{0.8}{V_{\text{OUT}}}$$

其中 V_{OSC} 是斜波电压的峰-峰值，等于1V。

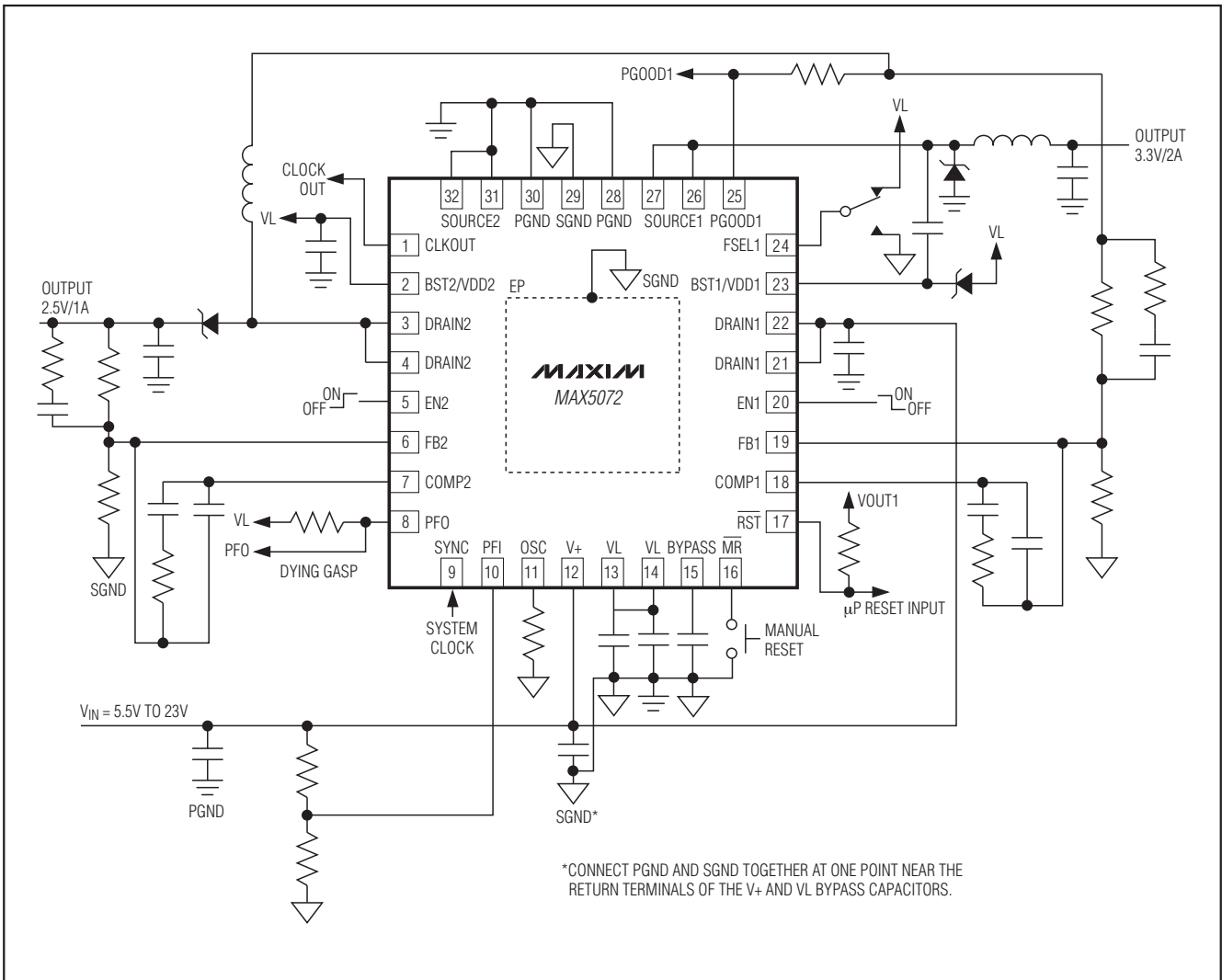


图9. 降压-升压型应用

2.2MHz、双路输出、降压或升压型转换器，具有POR及电源失效输出

跨导误差放大器增益为：

$$G_{E/A} = g_m \times R_F$$

在 f_C 频点的总环路增益应为1

$$G_M \times G_{E/A} = 1$$

或者

$$R_F = \frac{V_{OSC} (ESR + 2\pi \times f_C \times L_{OUT}) V_{OUT}}{0.8 \times V_{IN} \times g_m \times ESR}$$

在LC双极点处或低于LC双极点处置一个零点：

$$C_F = \frac{1}{2\pi \times R_F \times f_{LC}}$$

在 $f_p = 0.5 \times f_{SW}$ 处置一个高频极点。

步骤2 (见图8)：

如果输出电容选用的是低ESR的陶瓷电容，则ESR频率通常会远离目标单位增益频率(f_C)。这时，推荐使用III型补偿。III型补偿可提供双极点-零点对儿。零点和极点的位置应使 f_C 频率下的相位裕度达到其峰值。

$$\frac{f_C}{f_Z} = \frac{f_P}{f_C} = 5$$

若使 $\frac{f_C}{f_Z} = \frac{f_P}{f_C} = 5$ ，则频率为 f_C 时可得到大约60°的相位裕度。不过，为避免条件稳定性问题，有必要将两个零点放置在双极点或低于双极点的位置。

选择单位增益频率：

$$f_C \leq \frac{f_{SW}}{20}$$

计算LC双极点频率 f_{LC} ：

$$f_{LC} = \frac{1}{2\pi \times \sqrt{L_{OUT} \times C_{OUT}}}$$

在 $0.75 \times f_{LC}$ 处置一个零点：

$$f_Z = \frac{1}{2\pi \times R_F \times C_F}$$

其中：

$$C_F = \frac{1}{2\pi \times 0.75 \times f_{LC} \times R_F}$$

并且 $R_F \geq 10k\Omega$ 。

计算目标单位增益频率 f_C 对应的 C_I ：

$$C_I = \frac{2\pi \times f_C \times L_{OUT} \times C_{OUT} \times V_{OSC}}{V_{IN} \times R_F}$$

在 $f_{ZERO,ESR}$ 处放置一个极点 ($f_{P1} = \frac{1}{2\pi \times R_I \times C_I}$)：

$$R_I = \frac{1}{2\pi \times f_{ZERO,ESR} \times C_I}$$

在 $0.2f_C$ 与 f_{LC} 的较低频率点放置第二个零点 f_{Z2} ：

$$R1 = \frac{1}{2\pi \times f_{Z2} \times C_I} - R_I$$

在 $1/2$ 开关频率处放置第二个极点 ($f_{P2} = \frac{1}{2\pi \times R_F \times C_{CF}}$)：

$$C_{CF} = \frac{C_F}{(2\pi \times 0.5 \times f_{SW} \times R_F \times C_F) - 1}$$

升压型转换器补偿

由于存在右半平面零点 $f_{ZERO,RHP}$ ，使得升压型转换器的补偿比较复杂。右半平面零点将引起相位减小，并使增益曲线斜率增加一个正值(+1)。在RHP频率之前，有必要将增益大幅降低至单位增益以下。补偿元件参数的计算步骤如下：

计算LC双极点频率、 f_{LC} 及右半平面零点频率：

$$f_{LC} = \frac{1-D}{2\pi \times \sqrt{L_{OUT} C_{OUT}}}$$

$$f_{ZERO,RHP} = \frac{(1-D)^2 R_{(MIN)}}{2\pi \times L_{OUT}}$$

其中：

$$D = 1 - \frac{V_{IN}}{V_{OUT}}$$

$$R_{(MIN)} = \frac{V_{OUT}}{I_{OUT(MAX)}}$$

2.2MHz、双路输出、降压或升压型转换器，具有POR及电源失效输出

计算目标单位增益频率：

$$f_C \leq \frac{f_{ZERO,RHP}}{5}$$

在 $0.75 \times f_{LC}$ 处放置一个零点 ($f_{Z1} = \frac{1}{2\pi \times R_F \times C_F}$) :

$$C_F = \frac{1}{2\pi \times 0.75 \times f_{LC} \times R_F}$$

其中 $R_F \geq 10k\Omega$ 。

计算目标单位增益频率 f_C 对应的 C_1 :

$$C_1 = \frac{V_{OSC} \left[(1-D)^2 + \omega_C^2 \times L_O \times C_O \right]}{\omega_C \times R_F \times V_{IN}}$$

其中 $\omega_C = 2\pi f_C$ 。

在 $f_{ZERO,RHP}$ 处放置一个极点 ($f_{P1} = \frac{1}{2\pi \times R_1 \times C_1}$) :

$$R_1 = \frac{1}{2\pi \times f_{ZERO,RHP} \times C_1}$$

在 f_{LC} 处放置第二个零点 ($f_{Z2} = \frac{1}{2\pi \times R_1 \times C_1}$) :

$$R_1 = \frac{1}{2\pi \times f_{LC} \times C_1} - R_1$$

在 $1/2$ 开关频率处放置第二个极点

($f_{P2} = \frac{1}{2\pi \times R_F \times C_{CF}}$) :

$$C_{CF} = \frac{C_F}{(2\pi \times 0.5 f_{SW} \times R_F \times C_F) - 1}$$

改善噪声抑制性能

当MAX5072工作于噪声环境时，可以通过调节控制器的补偿来改善系统的噪声抑制性能。特别是耦合到反馈回路的高频噪声会引起占空比抖动。解决办法之一是降低单位增益频率(见补偿部分)。

PCB布局指南

精心的PCB布局是获得低开关损耗和保证电路不受噪声干扰、工作稳定的关键。对于通道之间互相影响的双路转换器更是如此。参考MAX5072评估板数据资料所给出的具体布局实例。为达到更好的噪声抑制性能，应尽可能使用多层板。良好的PCB布局应遵循以下原则：

- 1) 对于SGND在IC下方布设大面积敷铜层，并与裸露焊盘焊接在一起。为有效发挥敷铜区域作为PCB和周围环境之间热交换器的效能，应使位于PCB顶层及底层的敷铜区域充分暴露。在IC底部，裸露焊盘的敷铜层与SGND(引脚29)之间不要有任何直接连接。
- 2) 将功率元件、大电流通路敏感的模拟电路隔离开来。OUT1和OUT2应使用单独的PGND层(即PGND1和PGND2)。PGND1和PGND2应通过单点连接，且连接点应靠近IC。
- 3) 大电流通路应短一些，特别是在接地端。这对实现稳定、无抖动工作尤其重要。
- 4) SGND和PGND的连接点应靠近IC，并且连接到VL和V+旁路电容的接地端。不要在其它任何地方连接二者。
- 5) 电源线和负载连线应短一些，这对于实现高效率非常重要。使用厚的敷铜PCB(2oz vs. 1oz)可提高满载效率。
- 6) 确保连接至C_{OUT}的反馈连线尽量短且无过孔。
- 7) 高速开关节点(BST_/VDD_、SOURCE_)的走线应远离敏感的模拟电路区域(BYPASS、COMP_和FB_)。使用PCB内部的SGND层作为EMI屏蔽层，可使IC、反馈分压器和模拟旁路电容免受辐射噪声干扰。

2.2MHz、双路输出、降压或升压型转换器， 具有POR及电源失效输出

电路板布局步骤

- 1) 首先放置功率元件，并且各元件(电感、 C_{IN} 和 C_{OUT})的接地端应彼此靠近。在顶层用大面积覆铜区将这些接地端连接在一起(推荐使用2oz的镀铜厚度)。
- 2) 栅极驱动元件(自举二极管和自举电容，VL旁路电容)应集中放置，且应靠近控制器IC。
- 3) 按如下方法连接DC-DC控制器的接地端：
 - a) 在IC下方布设一个小信号地层。

- b) 将该层和SGND相连，并把该层作为基准(BYPASS)、使能、补偿元件、反馈分压器和OSC电阻的接地端。
- c) 在靠近输入旁路电容和IC的地方将SGND和PGND单点连接(这是SGND和PGND之间的唯一连接点)。

订购信息(续)

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX5072ETJ+	-40°C to +85°C	32 Thin QFN-EP* (5mm x 5mm)	T3255-4
MAX5072ATJ	-40°C to +125°C	32 Thin QFN-EP* (5mm x 5mm)	T3255-4
MAX5072ATJ+	-40°C to +125°C	32 Thin QFN-EP* (5mm x 5mm)	T3255-4

*EP = 裸焊盘。

+ 表示无铅封装。

芯片信息

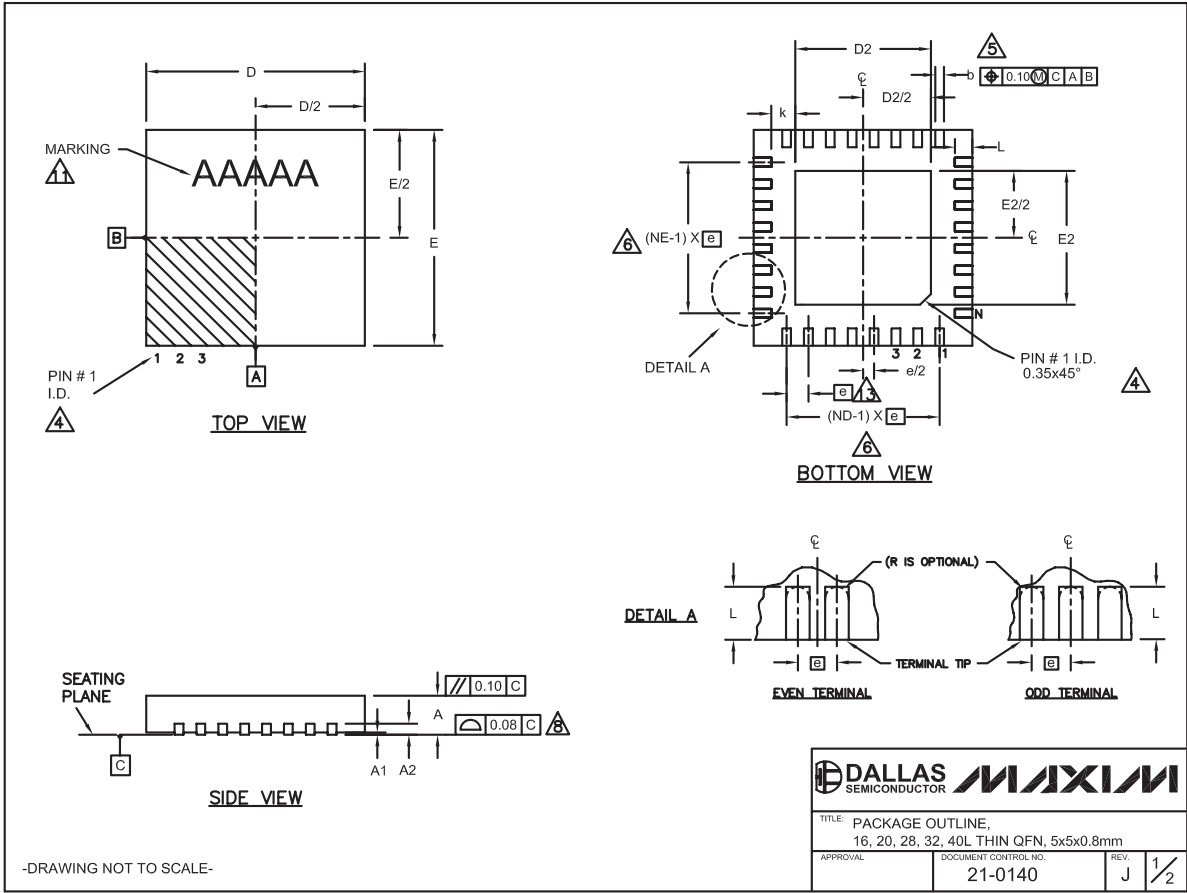
TRANSISTOR COUNT: 5994

PROCESS: BiCMOS

2.2MHz、双路输出、降压或升压型转换器， 具有POR及电源失效输出

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com.cn/packages.)



QFN THINLEADS

2.2MHz、双路输出、降压或升压型转换器， 具有POR及电源失效输出

封装信息(续)

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-integrated.com/cn/packages.)

COMMON DIMENSIONS												
PKG.	16L 5x5			20L 5x5			28L 5x5			32L 5x5		
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.		
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30
D	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
E	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-
L	0.30	0.40	0.50	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50
N	16			20			28			32		
ND	4			5			7			8		
NE	4			5			7			8		
JEDEC	WHHB			WHHC			WHHD-1			WHHD-2		

NOTES:

1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
3. N IS THE TOTAL NUMBER OF TERMINALS.
4. THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
5. DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
6. ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
8. COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
9. DRAWING CONFORMS TO JEDEC MO220, EXCEPT EXPOSED PAD DIMENSION FOR T2855-3 AND T2855-6.
10. WARPAGE SHALL NOT EXCEED 0.10 mm.
11. MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
12. NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
13. LEAD CENTERLINES TO BE AT TRUE POSITION AS DEFINED BY BASIC DIMENSION "e", ± 0.05 .

-DRAWING NOT TO SCALE-

EXPOSED PAD VARIATIONS						
PKG. CODES	D2			E2		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
T1655-2	3.00	3.10	3.20	3.00	3.10	3.20
T1655-3	3.00	3.10	3.20	3.00	3.10	3.20
T1655N-1	3.00	3.10	3.20	3.00	3.10	3.20
T2055-3	3.00	3.10	3.20	3.00	3.10	3.20
T2055-4	3.00	3.10	3.20	3.00	3.10	3.20
T2055-5	3.15	3.25	3.35	3.15	3.25	3.35
T2855-3	3.15	3.25	3.35	3.15	3.25	3.35
T2855-4	2.60	2.70	2.80	2.60	2.70	2.80
T2855-5	2.60	2.70	2.80	2.60	2.70	2.80
T2855-6	3.15	3.25	3.35	3.15	3.25	3.35
T2855-7	2.60	2.70	2.80	2.60	2.70	2.80
T2855-8	3.15	3.25	3.35	3.15	3.25	3.35
T2855N-1	3.15	3.25	3.35	3.15	3.25	3.35
T3255-3	3.00	3.10	3.20	3.00	3.10	3.20
T3255-4	3.00	3.10	3.20	3.00	3.10	3.20
T3255-5	3.00	3.10	3.20	3.00	3.10	3.20
T3255N-1	3.00	3.10	3.20	3.00	3.10	3.20
T4055-1	3.40	3.50	3.60	3.40	3.50	3.60
T4055-2	3.40	3.50	3.60	3.40	3.50	3.60

**SEE COMMON DIMENSIONS TABLE

TITLE: PACKAGE OUTLINE, 16, 20, 28, 32, 40L THIN QFN, 5x5x0.8mm	
APPROVAL	DOCUMENT CONTROL NO. 21-0140
REV. J	2/2

MAXIM北京办事处

北京 8328信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299

Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600 27