

MAX2079

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

概述

优势与特性

MAX2079是一款完全集成的八通道超声接收器，优化用于多通道、高性能便携式及车载超声系统。易于使用的集成接收器允许用户以较小的空间和功耗获得高端2D及多普勒成像功能。高度集成的低噪声放大器(LNA)、可变增益放大器(VGA)、抗混叠滤波器(AAF)、模/数转换器(ADC)以及数字高通滤波器(HPF)，在 $R_S = R_{IN} = 200\Omega$ 时具有2.8dB超低噪声系数；50Msps下每通道功耗仅为120mW。完备的接收通道针对二次谐波成像进行优化，在2MHz带宽内提供优异的76dBFS SNR，并在整个接收器增益范围内保持-70dBc的二次谐波失真($f_{RF} = 5\text{MHz}$)。器件对于近载波动态范围同样进行了优化，在强杂波环境中能够获得优异的脉冲多普勒和彩色流体多普勒性能。双极性前端和CMOS ADC在1kHz下提供137dBFS/Hz的近载波SNR(5MHz载频)，可获得极佳的低速多普勒灵敏度。

器件还带有一个8通道CWD波束成形器，构成完备的多普勒方案。每个通道具有独立的混频器，以优化CWD灵敏度。

MAX2079八通道超声前端采用小尺寸、10mm × 10mm CTBGA封装，工作在0°C至+70°C温度范围。

应用

医学超声成像
声纳系统

- ◆ 占用最小PCB面积，大幅降低设计成本
 - ◇ 在小尺寸、10mm × 10mm CTBGA封装内集成完整的8通道LNA、VGA、AAF、12位ADC、数字HPF以及CWD混频器波束成形器
- ◆ 提高系统灵敏度
 - ◇ $R_S = R_{IN} = 200\Omega$ 时，具有2.8dB超低全通道噪声系数
- ◆ 提高系统动态范围
 - ◇ $f_{RF} = 5\text{MHz}$ ，在2MHz带宽提供76dBFS的成像通道SNR
 - ◇ $f_{RF} = 5\text{MHz}$ ，1kHz频偏下，具有137dBFS/Hz的成像通道SNR
- ◆ 更低功耗
 - ◇ 成像模式下，工作在50Msps时每通道仅消耗120mW功率
- ◆ 可选择有源输入阻抗匹配：50Ω、100Ω、200Ω以及1kΩ
- ◆ 可编程VGA输出嵌位
- ◆ 集成可选择的3极点9MHz、10MHz、15MHz以及18MHz巴特沃斯抗混叠滤波器
- ◆ 可编程数字高通、2极点滤波器
- ◆ 串行LVDS数字输出
- ◆ 快速恢复低功耗模式(< 2μs)
- ◆ 独立的I/Q CWD混频器通道，提升动态范围和灵敏度

[订购信息](#)在数据资料的最后给出。

相关型号以及配合该器件使用的推荐产品，请参见：china.maxim-ic.com/MAX2079.related。

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

ABSOLUTE MAXIMUM RATINGS

V_{CC3}, V_{CC5} to GND.....-0.3V to +5.5V
 AVDD, OVDD to GND-0.3V to +2.1V
 V_{CC5} - V_{CC3} > -0.3V
 V_{REF}, GC+/- to GND-0.3V to (V_{CC3} + 0.3V)
 CI+/-, CQ+/- to GND-0.3V to +13V
 ZF₋, IN₋, AG, LO+/- to GND-0.3V to (V_{CC5} + 0.3V)
 INC₋.....±20mA DC
 IN₋ to AG.....-0.6V to +0.6V
 REFIO, OUT+/-, CLKIN+/-, LOON to
 GND..... -0.3V to the lower of (V_{AVDD} + 0.3V) and +2.1V

OUT+/-, SDIO, SCLK, $\overline{\text{CS}}$, CLKOUT+/-, FRAME+/-,
 SHDN, CWD to GND -0.3V to the lower of (V_{OVDD} + 0.3V)
 and +2.1V
 CI+/-, CQ+/-, V_{CC3}, V_{CC5} AVDD/OVDD, V_{REF} analog and
 digital control signals must be applied in this order.
 Input Differential Voltage.....2.0V_{P-P} differential
 Continuous Power Dissipation (T_A = +70°C).....3200mW
 144-Bump CTBGA (derate 33.3mW/°C above +70°C)
 Operating Case Temperature Range (Note 1)0°C to +70°C
 Junction Temperature+150°C
 Storage Temperature Range.....-40°C to +150°C
 Soldering Temperature (reflow)+260°C

Note 1: T_C is the temperature on the bump of the package. T_A is the ambient temperature of the device and PCB.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

PACKAGE THERMAL CHARACTERISTICS (Note 2)

Junction-to-Ambient Thermal Resistance (θ_{JA})25°C/W
 Junction-to-Case Thermal Resistance (θ_{JC})7.7°C/W

Note 2: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to china.maxim-ic.com/thermal-tutorial.

OCTAL ULTRASOUND FRONT-END SPECIFICATIONS

DC ELECTRICAL CHARACTERISTICS—VGA MODE (CWD BEAMFORMER OFF)

(V_{REF} = 2.5V, V_{CC3} = 3.13V to 3.47V, V_{CC5} = 4.5V to 5.25V, V_{AVDD} = V_{OVDD} = 1.7V to 1.9V, T_A = 0°C to +70°C, V_{GND} = 0V, SHDN = 0, CWD = 0, LOON = 0, f_{RF} = 5MHz, 50mV_{P-P}, ADC f_{CLK} = 50MSPS, digital HPF set to 60/64, two poles, 15/16 digital gain, V_{GC+} - V_{GC-} = -3V (minimum gain), high LNA gain. Typical values are at V_{REF} = 2.5V, V_{CC3} = 3.3V, V_{CC5} = 4.75V, V_{AVDD} = V_{OVDD} = 1.8V, V_{GC+} - V_{GC-} = 0V, T_A = +25°C, unless otherwise noted.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
3.3V Supply Voltage	V _{CC3}	V _{CC3} pins	3.13	3.3	3.47	V
5V Supply Voltage	V _{CC5}	V _{CC5} pins	4.5	4.75	5.25	V
1.8V Supply Voltage	V _{CC1.8}	AVDD and OVDD pins	1.7	1.8	1.9	V
External Reference Voltage Range	V _{REF}	(Note 4)	2.475		2.525	V
External Reference Current		Total current into the V _{REF} pin		5		μA
3V Supply Current per Channel	I _{CC3}	Total I divided by 8, V _{GC+} - V _{GC-} = 0.4V		9.5	16	mA
5V Supply Current per Channel	I _{CC5}	Total I divided by 8		6.4	9	mA
1.8V Supply Current per Channel	I _{CC1.8}	Total I divided by 8, AVDD + OVDD		32	37.9	mA
		Total I divided by 8, AVDD		20	22.8	mA
		Total I divided by 8, OVDD		12	15.1	mA
DC Power per Channel	P _{NM}	V _{GC+} - V _{GC-} = -0.4V		120		mW
Differential Analog Control Voltage Range	VGAIN_RANG	V _{GC+} - V _{GC-}		±3		V

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

DC ELECTRICAL CHARACTERISTICS—VGA MODE (CWD BEAMFORMER OFF) (continued)

($V_{REF} = 2.5V$, $V_{CC3} = 3.13V$ to $3.47V$, $V_{CC5} = 4.5V$ to $5.25V$, $V_{AVDD} = V_{OVDD} = 1.7V$ to $1.9V$, $T_A = 0^{\circ}C$ to $+70^{\circ}C$, $V_{GND} = 0V$, $SHDN = 0$, $CWD = 0$, $LOON = 0$, $f_{RF} = 5MHz$, $50mV_{P-P}$, $ADC f_{CLK} = 50Msps$, digital HPF set to 60/64, two poles, 15/16 digital gain, $V_{GC+} - V_{GC-} = -3V$ (minimum gain), high LNA gain. Typical values are at $V_{REF} = 2.5V$, $V_{CC3} = 3.3V$, $V_{CC5} = 4.75V$, $V_{AVDD} = V_{OVDD} = 1.8V$, $V_{GC+} - V_{GC-} = 0V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
5V Supply Nap Current	$I_{NP_5V_TOT}$	$SHDN = 1$, nap mode (all 8 channels)		30		mA
3V Supply Nap Current	$I_{NP_3V_TOT}$	$SHDN = 1$, nap mode (all 8 channels)		0.035		mA
1.8V Supply Nap Current		$SHDN = 1$, nap mode (all 8 channels)		40		mA
5V Power-Down Current	$I_{PD_5V_TOT}$	$SHDN = 1$, power-down mode (all 8 channels)		1		μA
3V Power-Down Current	$I_{PD_3V_TOT}$	$SHDN = 1$, power-down mode (all 8 channels)		1		μA
1.8V Supply Power-Down Current		$SHDN = 1$, power-down mode (all 8 channels)		0.38		mA
Common-Mode Voltage for Difference Analog Control	V_{GAIN_COMM}	$(V_{GC+} - V_{GC-})/2$		1.65 $\pm 5\%$		V
Source/Sink Current for Gain Control Pins	$I_{ACONTROL}$	Per pin		± 1.6		μA

AC ELECTRICAL CHARACTERISTICS—VGA MODE (CWD BEAMFORMER OFF)

($V_{REF} = 2.5V$, $V_{CC3} = 3.13V$ to $3.47V$, $V_{CC5} = 4.5V$ to $5.25V$, $V_{AVDD} = V_{OVDD} = 1.7V$ to $1.9V$, $T_A = 0^{\circ}C$ to $+70^{\circ}C$, $V_{GND} = 0V$, $SHDN = 0$, $CWD = 0$, $LOON = 0$, $f_{RF} = 5MHz$, $50mV_{P-P}$, $ADC f_{CLK} = 50Msps$, digital HPF set to 60/64, two poles, 15/16 digital gain, $V_{GC+} - V_{GC-} = -3V$ (minimum gain), high LNA gain. Typical values are at $V_{REF} = 2.5V$, $V_{CC3} = 3.3V$, $V_{CC5} = 4.75V$, $V_{AVDD} = V_{OVDD} = 1.8V$, $V_{GC+} - V_{GC-} = 0V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 3)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
ADC Bits			12		Bits
Minimum ADC Sample Rate			25		Msps
Maximum ADC Sample Rate		50			Msps
Mode-Select Response Time (Note 5)	CWD stepped from 0 to 1, DC stable within 10%		1		μs
	CWD stepped from 1 to 0, DC stable within 10%		1		
Input Impedance	50 Ω mode, $f_{RF} = 2MHz$		50		Ω
	100 Ω mode, $f_{RF} = 2MHz$		100		
	200 Ω mode, $f_{RF} = 2MHz$		200		
	1k Ω mode, $f_{RF} = 2MHz$		1000		
Noise Figure (High LNA Gain)	$R_S = R_{IN} = 50\Omega$, $V_{GC+} - V_{GC-} = 3V$		4.8		dB
	$R_S = R_{IN} = 100\Omega$, $V_{GC+} - V_{GC-} = 3V$		3.8		
	$R_S = R_{IN} = 200\Omega$, $V_{GC+} - V_{GC-} = 3V$		2.8		
	$R_S = R_{IN} = 1000\Omega$, $V_{GC+} - V_{GC-} = 3V$		2.5		
Noise Figure (Low LNA Gain)	$R_S = R_{IN} = 200\Omega$, $V_{GC+} - V_{GC-} = 3V$		3.8		dB

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

AC ELECTRICAL CHARACTERISTICS—VGA MODE (CWD BEAMFORMER OFF) (continued)

($V_{REF} = 2.5V$, $V_{CC3} = 3.13V$ to $3.47V$, $V_{CC5} = 4.5V$ to $5.25V$, $V_{AVDD} = V_{OVDD} = 1.7V$ to $1.9V$, $T_A = 0^{\circ}C$ to $+70^{\circ}C$, $V_{GND} = 0V$, $SHDN = 0$, $CWD = 0$, $LOON = 0$, $f_{RF} = 5MHz$, $50mV_{P-P}$, $ADC f_{CLK} = 50Msps$, digital HPF set to 60/64, two poles, 15/16 digital gain, $V_{GC+} - V_{GC-} = -3V$ (minimum gain), high LNA gain. Typical values are at $V_{REF} = 2.5V$, $V_{CC3} = 3.3V$, $V_{CC5} = 4.75V$, $V_{AVDD} = V_{OVDD} = 1.8V$, $V_{GC+} - V_{GC-} = 0V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 3)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
8-Channel Correlated Noise Power	No input signal, ratio of 8-channel noise power to single-channel noise power		9.0		dB
	5MHz signal applied to all 8 channels, $V_{GC+} - V_{GC-} = 0V$, $f_{RF} = 5MHz$ at -3dBFS, ratio of 8-channel noise power to single-channel noise power		8.5		
LNA Gain (Low LNA Gain)			12.5		dB
LNA Gain (High LNA Gain)			18.5		dB
Maximum Gain (High LNA Gain)	$V_{GC+} - V_{GC-} = +3V$ (max gain), LNA input to ADC Input		44.7		dB
Minimum Gain (High LNA Gain)	$V_{GC+} - V_{GC-} = -3V$ (min gain), LNA input to ADC Input		5.9		dB
Maximum Gain (Low LNA Gain)	$V_{GC+} - V_{GC-} = +3V$ (max gain), LNA input to ADC Input		40.4		dB
Minimum Gain (Low LNA Gain)	$V_{GC+} - V_{GC-} = -3V$ (min gain), LNA input to ADC input		1.4		dB
Gain Range			38.8		dB
AA Filter 3dB Corner Frequency	9MHz setting		9		MHz
	10MHz setting		10		
	15MHz setting		15		
	18MHz setting		18		
AA Filter 3dB Corner Frequency Accuracy			±10		%
Digital Highpass Filter 3dB Corner Frequency	2 poles, coefficients $R1 = R2 = 63/64$, $f_{CLK} = 50Msps$		0.185		MHz
	2 poles, coefficients $R1 = R2 = 54/64$, $f_{CLK} = 50Msps$		1.736		
Clamp Level	Clamp on (V_{P-P} on AAF Output/ADC Input, digital HBF bypassed)		92		%FS
Device-to-Device Gain Matching	$T_A = +25^{\circ}C$, $V_{GC+} - V_{GC-} = -3V$ to $+3V$ (Note 6)	-1.6	±0.5	+1.6	dB
Input Gain Compression	LNA = high gain, $V_{GC+} - V_{GC-} = -3V$ (VGA = min gain), gain ratio with $330mV_{P-P}/50mV_{P-P}$ input tones		0.7		dB
	LNA = low gain, $V_{GC+} - V_{GC-} = -3V$ (VGA = min gain), gain ratio with $600mV_{P-P}/50mV_{P-P}$ input tones		0.9		
VGA Gain Response Time	Gain step up ($V_{IN} = 5mV_{P-P}$, $V_{GC+} - V_{GC-}$ changed from -3V to +3V, settling time is measured within 1dB final value)		0.8		μs
	Gain step down ($V_{IN} = 5mV_{P-P}$, $V_{GC+} - V_{GC-}$ changed from -3V to +3V, settling time is measured within 1dB final value)		1.8		
VGA Output Offset Under Pulsed Overload	Over drive is ±10mA in clamping diodes, $V_{GC+} - V_{GC-} = 1.0V$ (gain = 30dB), 16 pulses at 5MHz, repetition rate 20kHz; offset is measured at output when RF duty cycle is off		< 3.3		%FS
Signal-to-Noise Over ADC Nyquist Band (25MHz)	$V_{OUT-} = -1dBFS$, $V_{IN} = 200mV_{P-P}$, $f_{RF} = 5MHz$ at -1dBFS, anti-alias filter = 9MHz, 50Msps sample rate		67		dBFS

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

AC ELECTRICAL CHARACTERISTICS—VGA MODE (CWD BEAMFORMER OFF) (continued)

($V_{REF} = 2.5V$, $V_{CC3} = 3.13V$ to $3.47V$, $V_{CC5} = 4.5V$ to $5.25V$, $V_{AVDD} = V_{OVDD} = 1.7V$ to $1.9V$, $T_A = 0^{\circ}C$ to $+70^{\circ}C$, $V_{GND} = 0V$, $SHDN = 0$, $CWD = 0$, $LOON = 0$, $f_{RF} = 5MHz$, $50mV_{P-P}$, $ADC f_{CLK} = 50Mps$, digital HPF set to 60/64, two poles, 15/16 digital gain, $V_{GC+} - V_{GC-} = -3V$ (minimum gain), high LNA gain. Typical values are at $V_{REF} = 2.5V$, $V_{CC3} = 3.3V$, $V_{CC5} = 4.75V$, $V_{AVDD} = V_{OVDD} = 1.8V$, $V_{GC+} - V_{GC-} = 0V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 3)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Signal-to-Noise Over 2MHz Bandwidth	$V_{OUT-} = -1dBFS$, $V_{IN} = 200mV_{P-P}$, $f_{RF} = 5MHz$ at $-1dBFS$, anti-alias filter = $9MHz$, $50Mps$ sample rate		76		dBFS
Near-Carrier Signal-to-Noise Ratio	$V_{GC+} - V_{GC-} = 0V$ (gain = $22dB$), $f_{RF} = 5.3MHz$ at $-0.5dBFS$, measured at $1kHz$ from f_{RF} , $50Mps$ sample rate		-137		dBFS/Hz
Second Harmonic (HD2)	$V_{IN} = 50mV_{P-P}$, $f_{RF} = 2MHz$, ADC out = $-3dBFS$		-71		dBc
	$V_{IN} = 50mV_{P-P}$, $f_{RF} = 5MHz$, ADC out = $-3dBFS$		-70		
IM3 Distortion	$V_{IN} = 50mV_{P-P}$, $f_{RF1} = 5MHz$, $f_{RF2} = 5.01MHz$, ADC out = $-3dBFS$ (Note 7)		-54		dBc
Nap Mode Power-Up Response Time	$V_{GC+} - V_{GC-} = 0.6V$ (gain = $28dB$), $f_{RF} = 5MHz$, ADC out = $-3dBFS$, settled with in $1dB$ from transition on $SHDN$ pin (includes ADC)		2		μs
Nap Mode Power-Down Response Time	To reach DC current target $\pm 10\%$, on V_{CC5} , V_{CC3} , $AVDD$, $OVDD$ from transition on $SHDN$ pin		4		μs
Sleep Mode Power-Up Response Time	$V_{GC+} - V_{GC-} = 0.6V$ (gain = $28dB$), $f_{RF} = 5MHz$, $V_{OUT-} = 1V_{P-P}$, settled within $1dB$ from transition on $SHDN$		2		ms
Sleep Mode Power-Down Response Time	$V_{GC+} - V_{GC-} = 0.6V$ (gain = $28dB$), $f_{RF} = 5MHz$, DC power reaches $1mW/channel$, from transition on $SHDN$ (includes ADC)		4		ms
Adjacent-Channel Crosstalk	$V_{OUT-} = -3dBFS$, $f_{RF} = 5MHz$, $V_{GC+} - V_{GC-} = 0.6V$ (gain = $28dB$)		-60		dBc
Alternate-Channel Crosstalk	$V_{OUT-} = -3dBFS$, $f_{RF} = 5MHz$, $V_{GC+} - V_{GC-} = 0.6V$ (gain = $28dB$)		-80		dBc
Phase Matching Between Channels	$V_{GC+} - V_{GC-} = 0.6V$ (gain = $28dB$), $f_{RF} = 5MHz$, $V_{OUT-} = -3dBFS$		± 1.2		Degrees

DC ELECTRICAL CHARACTERISTICS—CWD MODE (VGA, AAF, AND ADC OFF)

($V_{REF} = 2.5V$, $V_{CC3} = 3.13V$ to $3.47V$, $V_{CC5} = 4.5V$ to $5.25V$, $V_{AVDD} = V_{OVDD} = 1.7V$ to $1.9V$, $T_A = 0^{\circ}C$ to $+70^{\circ}C$, $V_{GND} = 0V$, $SHDN = 0$, $CWD = 1$, $LOON = 1$, $R_{IN} = 200\Omega$, high LNA gain, $Cl+$, $Cl-$, $CQ+$, $CQ-$ pulled up to $+11V$ through four separate 0.1% 120Ω resistors. No RF signals applied. Typical values are at $V_{REF} = 2.5V$, $V_{CC3} = 3.3V$, $V_{CC5} = 4.75V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Mixer LVDS LO Input Common-Mode Voltage	V_{LVDS_CM}	Pins $LO+$ and $LO-$		1.25 ± 0.2		V
LVDS LO Differential Input Voltage	V_{LVDS_DM}	Common-mode input voltage = $1.25V$ (Note 8)	200	700		mV_{P-P}
LVDS LO Input Common-Mode Current	I_{LVDS_CM}	Input bias current, common-mode input voltage = $1.25V$ (Note 8)		160		μA

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

DC ELECTRICAL CHARACTERISTICS—CWD MODE (VGA, AAF, AND ADC OFF) (continued)

($V_{REF} = 2.5V$, $V_{CC3} = 3.13V$ to $3.47V$, $V_{CC5} = 4.5V$ to $5.25V$, $V_{AVDD} = V_{OVDD} = 1.7V$ to $1.9V$, $T_A = 0^{\circ}C$ to $+70^{\circ}C$, $V_{GND} = 0V$, $SHDN = 0$, $CWD = 1$, $LOON = 1$, $R_{IN} = 200\Omega$, high LNA gain, $CI+$, $CI-$, $CQ+$, $CQ-$ pulled up to $+11V$ through four separate 0.1% 120Ω resistors. No RF signals applied. Typical values are at $V_{REF} = 2.5V$, $V_{CC3} = 3.3V$, $V_{CC5} = 4.75V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LVDS LO Differential Input Resistance	R_DM_LVDS	(Note 9)		8		k Ω
FULL-POWER MODE						
5V Supply Current per Channel	I_C_5V_F	Total I divided by 8		31.6	41	mA
3.3V Supply Current per Channel	I_C_3_3V_F	Total I divided by 8		1.8	3	mA
1.8V Supply Current per Channel	I_C_1_8V_F	Total I divided by 8, AVDD + OVDD		6.3		mA
11V Supply Current per Channel	I_C_11V_F	Total I divided by 8		11.7	16.2	mA
External Reference Current		Total current into V_{REF} pin		70		μA
On-Chip Power Dissipation (All 8 Channels)	PDIS_FP_TOT_F	(Note 11)		2.1		W
On-Chip Power Dissipation per Channel	PDIS_FP_F	(Note 11)		260		mW
5V Power-Down Current		SHDN = 1, power-down mode (all 8 channels)		1		μA
3V Power-Down Current		SHDN = 1, power-down mode (all 8 channels)		1		μA
1.8V Supply Power-Down Current		SHDN = 1, power-down mode (all 8 channels)		0.38		mA
LOW-POWER MODE						
5V Supply Current per Channel	I_C_5V_L	Total I divided by 8		27	35	mA
3.3V Supply Current per Channel	I_C_3_3V_L	Total I divided by 8		1.8	3	mA
1.8V Supply Current per Channel	I_C_1_8V_L	Total I divided by 8, AVDD + OVDD		6.3		mA
11V Supply current per channel	I_C_11V_L	Total I divided by 8		7		mA
On-Chip Power Dissipation (All 8 Channels)	PDIS_FP_TOT_L	(Note 11)		1.6		W
On-Chip Power Dissipation per Channel	PDIS_FP_L	(Note 11)		200		mW

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

AC ELECTRICAL CHARACTERISTICS—CWD MODE (VGA, AAF, AND ADC OFF)

($V_{REF} = 2.5V$, $V_{CC3} = 3.13V$ to $3.47V$, $V_{CC5} = 4.5V$ to $5.25V$, $V_{AVDD} = V_{OVDD} = 1.7V$ to $1.9V$, $T_A = 0^{\circ}C$ to $+70^{\circ}C$, $V_{GND} = 0V$, $SHDN = 0$, $CWD = 1$, $SHDN = 0$, $LOON = 1$, $R_{IN} = 200\Omega$, $f_{RF} = 5MHz$, Source resistance $R_S = 200\Omega$, $CI+$, $CI-$, $CQ+$, $CQ-$ pulled up to $+11V$ through four separate 0.1% 120Ω resistors). The rise/fall time of the LVDS clock driving $LO+/LO-$ is required to be $0.5ns$, reference noise less than $10nV/\sqrt{Hz}$ from $1kHz$ to $20MHz$ (Note 10). Typical values are at $V_{CC3} = 3.3V$, $V_{CC5} = 4.75V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
CW DOPPER MIXER					
Mixer RF Frequency Range		0.9		7.6	MHz
LO Frequency Range		8.0		60	MHz
Mixer Output Frequency Range		DC		100	kHz
FULL-POWER MODE					
Noise Figure	No carrier		4.8		dB
SNR at 100mV _{P-P} Input	100mV _{P-P} on input, $f_{RF} = f_{LO}/8 = 1.25MHz$, measured at 1kHz offset		146		dBc/Hz
SNR at 200mV _{P-P} Input	200mV _{P-P} on input, $f_{RF} = f_{LO}/8 = 1.25MHz$, measured at 1kHz offset		151		dBc/Hz
IM3 Distortion	$V_{IN} = 100mV_{P-P}$, $f_{RF1} = 5MHz$, $f_{RF2} = 5.01MHz$, $f_{LO} = 8 \times 5MHz$ (Note 7)		-57		dBc
Mixer Output-Voltage Compliance	Valid voltage range (AC + DC) on summed mixer output pins (Note12)	4.5		12	V
Channel-to-Channel Phase Matching	Measured under zero beat conditions. $V_{IN} = 100mV_{P-P}$, $f_{RF} = 5MHz$, $f_{LO}/8 = 5MHz$	-1	± 0.5	+1	Degrees
Channel-to-Channel Gain Matching	Measured under zero beat conditions $V_{IN} = 100mV_{P-P}$, $f_{RF} = 5MHz$, $f_{LO}/8 = 5MHz$	-1	± 0.5	+1	dB
Transconductance	$f_{LO}/8 = 1.25MHz$ (Note 13)	19	23	26.5	mS
LOW-POWER MODE					
Noise Figure	No carrier		4.8		dB
SNR at 100mV _{P-P} Input	100mV _{P-P} on input, $f_{RF} = f_{LO}/8 = 1.25MHz$, measured at 1kHz offset		146		dBc/Hz
SNR at 200mV _{P-P} Input	200mV _{P-P} on input, $f_{RF} = f_{LO}/8 = 1.25MHz$, measured at 1kHz offset		150		dBc/Hz
IM3 Distortion	$V_{IN} = 100mV_{P-P}$, $f_{RF1} = 5MHz$, $f_{RF2} = 5.01MHz$, $f_{LO} = 8 \times 5MHz$ (Note 7)		-44		dBc
Mixer Output-Voltage Compliance	Valid voltage range (AC + DC) on summed mixer output pins (Note 12)	4.5		12	V
Transconductance	$f_{LO}/8 = 1.25MHz$ (Note 13)	18	22	25.5	mS

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

ELECTRICAL CHARACTERISTICS—CLOCK AND TIMING

($V_{REF} = 2.5V$, $V_{CC3} = 3.13V$ to $3.47V$, $V_{CC5} = 4.5V$ to $5.25V$, $V_{AVDD} = V_{OVDD} = 1.7V$ to $1.9V$, $T_A = 0^\circ C$ to $+70^\circ C$, $V_{GND} = 0V$, $SHDN = 0$, $CWD = 0$, $LOON = 0$. $f_{RF} = 5MHz$, $50mV_{P-P}$, $ADC f_{CLK} = 50Msps$, digital HPF set to 60/64, two poles, 15/16 digital gain, $V_{GC+} - V_{GC-} = -3V$ (minimum gain), high LNA gain. Typical values are at $V_{REF} = 2.5V$, $V_{CC3} = 3.3V$, $V_{CC5} = 4.75V$, $V_{AVDD} = V_{OVDD} = 1.8V$, $V_{GC+} - V_{GC-} = 0V$, $T_A = +25^\circ C$, unless otherwise noted.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CLOCK INPUTS (CLKIN+, CLKIN-), DIFFERENTIAL MODE						
Differential Clock Input Voltage			0.4 to 2.0			V _{P-P}
CLOCK INPUTS (CLKIN+, CLKIN-), SINGLE-ENDED MODE (CLKIN- < 0.1V)						
Single-Ended Mode-Selection Threshold (CLKIN-)				0.1		V
Single-Ended Clock Input High Threshold (CLKIN+)			1.5			V
Single-Ended Clock Input Low Threshold (CLKIN+)				0.3		V
Input Leakage (CLKIN+)		V _{IH} = 1.8V		+5		μA
		V _{IL} = 0V	-5			
Input Leakage (CLKIN-)		V _{IL} = 0V	-150		-50	μA
Input Capacitance (CLKIN+)				3		pF
DIGITAL INPUTS (CWD, LOON, SHDN, SCLK, SDIO, $\overline{CS}$)						
Input High Threshold	V _{IH}		1.5			V
Input Low Threshold	V _{IL}			0.3		V
Input Leakage	I _{IH}	V _{IH} = 1.8V		+5		μA
	I _{IL}	V _{IL} = 0V	-5			
Input Capacitance	C _{DIN}			3		pF
DIGITAL OUTPUTS (SDIO)						
Output Voltage Low	V _{OL}	I _{SINK} = 200μA		0.2		V
Output Voltage High	V _{OH}	I _{SOURCE} = 200μA	OVDD - 0.2			V
LVDS DIGITAL OUTPUTS (OUT_+/-, CLKOUT+/-, FRAME+/-) (I = 3.5mA, VCM = 1.2V)						
Differential Output Voltage	V _{OD}	R _{LOAD} = 100Ω	225	300	490	mV
Output Offset Voltage	V _{OS}		1.125	1.200	1.375	V
SERIAL-PORT INTERFACE TIMING						
SCLK Period	t _{SCLK}		50			ns
SCLK-to- $\overline{CS}$ Setup Time	t _{CSS}		10			ns
SCLK-to- $\overline{CS}$ Hold Time	t _{CSH}		10			ns
SDIO-to-SCLK Setup Time	t _{SDS}	Serial-data write	10			ns
SDIO-to-SCLK Hold Time	t _{SDH}	Serial-data write	0			ns
SCLK-to-SDIO Output Data Delay	t _{SDD}	Serial-data read		10		ns
LVDS DIGITAL OUTPUT TIMING CHARACTERISTICS						
Data Valid to CLKOUT_ Rise/Fall	t _{OD}		(t _{SAMPLE/24} - 0.10	(t _{SAMPLE/24} + 0.05	(t _{SAMPLE/24} + 0.20	ns

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

ELECTRICAL CHARACTERISTICS—CLOCK AND TIMING (continued)

($V_{REF} = 2.5V$, $V_{CC3} = 3.13V$ to $3.47V$, $V_{CC5} = 4.5V$ to $5.25V$, $V_{AVDD} = V_{OVDD} = 1.7V$ to $1.9V$, $T_A = 0^\circ C$ to $+70^\circ C$, $V_{GND} = 0V$, $SHDN = 0$, $CWD = 0$, $LOON = 0$. $f_{RF} = 5MHz$, $50mV_{P-P}$, $ADC f_{CLK} = 50Msps$, digital HPF set to 60/64, two poles, 15/16 digital gain, $V_{GC+} - V_{GC-} = -3V$ (minimum gain), high LNA gain. Typical values are at $V_{REF} = 2.5V$, $V_{CC3} = 3.3V$, $V_{CC5} = 4.75V$, $V_{AVDD} = V_{OVDD} = 1.8V$, $V_{GC+} - V_{GC-} = 0V$, $T_A = +25^\circ C$, unless otherwise noted.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CLKOUT_ Output-Width High	t_{CH}			$t_{SAMPLE}/12$		ns
CLKOUT_ Output-Width Low	t_{CL}			$t_{SAMPLE}/12$		ns
FRAME_ Rise to CLKOUT_ Rise	t_{DF}		$(t_{SAMPLE}/24) - 0.10$	$(t_{SAMPLE}/24) + 0.05$	$(t_{SAMPLE}/24) + 0.20$	ns
Sample CLKIN_ Rise to FRAME_ Rise	t_{SF}		$(t_{SAMPLE}/2) + 1.6$	$(t_{SAMPLE}/24) + 2.3$	$(t_{SAMPLE}/2) + 3.3$	ns
CWD LO TIMING						
LOON Setup Time	t_{SU}	Setup time from LOON high to LVDS LO clock low-to-high transition	5			ns

Note 3: Minimum and maximum limits at $T_A = +25^\circ C$ and $+70^\circ C$ are guaranteed by production test. Specifications for $T_A < +25^\circ C$ are guaranteed by design and/or characterization.

Note 4: Noise performance of the device is dependent on the noise contribution from V_{REF} . Use a low-noise supply for V_{REF} .

Note 5: This response time does not include the CW output highpass filter. When switching to VGA mode, the CW outputs stop drawing current and the output voltage goes to the rail. If a highpass filter is used, the recovery time can be excessive and a switching network is recommended.

Note 6: Specifications are guaranteed by design and characterization.

Note 7: See Figure 21 in the [Ultrasound-Specific IMD3 Specification](#) section.

Note 8: The LVDS CWD LO inputs are DC-coupled. See the *CWD Beamformer Programming and Clocking* section for details of LO startup synchronization.

Note 9: An external 100Ω resistor terminates the LVDS differential signal path.

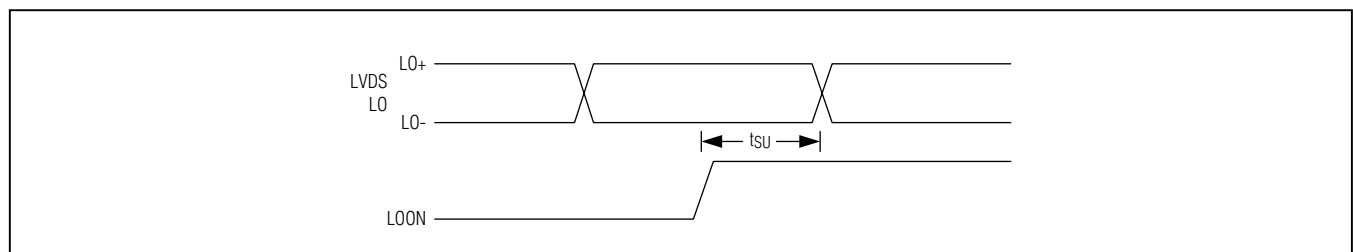
Note 10: The reference input noise is given for 8 channels, knowing that the reference-noise contributions are correlated in all 8 channels. If more channels are used, the reference noise must be reduced to get the best noise performance.

Note 11: Total on-chip power dissipation is calculated as $P_{DISS} = V_{CC5} \times I_{CC5} + V_{CC3} \times I_{CC3} + V_{AVDD} \times I_{AVDD} + V_{OVDD} \times I_{OVDD} + V_{REF} \times I_{REF} + [11V - (I_{11V}/4) \times 120] \times I_{11V}$. Additional power is dissipated through the off-chip 120Ω load resistors.

Note 12: Mixer output-voltage compliance is the range of acceptable voltages allowed on the CW mixer outputs.

Note 13: Transconductance is defined as the differential output current at baseband for each individual (I or Q) mixer output, divided by the single-ended RF input voltage directly on a single LNA input pin (IN_j). This can be calculated as $g_{mI} = (I_{CI+} - I_{CI-})/V_{INj}$ and $g_{mQ} = (I_{CQ+} - I_{CQ-})/V_{INj}$; or equivalently as $g_{mI} = (V_{CI+} - V_{CI-})/(R_L \times V_{INj})$ and $g_{mQ} = (I_{CQ+} - I_{CQ-})/(R_L \times V_{INj})$ (where $j = 1, 2, \dots, 8$ is a specific channel number, IN_j is a single LNA input pin, and R_L is the load resistance on each individual mixer output pin).

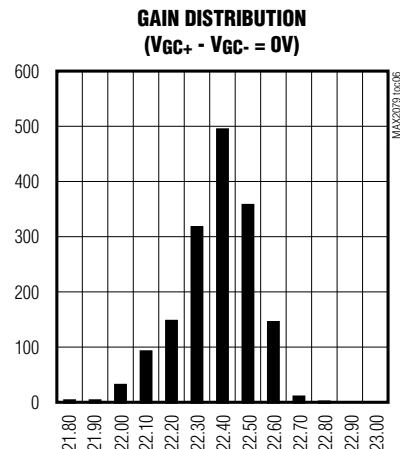
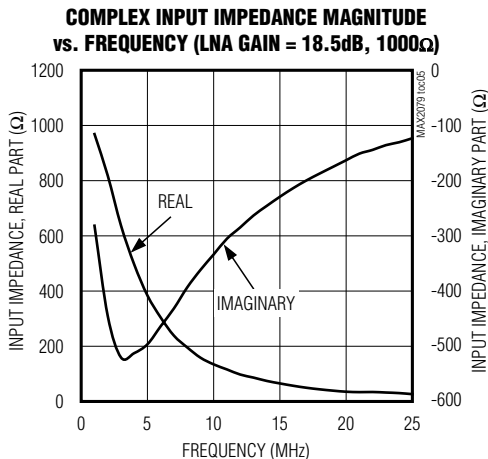
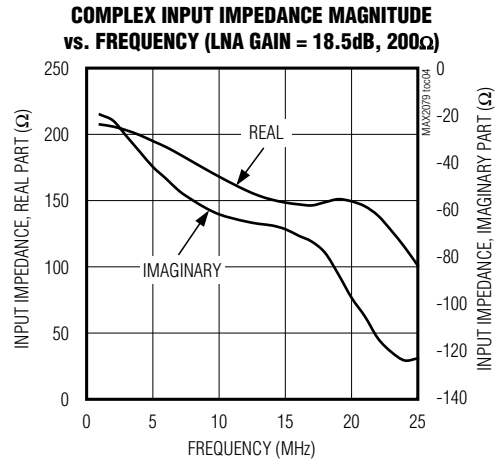
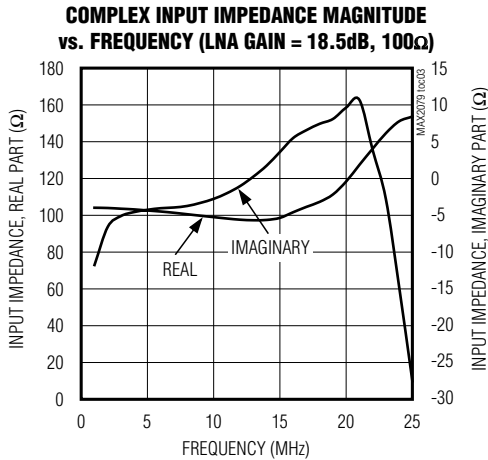
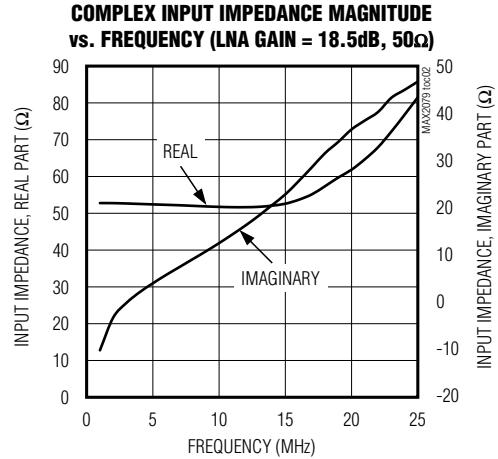
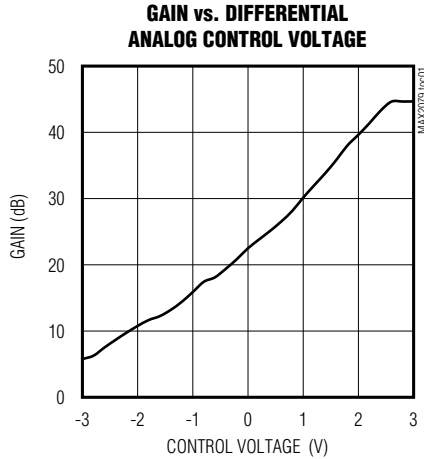
CWD LOON (LO通/断)时序



低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

典型工作特性

(Typical values are at $V_{REF} = 2.5V$, $V_{CC3} = 3.3V$, $V_{CC5} = 4.75V$, $V_{AVDD} = V_{OVDD} = 1.8V$, $V_{GC+} - V_{GC-} = 0V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 3)

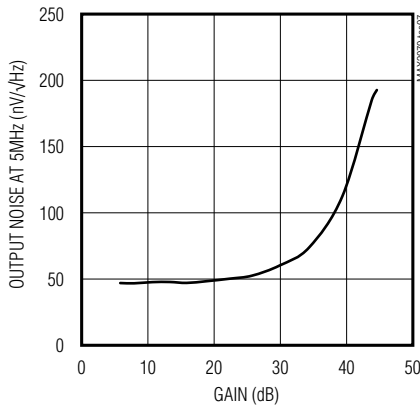


低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

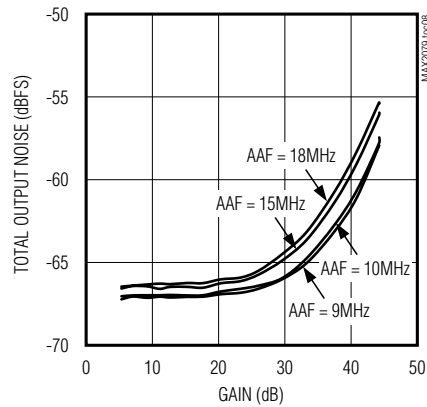
典型工作特性(续)

(Typical values are at $V_{REF} = 2.5V$, $V_{CC3} = 3.3V$, $V_{CC5} = 4.75V$, $V_{AVDD} = V_{OVDD} = 1.8V$, $V_{GC+} - V_{GC-} = 0V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 3)

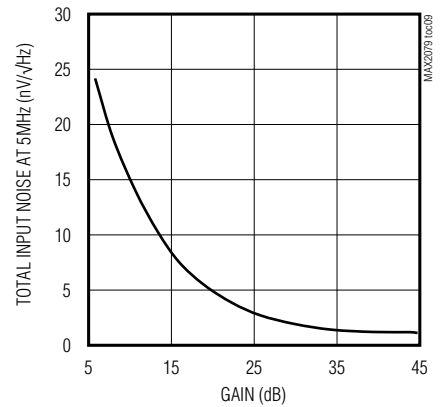
**TOTAL OUTPUT NOISE (AFE + ADC)
vs. GAIN**



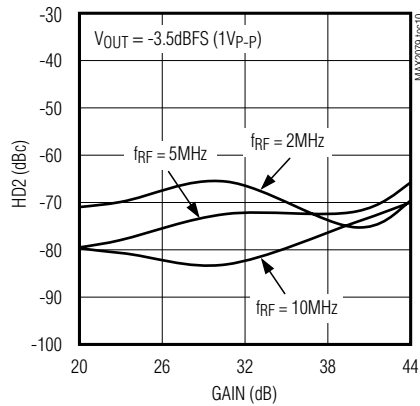
TOTAL OUTPUT NOISE vs. GAIN



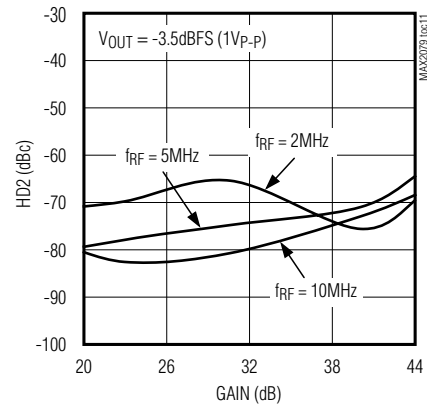
**TOTAL INPUT NOISE
(AFE + ADC) vs. GAIN**



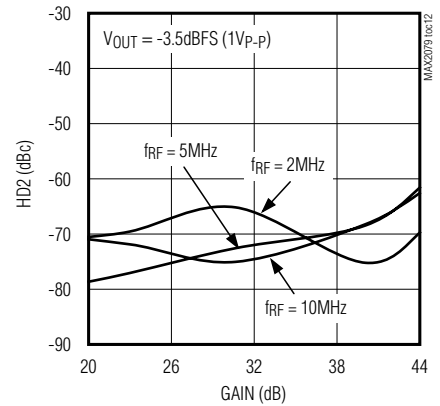
**SECOND-HARMONIC DISTORTION
vs. GAIN (AAF = 9MHz)**



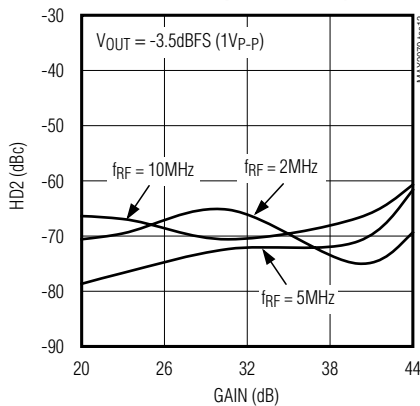
**SECOND-HARMONIC DISTORTION
vs. GAIN (AAF = 10MHz)**



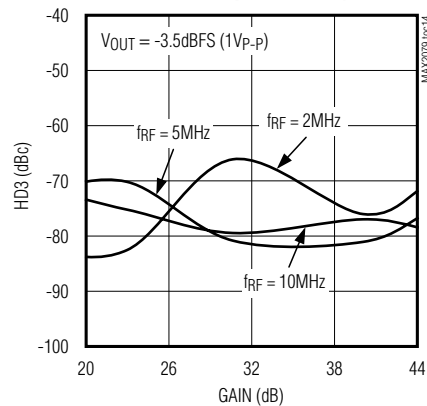
**SECOND-HARMONIC DISTORTION
vs. GAIN (AAF = 15MHz)**



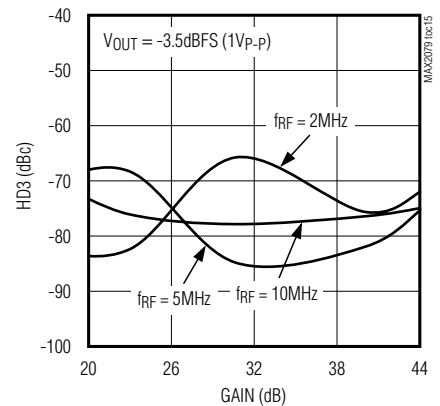
**SECOND-HARMONIC DISTORTION
vs. GAIN (AAF = 18MHz)**



**THIRD-HARMONIC DISTORTION
vs. GAIN (AAF = 9MHz)**



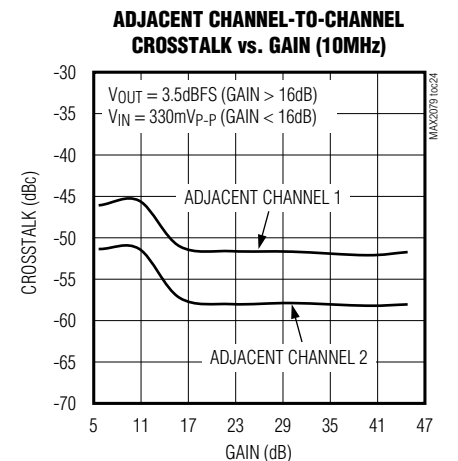
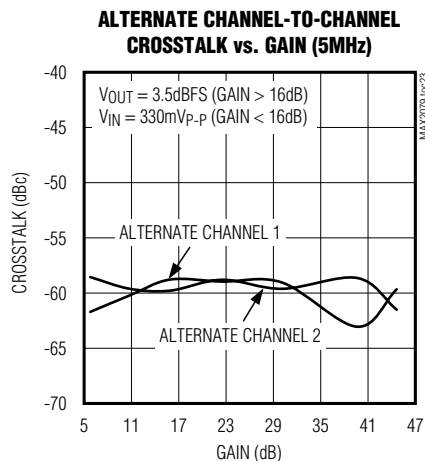
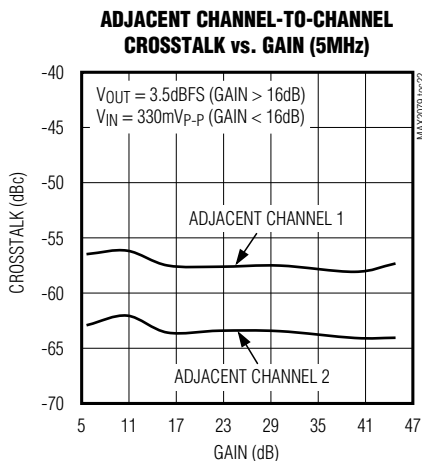
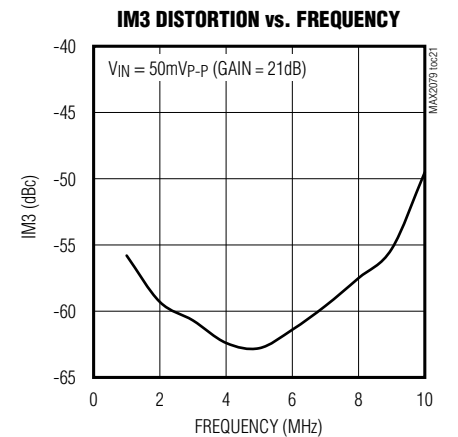
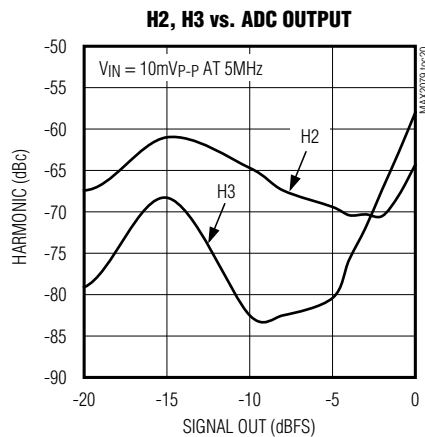
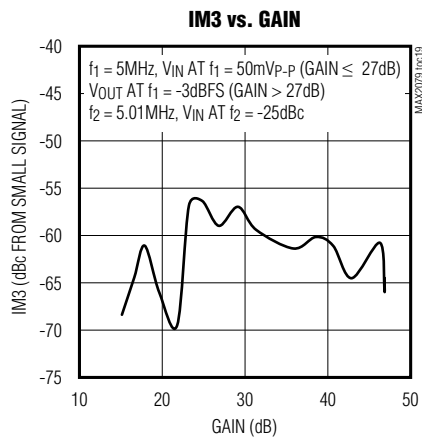
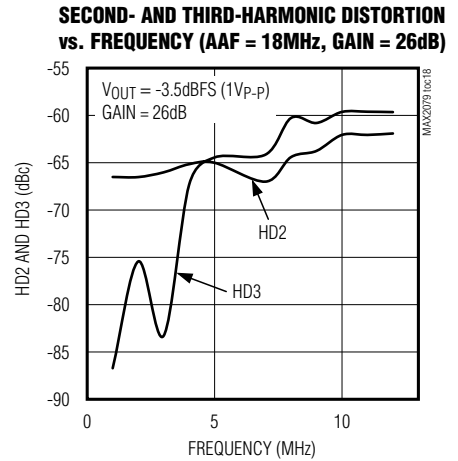
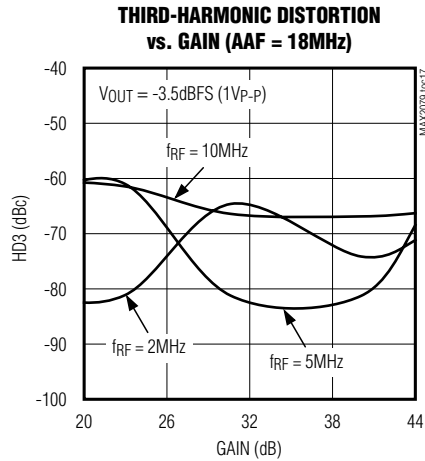
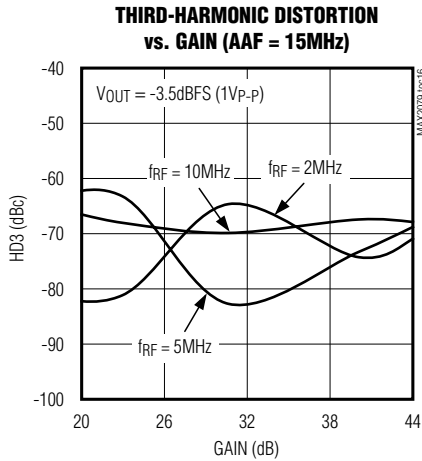
**THIRD-HARMONIC DISTORTION
vs. GAIN (AAF = 10MHz)**



低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

典型工作特性(续)

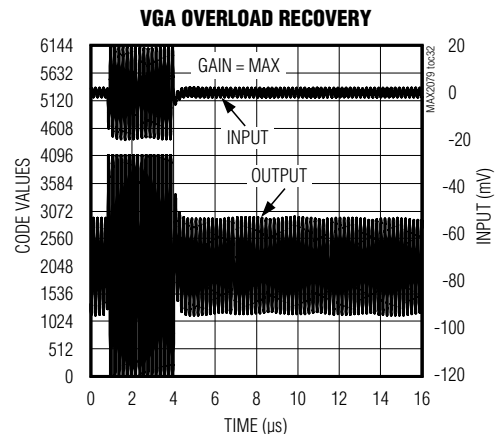
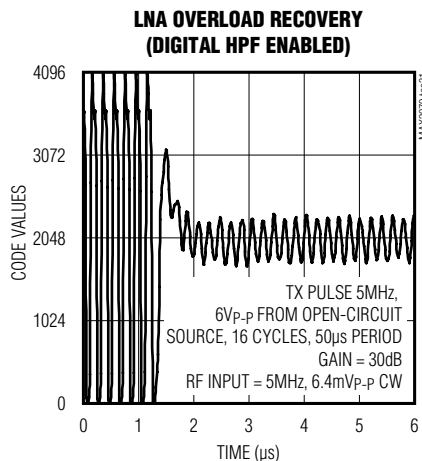
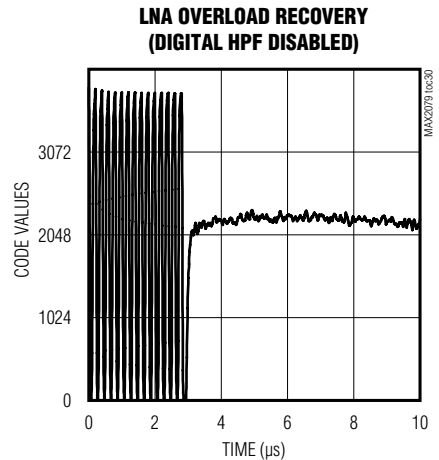
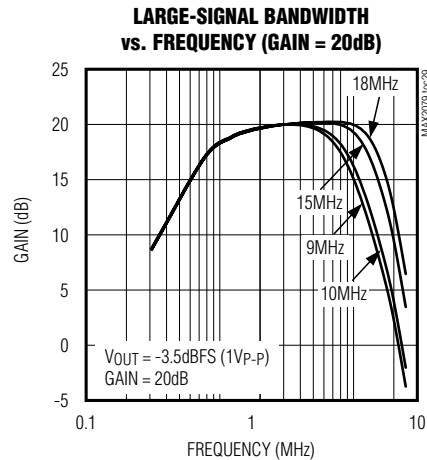
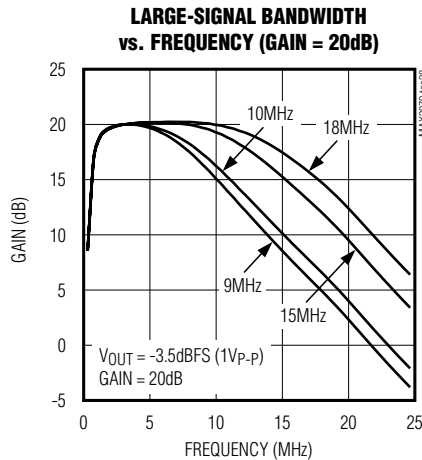
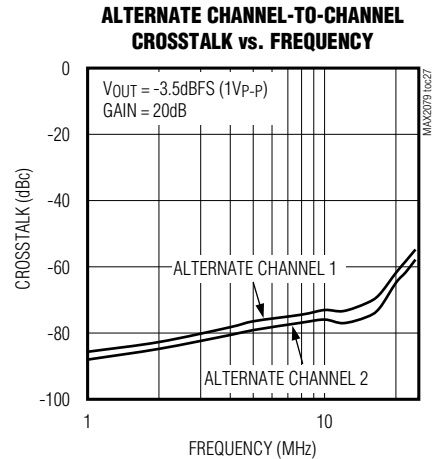
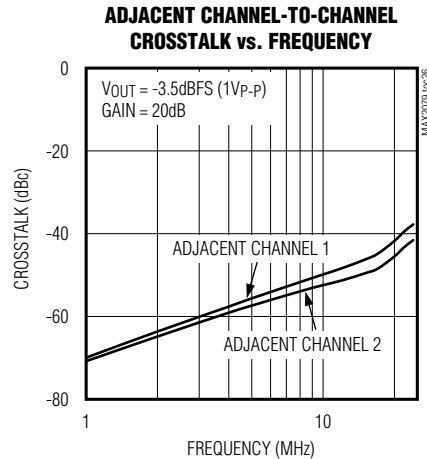
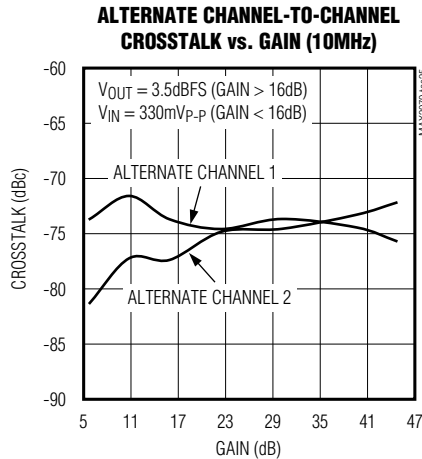
(Typical values are at $V_{REF} = 2.5V$, $V_{CC3} = 3.3V$, $V_{CC5} = 4.75V$, $V_{AVDD} = V_{OVDD} = 1.8V$, $V_{GC+} - V_{GC-} = 0V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 3)



低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

典型工作特性(续)

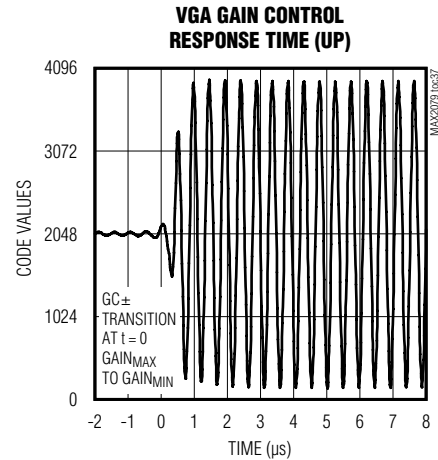
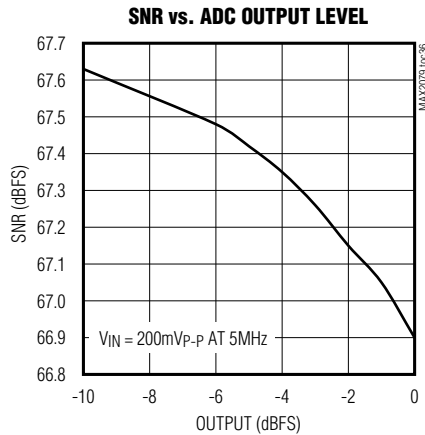
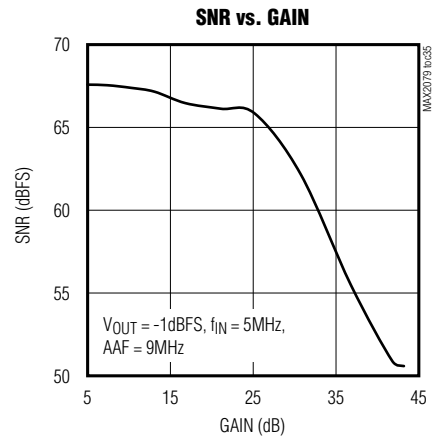
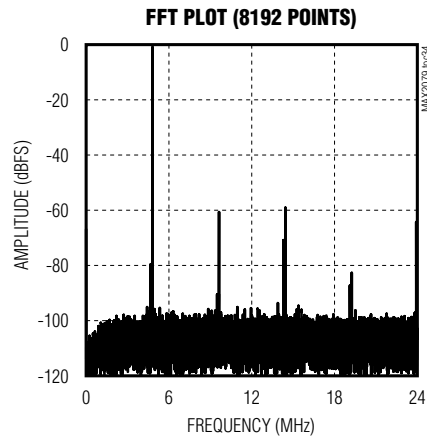
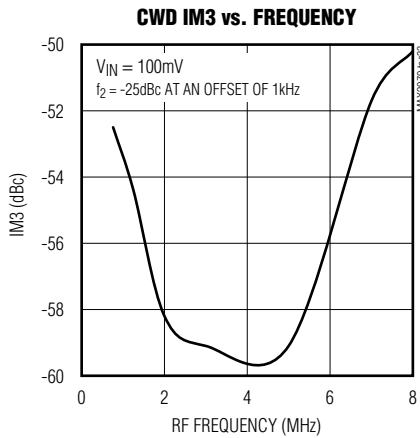
(Typical values are at $V_{REF} = 2.5V$, $V_{CC3} = 3.3V$, $V_{CC5} = 4.75V$, $V_{AVDD} = V_{OVDD} = 1.8V$, $V_{GC+} - V_{GC-} = 0V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 3)



低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

典型工作特性(续)

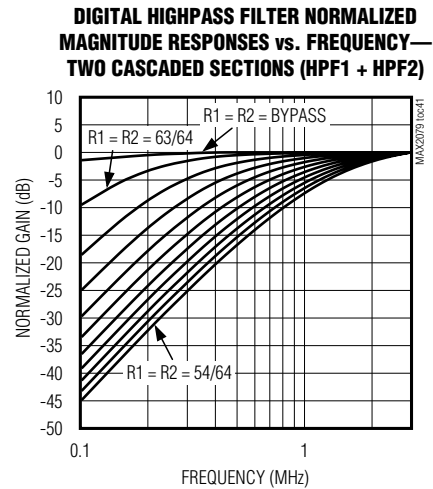
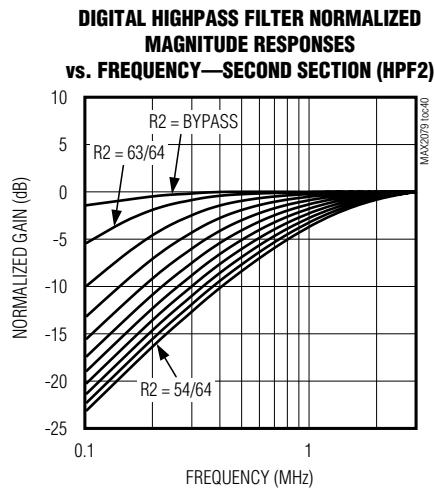
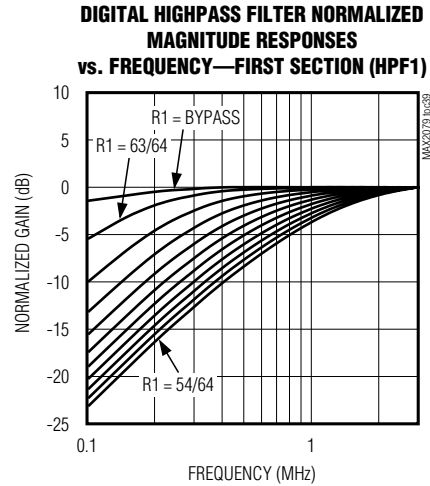
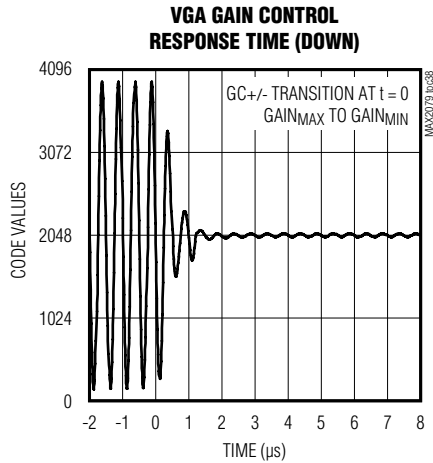
(Typical values are at $V_{REF} = 2.5V$, $V_{CC3} = 3.3V$, $V_{CC5} = 4.75V$, $V_{AVDD} = V_{OVDD} = 1.8V$, $V_{GC+} - V_{GC-} = 0V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 3)



低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

典型工作特性(续)

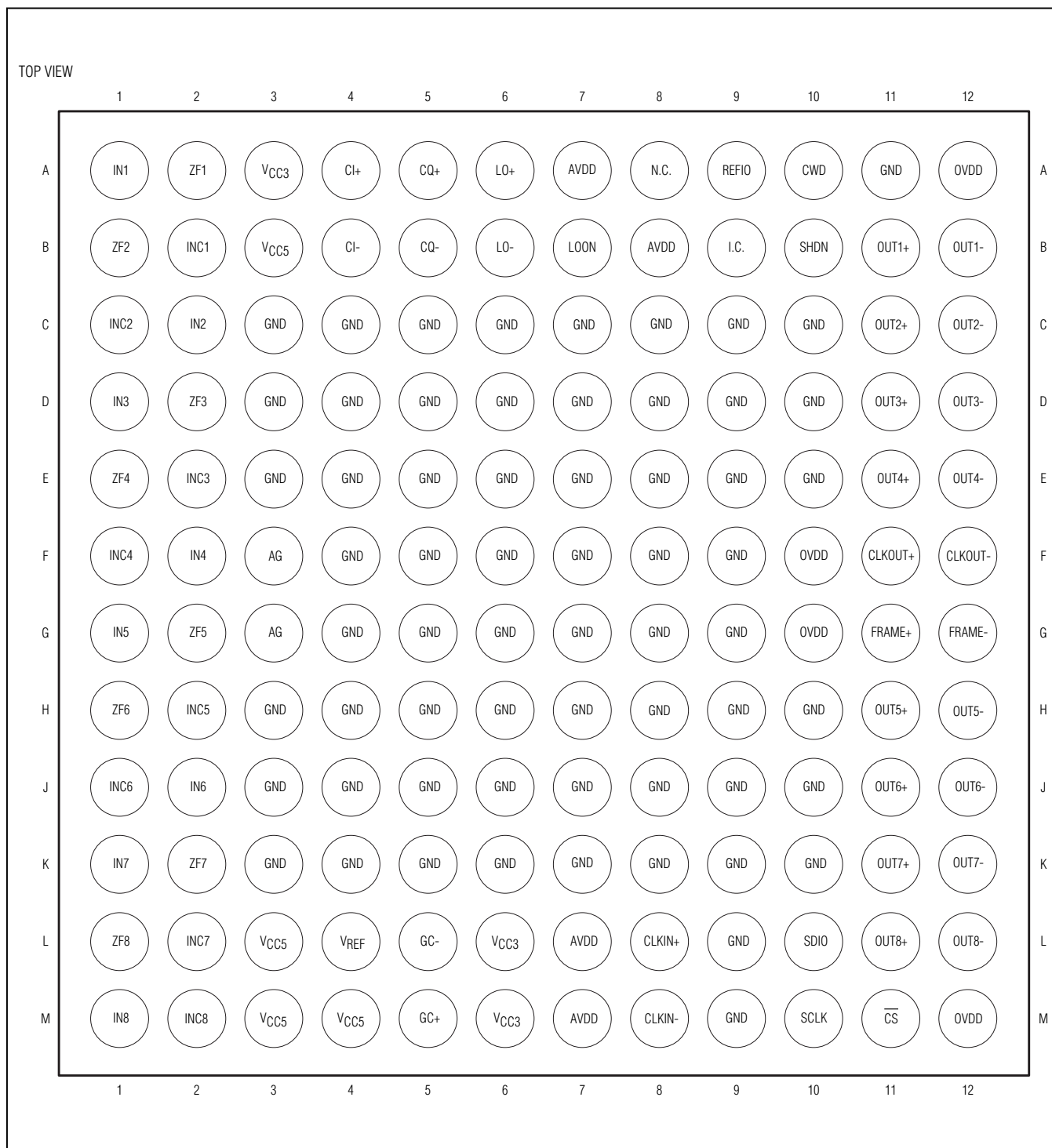
(Typical values are at $V_{REF} = 2.5V$, $V_{CC3} = 3.3V$, $V_{CC5} = 4.75V$, $V_{AVDD} = V_{OVDD} = 1.8V$, $V_{GC+} - V_{GC-} = 0V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 3)



MAX2079

低功耗、高性能、完全集成的
八通道超声接收器(8路LNA、VGA、AAF、
ADC和CWD波束成形器)

焊球配置



低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

焊球说明

焊球	名称	功能
A1	IN1	通道1输入, 连接4.7nF耦合电容。
A2	ZF1	通道1有源阻抗匹配线, 通过2.2nF电容交流耦合至IN1。
A3, L6, M6	V _{CC3}	3.3V电源, 通过0.1μF电容旁路至GND, 电容尽量靠近器件放置。
A4	CI+	8通道CW同相输出正端, 通过120Ω外部电阻连接至11V。
A5	CQ+	8通道CW正交输出正端, 通过120Ω外部电阻连接至11V。
A6	LO+	CW本振输入正端, 波束成形器对该时钟进行分频。
A7, B8, L7, M7	AVDD	1.8V ADC模拟供电电源, 将AVDD连接到1.7V至1.9V电源。通过0.1μF电容将AVDD旁路至GND, 电容尽量靠近器件放置。
A8	N.C.	没有连接, 内部无连接。
A9	REFIO	I/O基准(用于内部校准)。
A10	CWD	VGA/CW模式选择, CWD置为低电平时, 使能VGA并禁用CW混频器; CWD置为高电平时, 使能CW混频器并禁用VGA。
A11, C3–C10, D3–D10, E3–E10, F4–F9, G4–G9, H3–H10, J3–J10, K3–K10, L9, M9	GND	地。
A12, F10, G10, M12	OVDD	1.8V ADC数字供电电源, 通过0.1μF电容将OVDD旁路至GND, 电容尽量靠近器件放置。
B1	ZF2	通道2有源阻抗匹配线, 通过2.2nF电容交流耦合至IN2。
B2	INC1	通道1第位输入, 连接至耦合电容的源侧。
B3, L3, M3, M4	V _{CC5}	4.75V电源, 通过0.1μF电容旁路至GND, 电容尽量靠近器件放置。
B4	CI-	8通道CW同相输出负端, 通过120Ω外部电阻连接至11V。
B5	CQ-	8通道CW正交输出负端, 通过120Ω外部电阻连接至11V。
B6	LO-	CW本振输入负端。
B7	LOON	LO使能控制输入, 在LO的下一个上升沿或下降沿开启LO。
B9	I.C.	内部连接, 浮空。
B10	SHDN	关断(打盹或休眠模式, 可通过串口编程)。
B11	OUT1+	通道1 LVDS输出正端。
B12	OUT1-	通道1 LVDS输出负端。
C1	INC2	通道2第位输入, 连接至耦合电容的源侧。
C2	IN2	通道2输入, 连接4.7nF耦合电容。

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

焊球说明(续)

焊球	名称	功能
C11	OUT2+	通道2 LVDS输出正端。
C12	OUT2-	通道2 LVDS输出负端。
D1	IN3	通道3输入，连接4.7nF耦合电容。
D2	ZF3	通道3有源阻抗匹配线，通过2.2nF的电容交流耦合至IN3。
D11	OUT3+	通道3 LVDS输出正端。
D12	OUT3-	通道3 LVDS输出负端。
E1	ZF4	通道4有源阻抗匹配线，通过2.2nF电容交流耦合至IN4。
E2	INC3	通道3第3位输入，连接至耦合电容的源侧。
E11	OUT4+	通道4 LVDS输出正端。
E12	OUT4-	通道4 LVDS输出负端。
F1	INC4	通道4第4位输入，连接至耦合电容的源侧。
F2	IN4	通道4输入，连接4.7nF耦合电容。
F11	CLKOUT+	LVDS串行时钟输出正端。
F12	CLKOUT-	LVDS串行时钟输出负端。
G1	IN5	通道5输入，连接4.7nF耦合电容。
G2	ZF5	通道5有源阻抗匹配线，通过2.2nF电容交流耦合至IN5。
G3, F3	AG	LNA输入级的模拟地，与地之间连接47nF交流耦合电容。
G11	FRAME+	帧同步LVDS输出正端。
G12	FRAME-	帧同步LVDS输出负端。
H1	ZF6	通道6有源阻抗匹配线，通过2.2nF电容交流耦合至IN6。
H2	INC5	通道5第5位输入，连接至耦合电容的源侧。
H11	OUT5+	通道5 LVDS输出正端。
H12	OUT5-	通道5 LVDS输出负端。
J1	INC6	通道6第6位输入，连接至耦合电容的源侧。
J2	IN6	通道6输入，连接4.7nF耦合电容。
J11	OUT6+	通道6 LVDS输出正端。
J12	OUT6-	通道6 LVDS输出负端。
K1	IN7	通道7输入，连接4.7nF耦合电容。
K2	ZF7	通道7有源阻抗匹配线，通过2.2nF电容交流耦合至IN7。
K11	OUT7+	通道7 LVDS输出正端。
K12	OUT7-	通道7 LVDS输出负端。
L1	ZF8	通道8有源阻抗匹配线，通过2.2nF电容交流耦合至IN8。
L2	INC7	通道7第7位输入，连接至耦合电容的源侧。
L4	V _{REF}	电压基准。
L5	GC-	增益控制电压负端。V _{GC+} - V _{GC-} = +3V时，设置为最大增益；V _{GC+} - V _{GC-} = -3V时，设置为最小增益。

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

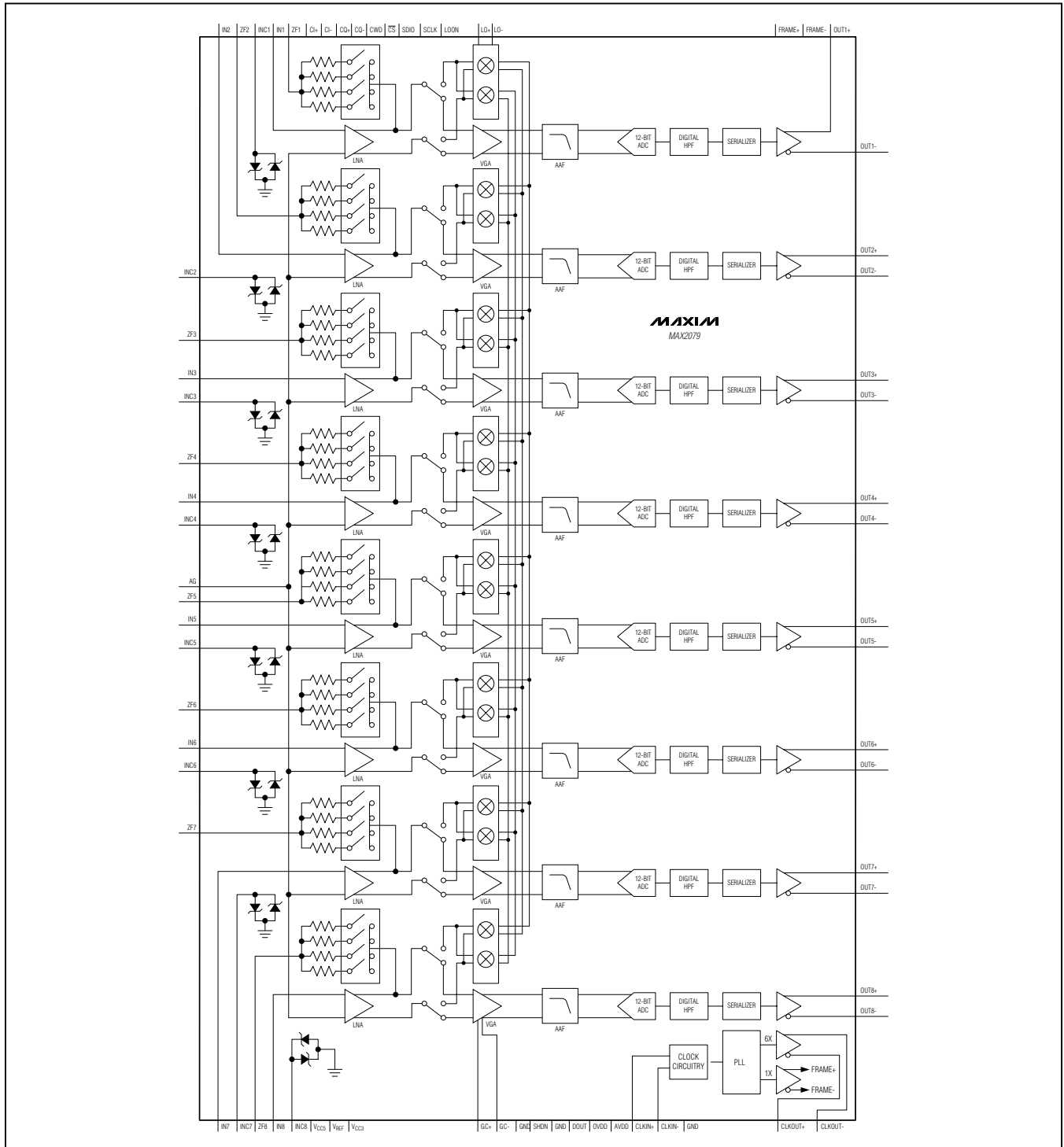
焊球说明(续)

焊球	名称	功能
L8	CLKIN+	ADC差分时钟输入正端。
L10	SDIO	串行数据输入。
L11	OUT8+	通道8 LVDS输出正端。
L12	OUT8-	通道8 LVDS输出负端。
M1	IN8	通道8输入，连接4.7nF耦合电容。
M2	INC8	通道8相位输入，连接至耦合电容的源侧。
M5	GC+	增益控制电压正端。 $V_{GC+} - V_{GC-} = +3V$ 时，设置为最大增益； $V_{GC+} - V_{GC-} = -3V$ 时，设置为最小增益。
M8	CLKIN-	ADC差分时钟输入负端，采用单端时钟输入时，将其连接至0V。
M10	SCLK	串行时钟输入。
M11	$\overline{CS}$	片选。

MAX2079

低功耗、高性能、完全集成的
八通道超声接收器(8路LNA、VGA、AAF、
ADC和CWD波束成形器)

功能框图



低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

详细说明

工作模式

器件需要正确配置后方可使用，工作模式由17个8位寄存器(00h至10h)控制，[表3](#)所示为配置寄存器的功能。

低噪声放大器(LNA)

器件的每个LNA经过优化，具有优异的动态范围和线性指标，理想用于超声成像设计。LNA置于低增益模式时，输入电阻(R_{IN})作为增益A的函数($R_{IN} = R_F / (1 + A)$)增加大约2倍。所以，必须相应地更改控制反馈电阻(R_{FB})的开关。例如，如果高增益模式下为100Ω，在低增益模式就变为200Ω (见[表30](#))。

可变增益放大器(VGA)

器件的VGA针对高线性度、高动态范围和低输出噪声进行优化，这些都是超声成像应用的关键参数。每个VGA通路包括调节模拟增益的电路，以及输出缓冲器，带有差分输出端口，以驱动AAF和ADC。可通过差分增益控制输入(GC+和GC-)调节VGA增益。将差分增益控制输入电压设置为-3V时，增益最小；设置为+3V时，增益最大。差分模拟控制共模电压为1.65V (典型值)。

过载恢复

器件还针对快速过载恢复进行优化，以支持超声输入缓冲器成像应用中普遍存在的大输入信号工作。关于瞬态过载快速恢复时间的说明，请参考[典型工作特性](#)。

通过使能ADC的数字HPF功能，可消除器件中的动态失调或直流失调。数字HPF的独特结构允许消除高达±117mV的动态或静态直流失调，不会影响ADC的动态范围。

八路连续波(CW)混频器

器件内部CW混频器采用有源双平衡拓扑设计，提供高动态范围和高线性度性能，以及优异的低抖动噪声，具有极低发热，理想用于超声CWD信号接收。

八通道阵列带有正交和同相差分电流输出(CQ+、CQ-、CI+、CI-)，产生总的CWD波束成形信号。最大差分电流输出的典型值为3mA_{p-p}，混频器输出兼容于4.5V至12V电压范围。

每个混频器可设置在1/16相位，因此每个通道编程需要4位。

将CW_SHDN_CHn位置1，可将每个CW通道设置在关闭状态。关断模式(SHDN)输入控制优先级高于该软件关断控制。

设置串行移位寄存器后， $\overline{CS}$ 信号跳变到高电平时，将相位信息以每通道5位的形式装载到I/Q分相器/选择器，预先设置分相器并选择合适的混频器相位。关于混频器相位信息请参考[表40](#)。

CW混频器输出合成

八路混频器阵列的输出在内部合成，以产生总的CWD波束成形合成信号。八路阵列产生八路正交(Q)通道的差分输出和八路同相(I)通道的差分输出。所有正交、同相输出与单路I和Q差分电流输出(CQ+、CQ-、CI+、CI-)相加。

利用内部分频器对单个8 x LO高频主控时钟进行分频，产生CWD频率，实现CWD波束成形。波束成形器提供λ/16分辨率，带有8 x LO时钟，采用时钟的两个沿，假设占空比为50%。可方便地利用低相噪200MHz主控时钟产生具有足够分辨率的CWD频率。

LO相位选择

LO分相器可通过移位寄存器设置在16个正交相位，构成完整的CW波束成形方案。

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

对于差分时钟工作，将差分时钟连接至CLKIN+和CLKIN-输入。内部实现输入共模，允许交流耦合。自偏压输入共模电压默认为1.2V。如果将外部建立的共模电压限制在规定的输入共模电压范围1V至1.4V，差分时钟信号也可采用直流耦合。通过设置CLKIN控制寄存器(04h[4]，[表19](#))，切换接入100Ω差分输入匹配电阻。

单端工作时，将CLKIN-连接至GND，以逻辑电平信号驱动CLKIN+输入。CLKIN-输入接地时(或拉至时钟模式检测比较器的门限以下时)，禁用差分至单端转换器，开启逻辑电平反向通路。单端时钟工作期间，从CLKIN+断开输入共模自偏压，将CLKIN-弱上拉至AVDD。

关断和低功耗模式

器件还可通过SHDN引脚控制进入关断模式。将SHDN置于+1.8V时，器件进入关断模式。关断模式下，器件的总功耗小于1μA (供电电源为5V至3.3V时)，或小于0.4mA (供

电电源为1.8V时)。将SHDN置为逻辑低电平时，器件正常工作。

器件提供低功耗模式，以降低CWD模式的功耗。选择低功耗模式时，混频器具有更低的静态电流。注意，工作在该模式时，器件的动态性能略有降低。[表6](#)给出标准工作模式的逻辑控制。

除关断模式外，也可将器件置于低功耗待机或打盹模式，允许在VGA模式下快速上电。通过将SHDN引脚置于+1.8V，ADC_NAP_SHDN1和AFE_NAP_SHDN1寄存器位置1 (见[表6](#))，使器件进入打盹模式。打盹模式不与CWD模式配合使用；有效的CWD工作状态为：标准CWD低功耗模式和关断模式。如果在CWD模式下把器件置于打盹模式并且SHDN引脚置于高电平，虽然不会损坏器件，但将产生无效的信号输出。

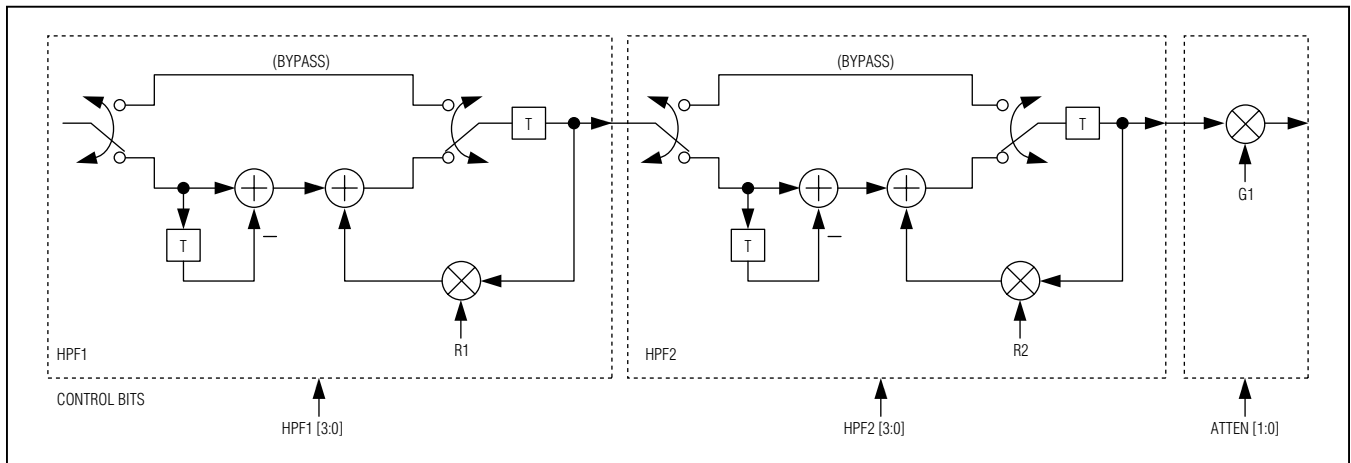


图3. 数字高通滤波器

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

可编程数字2极点高通滤波器

数字高通滤波器的特性

数字HPF由两个完全相同的一阶高通IIR滤波器级联而成，每级差分方程为：

$$y[n] = R \times y[n-1] + x[n] - x[n-1]$$

式中， $x[n]$ 为输入， $y[n]$ 为输出。高通3dB截止频率由滤波器系数(R)确定，每一级可独立设置为10个可能的数值之一或置于旁路模式。有效的滤波器系数和对应的截止频率如表1所示。

表1. 数字滤波器截止频率设置

FILTER COEFFICIENT (R)		3dB CUTOFF FREQUENCY ($f_s/2$)	3dB CUTOFF FREQUENCY MHz ($f_s = 50\text{Mps}$)
ONE-FILTER SECTIONS			
54/64	0.843750	0.046294	1.157
55/64	0.859375	0.041943	1.049
56/64	0.875000	0.037535	0.938
57/64	0.890625	0.033069	0.827
58/64	0.906250	0.028544	0.714
59/64	0.921875	0.023956	0.599
60/64	0.937500	0.019303	0.483
61/64	0.953125	0.014584	0.365
62/64	0.968750	0.009796	0.245
63/64	0.984375	0.004935	0.123
TWO-FILTER SECTIONS			
54/64	0.843750	0.069441	1.736
55/64	0.859375	0.062915	1.573
56/64	0.875000	0.056303	1.408
57/64	0.890625	0.049604	1.240
58/64	0.906250	0.042816	1.070
59/64	0.921875	0.035934	0.898
60/64	0.937500	0.028955	0.724
61/64	0.953125	0.021876	0.547
62/64	0.968750	0.014694	0.367
63/64	0.984375	0.007403	0.185

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

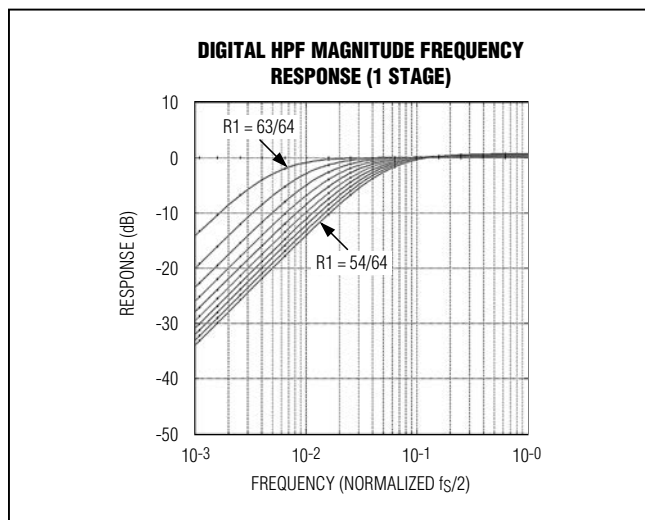


图4. 数字HPF幅频响应(1级)

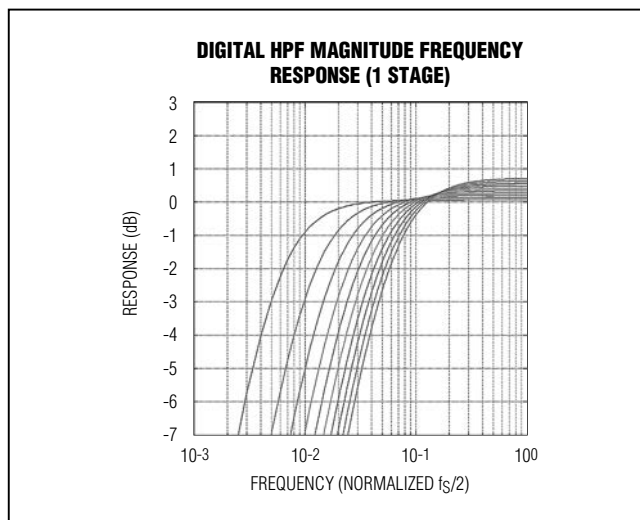


图5. 数字HPF幅频响应(1级)

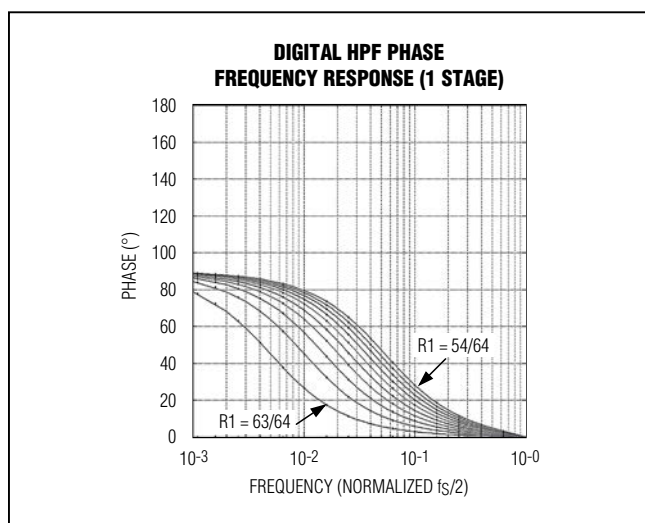


图6. 数字HPF相频响应(1级)

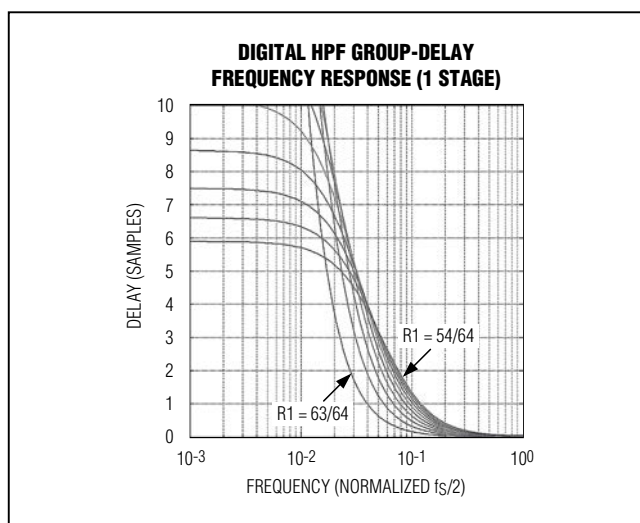


图6a. 数字HPF群延迟频率响应(1级)

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

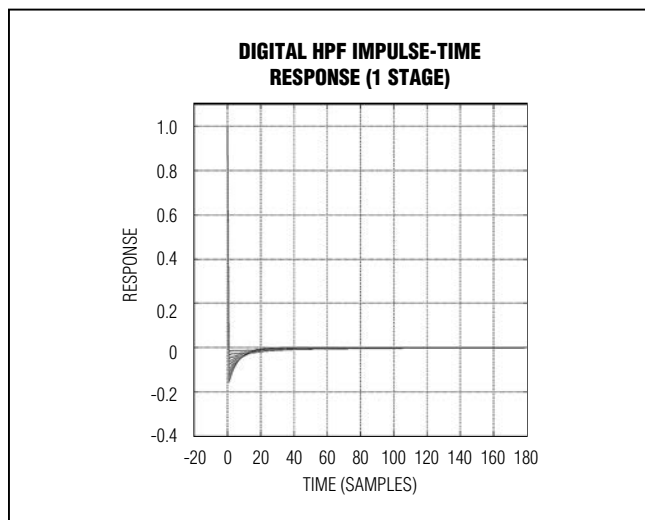


图7. 数字HPF冲激响应(1级)

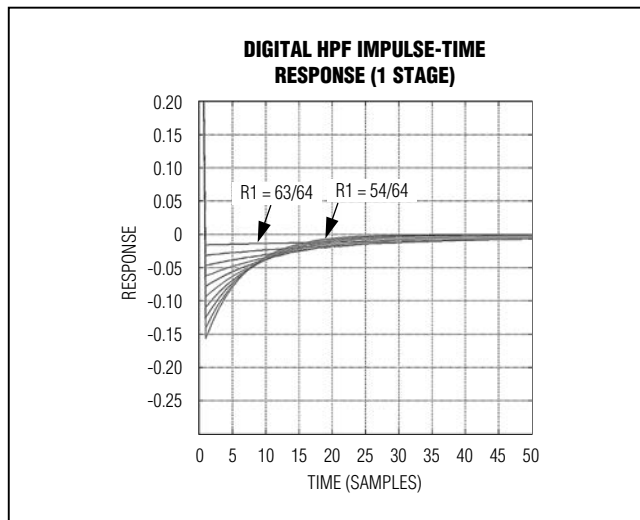


图8. 数字HPF冲激响应(1级)

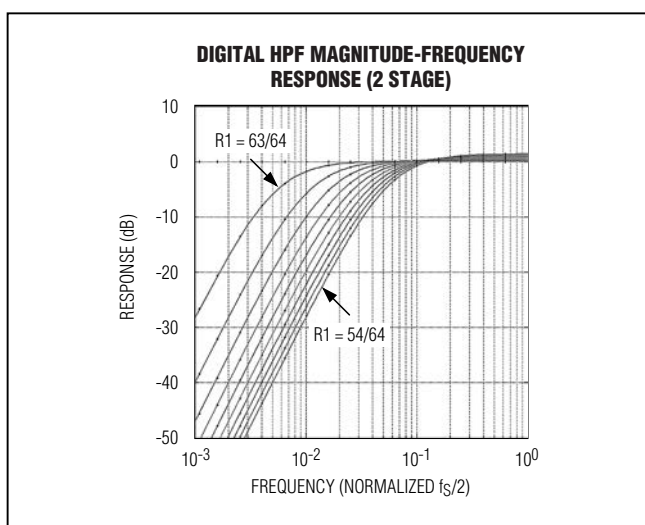


图9. 数字HPF幅频响应(2级)

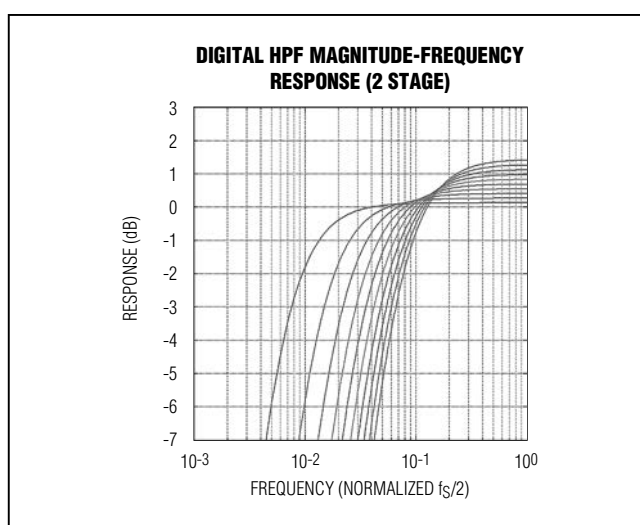


图10. 数字HPF幅频响应(2级)

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

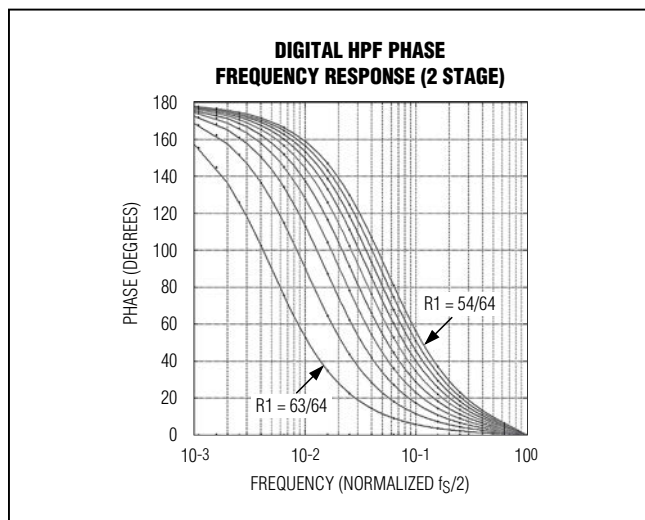


图11. 数字HPF相频响应(2级)

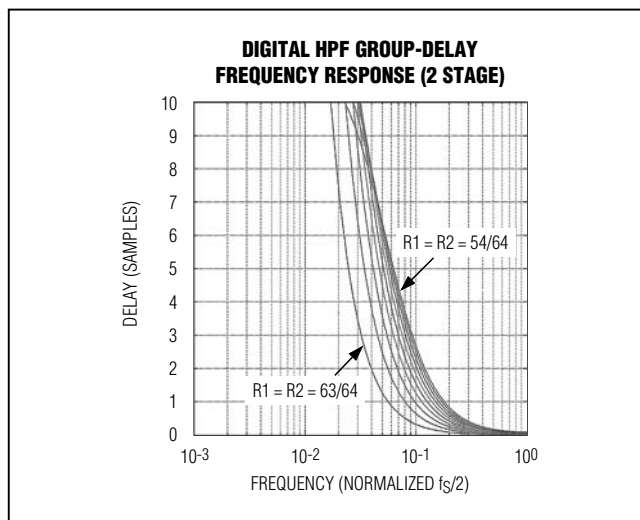


图12. 数字HPF群延迟频率响应(2级)

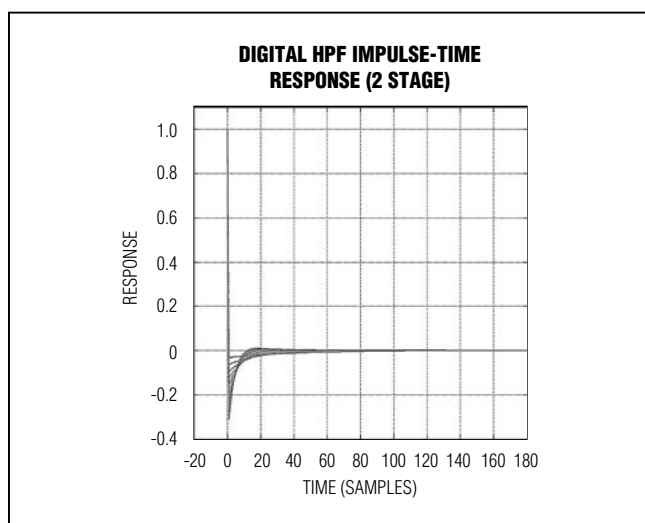


图13. 数字HPF冲激响应(2级)

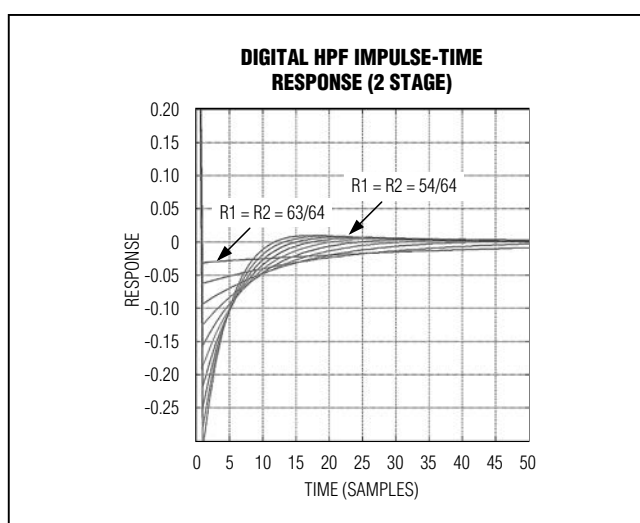


图14. 数字HPF冲激响应(2级)

低功耗、高性能、完全集成的
八通道超声接收器(8路LNA、VGA、AAF、
ADC和CWD波束成形器)

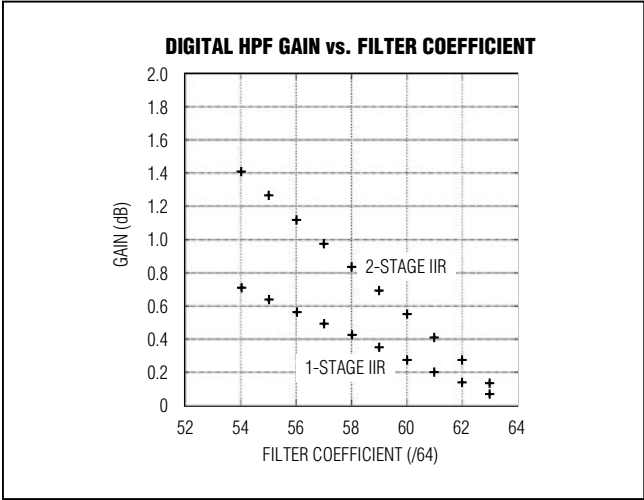


图15. 数字HPF增益与滤波器系数的关系

数字HPF提供由滤波器系数决定的小信号增益，这会略微降低ADC的满幅输入范围。图15所示为滤波器增益与滤波器系数的关系图，在滤波器的输出使用粗调数字乘法器，部分补偿数字滤波器增益。

表2为推荐的不同滤波器截止频率下的增益补偿设置。

表2. 不同滤波器截止频率下的增益补偿设置

R	FILTER MODE	POLES	f _{3dB} (f _S /2)	GAIN	GAIN (db)	GAIN COMP (dB)	OVERALL GAIN (dB)
N/A	Bypass	N/A	N/A	1	0	0	0
63/64	Filter	1	0.004935	1	0.0681	0	0.0681
62/64	Filter	1	0.009796	1	0.1368	0	0.1368
61/64	Filter	1	0.014584	1	0.206	0	0.206
60/64	Filter	1	0.019303	1	0.2758	0	0.2758
59/64	Filter	1	0.023956	1	0.3461	0	0.3461
58/64	Filter	1	0.028544	15/16	0.417	-0.5606	-0.1436
57/64	Filter	1	0.033069	15/16	0.4885	-0.5606	-0.0721
56/64	Filter	1	0.037535	15/16	0.5606	-0.5606	0
55/64	Filter	1	0.041943	15/16	0.6333	-0.5606	0.0727
54/64	Filter	1	0.046294	15/16	0.7066	-0.5606	0.146
63/64	Filter	2	0.007403	1	0.1362	0	0.1362
62/64	Filter	2	0.014694	1	0.2736	0	0.2736
61/64	Filter	2	0.021876	15/16	0.412	-0.5606	-0.1486
60/64*	Filter	2	0.028955	15/16	0.5515	-0.5606	-0.0091
59/64	Filter	2	0.035934	15/16	0.6922	-0.5606	0.1316
58/64	Filter	2	0.042816	15/16	0.834	-0.5606	0.2734
57/64	Filter	2	0.049604	7/8	0.977	-1.1598	-0.1828
56/64	Filter	2	0.056303	7/8	1.1211	-1.1598	-0.0387
55/64	Filter	2	0.062915	7/8	1.2665	-1.1598	0.1067
54/64	Filter	2	0.069441	7/8	1.4131	-1.1598	0.2533

*器件在工厂校准时采用该设置，可更改设计。

低功耗、高性能、完全集成的
八通道超声接收器(8路LNA、VGA、AAF、
ADC和CWD波束成形器)

系统定时要求

图16所示为模拟输入、时钟输入、帧同步输出、串行时钟输出和串行数据输出之间的关系。在施加的时钟信号

(CLKIN+、CLKIN-)的上升沿对差分ADC输入信号进行采样，所产生的数据经过10.5个时钟周期后在数字输出端输出。图17为两次转换的输入、输出时序图。

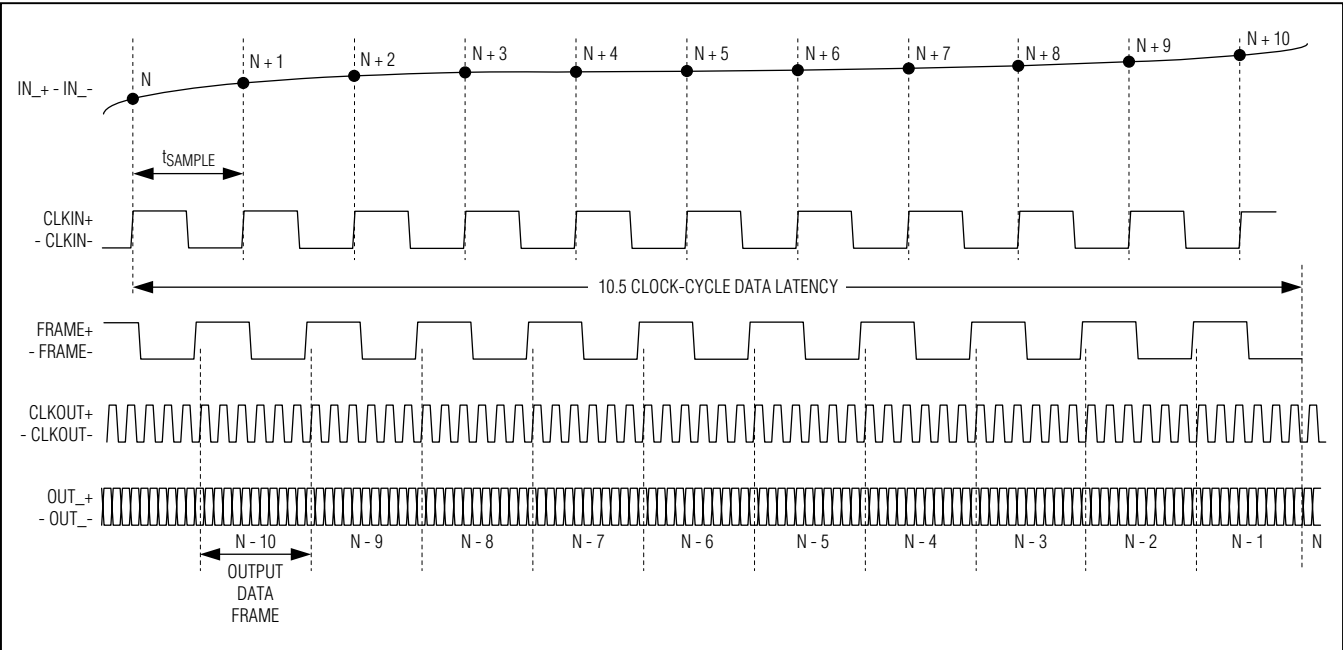


图16. ADC时序(总体)

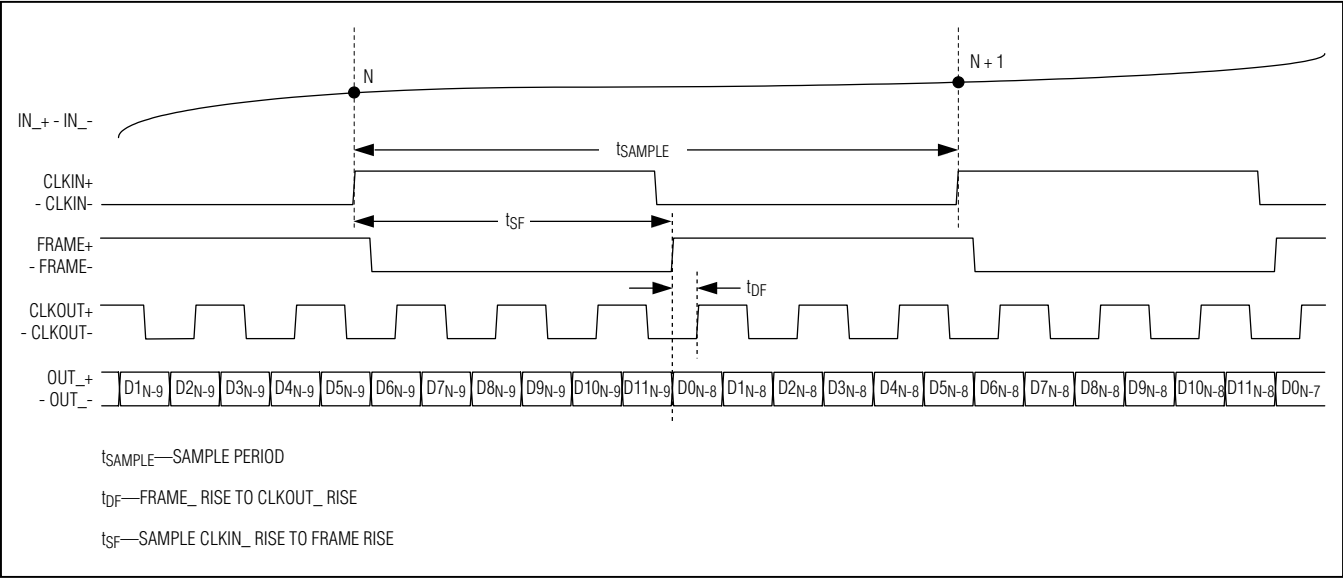


图17. ADC时序(详细)

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

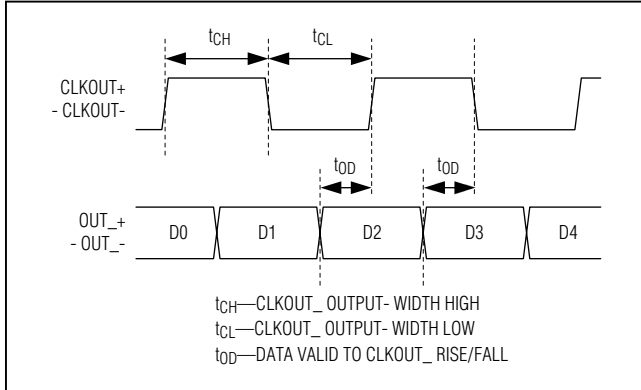


图18. 串行输出时序图

时钟输出(CLKOUT+、CLKOUT-)

ADC提供差分时钟输出，包括CLKOUT+和CLKOUT-。如图18所示，串行输出数据在时钟输出的两个沿移出器件。输出时钟频率是输入时钟频率的六倍(6x)，输出数据格式和测试码型/数字HPF选择寄存器(01h)允许调整时钟输出相对于输出数据帧的相位(表7、图20)。

帧同步输出(FRAME+、FRAME-)

ADC提供差分帧同步信号，包括FRAME+和FRAME-。如图17所示，帧同步信号的上升沿对应于12位串行数据流的第一位(D0)。帧同步信号的频率与输入时钟的频率完全相同，而占空比随输入时钟频率变化。

串行输出数据(OUT+、OUT-)

ADC通过每路OUT+和OUT-组成的差分输出提供转换结果。采样后，经过10.5个输入时钟周期结果有效。如图18所示，输出数据在输出时钟的两个沿移出，LSB (D0)在前(默认)，图17所示为详细的串行输出时序图。

差分LVDS数字输出

ADC具有可编程、全差分LVDS数字输出。默认设置下发送12位数据输出(LSB在前)，采用偏移二进制格式。输出数据格式和测试码型/数字HPF选择寄存器(01h，表7)允许自定义输出的位序和数据格式。输出顺序可重新配置为MSB在前，输出数据格式可更改为2的补码，表8包括全部输出数据配置的详细信息。

LVDS输出具有灵活的设置选项。首先，输出共模电压可在0.6V至1.2V (默认)范围内以200mV步长进行设置(表15)。使用LVDS输出驱动器电平寄存器(02h，表11)调节输出共模电压。

通过LVDS输出驱动器管理寄存器(03h，表16)，可完全设置LVDS输出驱动器电流。默认设置下，输出驱动器电流设置为3.5mA。输出驱动器电流可在0.5mA至7.5mA范围内以0.5mA步长进行设置(表17)。

LVDS输出驱动器具有可选的内部匹配电阻，由LVDS输出驱动器管理寄存器(03h，表16)配置使能和调整。默认设置下，禁用内部输出驱动器匹配电阻。表18提供了所有可能的配置信息。

输出驱动器电平测试

通过LVDS输出驱动器电平寄存器(02h，表11)，可将LVDS输出(数据、时钟和帧)配置成静态逻辑电平测试状态。有关静态逻辑电平测试状态的完整设置清单，请参考表12-14、表7和表8。

数据输出测试码型

LVDS数据输出可配置为多种常见的测试码型。利用输出数据格式和测试码型/数字HPF选择寄存器(01h，表7)使能或选择测试码型，测试码型选项的完整清单参见表9，自定义测试码型的详细信息参见自定义测试码型寄存器(07h、08h、09h)部分(包括表24、表27和表28)。

功率管理

SHDN输入用于两种功率管理状态之间的切换。功率状态0对应于SHDN = 0，功率状态1对应于SHDN = 1。PLL采样率和功率管理寄存器(00h)及通道功率管理寄存器(05h和06h)确定每种功率管理状态。默认设置下，SHDN = 1关断器件，SHDN = 0将ADC恢复为全功率工作模式。功率管理不需要使用SHDN输入引脚。

器件针对每种SHDN状态提供完备的功率管理灵活性，包括每个ADC通道的功率管理控制，可选择不同的功率状态来降低功耗。低功耗模式包括休眠模式和打盹模式，如果当前功率状态下ADC通道处于有效状态，器件将无法进入这些状态之一(表6)。

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

打盹模式下，基准、占空比均衡器和时钟倍频器PLL电路保持有效，以便实现快速唤醒时间。打盹模式下，外部施加的时钟信号必须保持有效，以便使占空比均衡器和PLL保持锁定。打盹模式的典型唤醒时间为2μs。

休眠模式下，除带隙基准电路外，将关断全部电路。休眠模式下，所有寄存器将保持之前的设置值。休眠模式的典型唤醒时间为2ms (典型值)。

上电和复位

用户可编程寄存器的默认设置及其它工厂编程设置储存在非易失存储器中。器件上电时，将这些值装载到控制寄存器。在AVDD和OVDD施加有效的电源电压，并提供输入时钟信号后，器件开始工作。只要AVDD和OVDD电压有效，即可保持用户可编程寄存器的配置。

发生复位时，将由工厂默认的寄存器设置覆盖全部用户可编程寄存器。复位条件发生在上电期间，供电期间可由软件写命令(写5Ah)通过串行接口写特殊功能寄存器(10h)来启动复位。复位时间与ADC时钟周期成比例，在50Msps时需要415μs。

关断和低功耗(打盹)模式及通道选择

SHDN引脚用于控制两种功率管理状态之间的切换。多数情况下，SHDN = 0时，开启工作状态；SHDN = 1时，关闭工作状态。器件还提供灵活的功率管理模式，允许用户在有效工作和打盹模式、有效工作和休眠模式之间切换。打盹模式定义为低功耗状态，具有快速唤醒时间，大约为2μs；休眠模式是一种超低功耗模式(约1mW)，此时唤醒时间要长得多，大约为2ms。打盹模式和休眠模式期间，串口和可编程寄存器保持有效。

CHn_ON_SHDN0 n = [1:8]

- 1 SHDN引脚为低电平时，通道n开启。
- 0 SHDN引脚为低电平时，通道n关闭。

CHn_ON_SHDN1 n = [1:8]

- 1 SHDN引脚为高电平时，通道n开启。
- 0 SHDN引脚为高电平时，通道n关闭。

ADC_NAP_SHDN0

- 1 全部通道关闭，或者CWD引脚为高电平且SHDN引脚为低电平时，ADC处于打盹模式。

- 0 全部通道关闭，或者CWD引脚为高电平且SHDN引脚为低电平时，ADC处于休眠模式。

ADC_NAP_SHDN1

- 1 全部通道关闭，或者CWD引脚为高电平且SHDN引脚为高电平时，ADC处于打盹模式。
- 0 全部通道关闭，或者CWD引脚为高电平且SHDN引脚为高电平时，ADC处于休眠模式。

AFE_NAP_SHDN0

- 1 全部通道关闭且SHDN引脚为低电平时，AFE处于打盹模式。
- 0 全部通道关闭且SHDN引脚为低电平时，AFE处于休眠模式。

AFE_NAP_SHDN1

- 1 全部通道关闭且SHDN引脚为高电平时，AFE处于打盹模式。
- 0 全部通道关闭且SHDN引脚为高电平时，AFE处于休眠模式。

3线串行外设接口(SPI™)

ADC作为从器件工作，通过3线SPI接口发送和接收数据。主控器件必须启动与器件之间的所有数据传输。器件使用低电平有效的SPI片选输入($\overline{CS}$)启动通信，定时由外部产生的SPI时钟输入(SCLK)控制。全部数据通过双向SPI数据线(SDIO)发送和接收。器件具有16个用户可编程控制寄存器和一个特殊功能寄存器，通过该接口进行存取和设置。

SPI通信格式

图19所示为ADC SPI通信时序。所有SPI通信都由SDIO的2个数据字节组成，需要16个SCLK时钟周期完成。为启动SPI读或写通信操作， $\overline{CS}$ 必须首先从逻辑高跳变为逻辑低状态。 $\overline{CS}$ 保持为低电平时，串行数据在SCLK的上升沿从SDIO移入，在SCLK的下降沿移出(读操作)。 $\overline{CS}$ 为高电平时，器件不需要SCLK跳变，不从SDIO读数据或向其写数据。完成每次读/写操作后， $\overline{CS}$ 必须跳变到逻辑高电平。

SPI是Motorola, Inc.的商标。

低功耗、高性能、完全集成的
八通道超声接收器(8路LNA、VGA、AAF、
ADC和CWD波束成形器)

SDIO上传的第一个字节总是由主控制器提供。ADC (从器件)在SCLK的上升沿从SDIO移入数据，接收到的第一位选择本次通信为读操作还是写操作：逻辑1选择读操作，逻辑0选择写操作。接下来的7位(MSB在前)为读或写操作的寄存器地址。地址可以是任意16个用户可编程控制寄存器(00h至0Fh)之一，或特殊功能寄存器(10h，只写)。任何试图读/写其它地址的操作将视为无效(表3)。

SDIO的第二个字节，写操作时为发送到ADC的字节，读操作时为从ADC接收的字节。对于写命令，器件继续在SCLK的上升沿移入SDIO；对于读命令，器件在SCLK的下降沿将数据写入SDIO。两种情况下，均以MSB在前传输和接收数据字节，详细的SPI时序要求如图19所示。

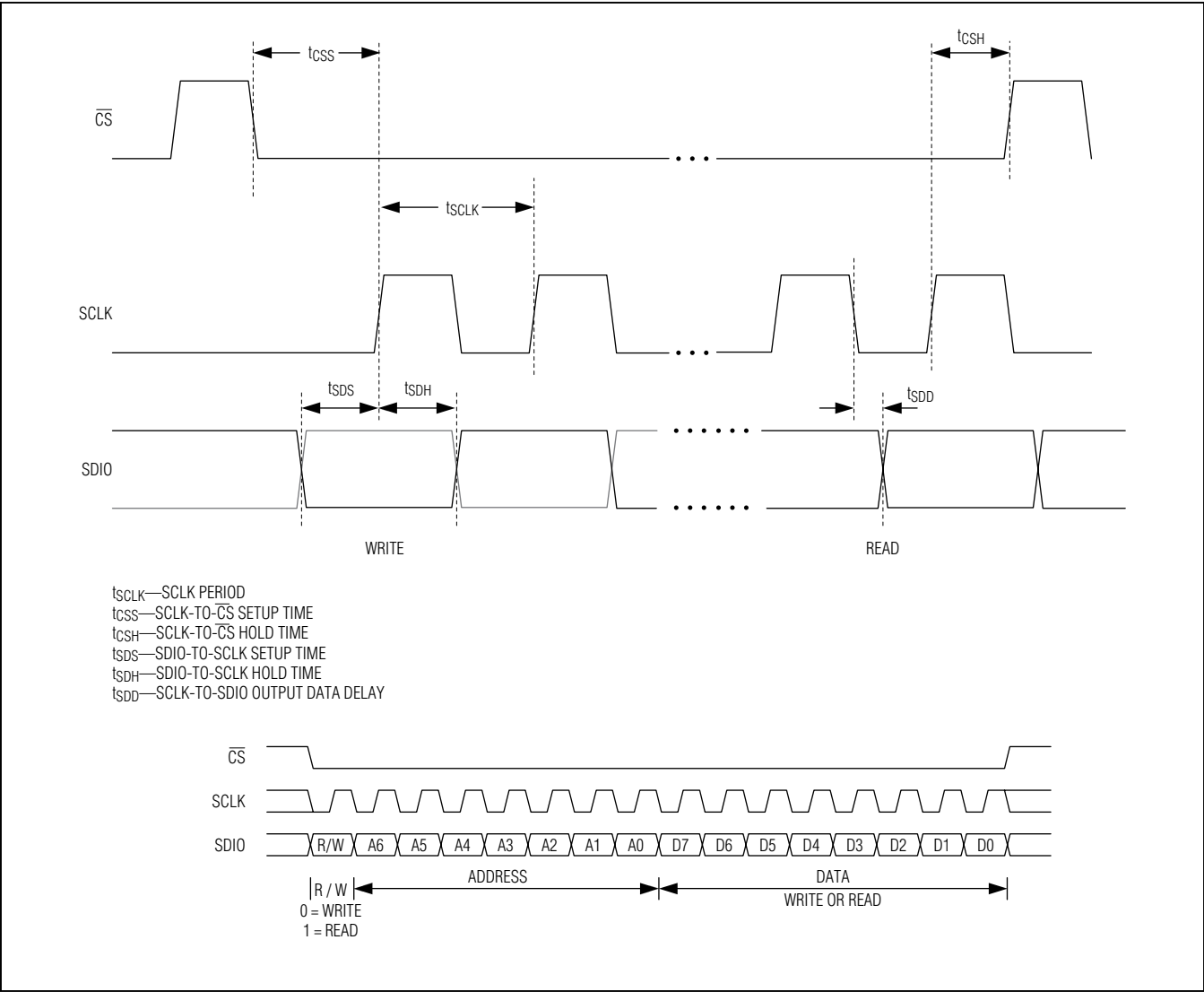


图19. SPI时序图

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

表3. 用户可编程ADC控制寄存器

ADDRESS	READ/WRITE	POR STATE	FUNCTION
00h	R/W	0001-0001	PLL Sampling Rate and Power Management
01h	R/W	0000-0000	Output Data Format and Test Pattern/Digital HPF Select
02h	R/W	0000-0000	LVDS Output Driver Level
03h	R/W	0000-0000	LVDS Output Driver Management
04h	R/W	0000-0000	ADC Input Common-Mode and CLKIN Control
05h	R/W	1111-1111	Channel Power Management: SHDN0
06h	R/W	0000-0000	Channel Power Management: SHDN1
07h	R/W	0100-0100	Digital HPF 1 and 2 -3db Cutoff/Custom Test Patterns 1
08h	R/W	0101-0110	Digital HPF 1 and Attenuation/Custom Test Patterns 2
09h	R/W	0101-1010	Custom Test Patterns 2 and 1 (4msbs)
0Ah	R/W	0101-1100	AFE Settings
0Bh	R/W	0000-0000	CW Beamformer 1
0Ch	R/W	0000-0000	CW Beamformer 2
0Dh	R/W	0000-0000	CW Beamformer 3
0Eh	R/W	0000-0000	CW Beamformer 4
0Fh	R/W	0000-0000	CW Beamformer 5
10h	R/W	N/A	Special Function

表4. PLL采样率和功率管理(00h)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
—	PLL[2:0]			AFE_NAP_SHDN1	AFE_NAP_SHDN0	ADC_NAP_SHDN1	ADC_NAP_SHDN0

表5. PLL频率控制设置(00h[6:4])

CLOCK MULTIPLIER SETTING			MINIMUM SAMPLING FREQUENCY (MHz)	MAXIMUM SAMPLING FREQUENCY (MHz)
PLL[2]	PLL[1]	PLL[0]		
0	0	0	Not used	
0	0	1	39	50
0	1	0	28.5	39
0	1	1	25	28.8
1	X	X	Not used	

X = 无关。

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

表6. 功率管理设置

PINS		REGISTERS						DESCRIPTION
SHDN	CWD	CHn_ON_SHDN0 n = [1:8]	CHn_ON_SHDN1 n = [1:8]	ADC_NAP_SHDN0	ADC_NAP_SHDN1	AFE_NAP_SHDN0	AFE_NAP_SHDN1	
DEFAULT REGISTER MODES								
0	0	11111111	00000000	0	1	0	1	8 channels active (VGA mode)
0	1	11111111	00000000	0	1	0	1	CW Doppler mode (ADC in nap mode)
1	0	11111111	00000000	0	1	0	1	Nap mode (ADC and AFE)
1	1	11111111	00000000	0	1	0	1	CW Doppler mode (ADC in nap mode)
PROGRAMMED REGISTER MODES								
0	0	1XXXXXXX X1XXXXXX XX1XXXXX XXX1XXXX XXXX1XXX XXXXX1XX XXXXXX1X XXXXXXX1	XXXXXXXX	X	X	X	X	1 or more channels active (VGA mode)
0	0	00000000	XXXXXXXX	0	X	0	X	Sleep mode (ADC and AFE)
0	0	00000000	XXXXXXXX	0	X	1	X	ADC sleep/AFE nap
0	0	00000000	XXXXXXXX	1	X	0	X	ADC nap/AFE sleep
0	0	00000000	XXXXXXXX	1	X	1	X	Nap mode (ADC and AFE)
0	1	XXXXXXXX	XXXXXXXX	0	X	X	X	CW Doppler mode (ADC in sleep mode)
0	1	XXXXXXXX	XXXXXXXX	1	X	X	X	CW Doppler mode (ADC in nap mode)
1	0	XXXXXXXX	1XXXXXXX X1XXXXXX XX1XXXXX XXX1XXXX XXXX1XXX XXXXX1XX XXXXXX1X XXXXXXX1	X	X	X	X	1 or more channels active (VGA mode)
1	0	XXXXXXXX	00000000	X	0	X	0	Sleep mode (ADC and AFE)
1	0	XXXXXXXX	00000000	X	0	X	1	ADC sleep/AFE nap
1	0	XXXXXXXX	00000000	X	1	X	0	ADC nap/AFE sleep
1	0	XXXXXXXX	00000000	X	1	X	1	Nap mode (ADC and AFE)
1	1	XXXXXXXX	XXXXXXXX	X	0	X	X	CW Doppler mode (ADC in sleep mode)
1	1	XXXXXXXX	XXXXXXXX	X	1	X	X	CW Doppler mode (ADC in nap mode)

X = 无关。

低功耗、高性能、完全集成的
八通道超声接收器(8路LNA、VGA、AAF、
ADC和CWD波束成形器)

表7. 输出数据格式和测试码型/数字HPF选择(01h)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
TEST_PATTERN[2:0]			TEST_DATA	CLKOUT_PHASE[1:0]		DATA_FORMAT	BIT_ORDER

表8. LVDS输出数据格式设置

DATA_FORMAT	BIT_ORDER	LVDS OUTPUT DATA FORMAT
0	0	Binary, LSB first (default)
0	1	Binary, MSB first
1	0	Two's complement, LSB first
1	1	Two's complement, MSB first

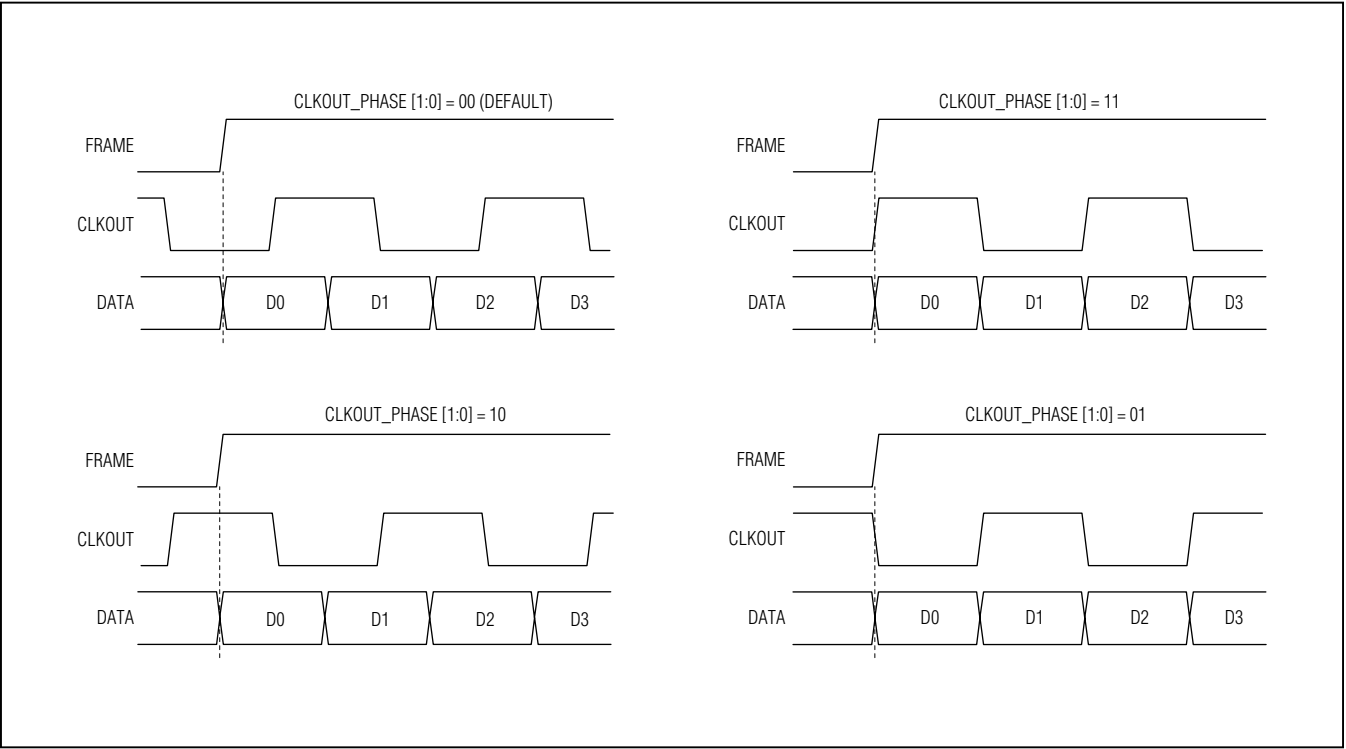


图20. 输出时钟相位

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

表9. 测试码型设置和数字高通滤波器选择

TEST_DATA	TEST_PATTERN[2:0]			TEST PATTERN FORMAT
0	X	X	X	Disabled, normal operation with digital HPF selected (default)
1	0	0	0	Data skew (010101010101), repeats every frame
1	0	0	1	Data sync (111111000000), repeats every frame
1	0	1	0	Custom test pattern, repeats every 2 frames
1	0	1	1	Ramping pattern from 0 to 4095 (repeats)
1	1	0	0	Pseudorandom data pattern, short sequence (2 ⁹)
1	1	0	1	Pseudorandom data pattern, long sequence (2 ²³)
1	1	1	0	Not used
1	1	1	1	Not used

X = 无关。

自定义测试码型

选择自定义测试码型时(TEST_PATTERN[2:0] = 010)，输出在BITS_CUSTOM1[11:0]和BITS_CUSTOM2[11:0]之间交替变化。如果希望得到单个重复字，将BITS_CUSTOM2[11:0]设置为与BITS_CUSTOM1[11:0]相同的值。

表10. 伪随机数据测试码型

(选择自定义测试码型时(TEST_PATTERN[2:0] = 100)，输出为短(2⁹) PN序列；TEST_PATTERN[2:0] = 101时，提供长(2²³)序列输出。)

SEQUENCE	INITIAL VALUE	FIRST 3 SAMPLES
Short (2 ⁹)	0x0df	0xdf9, 0x353, 0x301
Long (2 ²³)	0x29b80a	0x591, 0xfd7, 0x0a3

表11. LVDS输出驱动器电平(02h)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
LVDS_CM[1:0]		TEST_FRAME_LEVEL[1:0]		TEST_CLKOUT_LEVEL[1:0]		TEST_DATA_LEVEL[1:0]	

表12. 测试数据(OUT_)电平设置

TEST_DATA_LEVEL[1:0]		DATA (OUT_) OUTPUT
X	0	Normal data output
0	1	Output low (static)
1	1	Output high (static)

X = 无关。

表13. 测试CLKOUT_电平设置

TEST_CLKOUT_LEVEL[1:0]		CLKOUT_ OUTPUT
X	0	Normal CLKOUT_ output
0	1	Output low (static)
1	1	Output high (static)

X = 无关。

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

表14. 测试FRAME电平设置

TEST_FRAME_LEVEL[1:0]		FRAME OUTPUT
X	0	Normal FRAME output
0	1	Output low (static)
1	1	Output high (static)

X = 无关。

表15. LVDS输出共模电压调节

LVDS_CM[1:0]		LVDS OUTPUT COMMON-MODE VOLTAGE (V)
0	0	1.2 (default)
0	1	1.0
1	0	0.8
1	1	0.6

表16. LVDS输出驱动器管理(03h)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
—	LVDS_TERM[2:0]			LVDS_IADJ[3:0]			

表17. LVDS输出驱动电流配置

(可选LVDS驱动电流可在0.5mA至7.5mA范围内选择，步长为0.5mA (默认值为3.5mA)。支持ANSI-644和IEEE 1596.3。)

LVDS_IADJ[3:0]				LVDS CURRENT (mA)
0	0	0	0	3.5mA, 350mV at 100Ω (default)
0	0	0	1	0.5
0	0	1	0	1.0
0	0	1	1	1.5
0	1	0	0	2.0
0	1	0	1	2.5
0	1	1	0	3.0
0	1	1	1	3.5
1	0	0	0	4.0
1	0	0	1	4.5
1	0	1	0	5.0
1	0	1	1	5.5
1	1	0	0	6.0
1	1	0	1	6.5
1	1	1	0	7.0
1	1	1	1	7.5

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

表18. LVDS输出驱动器内部匹配电阻配置

LVDS_TERM[2:0]			LVDS INTERNAL TERMINATION (Ω)
0	0	0	—
0	0	1	800
0	1	0	400
0	1	1	267
1	0	0	200
1	0	1	160
1	1	0	133
1	1	1	100

表19. CLKIN匹配电阻控制(04h)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
—	—	—	CLKIN_TERM	—	—	—	0

第0位 时钟输入匹配电阻

总将该位置0。

CLKIN_TERM = 0: 未选择100 Ω 。

CLKIN_TERM = 1: 将100 Ω 电阻跨接在差分时钟输入。

表20. 通道功率管理: SHDN0 (05h)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CH8_SHDN0	CH7_SHDN0	CH6_SHDN0	CH5_SHDN0	CH4_SHDN0	CH3_SHDN0	CH2_SHDN0	CH1_SHDN0

表21. 通道功率管理: SHDN1 (06h)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CH8_SHDN1	CH7_SHDN1	CH6_SHDN1	CH5_SHDN1	CH4_SHDN1	CH3_SHDN1	CH2_SHDN1	CH1_SHDN1

表22. 数字高通滤波器控制系数(07h; 如果TEST_DATA 01[4] = 0)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
HPF2[3:0]				HPF1[3:0]			

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

表23. 数字高通滤波器配置

HPF1[3:0], HPF2[3:0]				R1/R2	FILTER MODE
0	0	0	0	N/A	Bypass
0	0	0	1	63/64	Filter; $f_{3dB} = 0.004935, f_S/2$
0	0	1	0	62/64	Filter; $f_{3dB} = 0.009796, f_S/2$
0	0	1	1	61/64	Filter; $f_{3dB} = 0.014584, f_S/2$
0	1	0	0	60/64	Filter; $f_{3dB} = 0.019303, f_S/2$
0	1	0	1	59/64	Filter; $f_{3dB} = 0.023956, f_S/2$
0	1	1	0	58/64	Filter; $f_{3dB} = 0.028544, f_S/2$
0	1	1	1	57/64	Filter; $f_{3dB} = 0.033069, f_S/2$
1	0	0	0	56/64	Filter; $f_{3dB} = 0.037535, f_S/2$
1	0	0	1	55/64	Filter; $f_{3dB} = 0.041943, f_S/2$
1	0	1	0	54/64	Filter; $f_{3dB} = 0.046294, f_S/2$
1	0	1	1	N/A	Bypass
1	1	0	0	N/A	Bypass
1	1	0	1	N/A	Bypass
1	1	1	0	N/A	Bypass
1	1	1	1	N/A	Bypass

表24. 自定义测试码型1 (07h; 如果TEST_DATA 01[4] = 1)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
BITS_CUSTOM1[7:0]							

表25. 数字高通滤波器衰减量(08h; 如果TEST_DATA 01[4] = 0)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
—	—	—	—	—	—	ATTEN[1:0]	

表26. 数字高通滤波器衰减量

ATTEN[1:0]		GAIN	GAIN (dB)
0	0	1	0
0	1	1	0
1	0	15/16	-0.58
1	1	7/8	-1.16

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

表27. 自定义测试码型2 (08h; 如果TEST_DATA 01[4] = 1)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
BITS_CUSTOM2[7:0]							

表28. 自定义测试码型3 (09h)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
BITS_CUSTOM2[11:8]				BITS_CUSTOM1[11:8]			

表29. AFE设置(0Ah)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
AFE_RIN[0:2]			AFE_LNA_GAIN	AFE_BW[0:1]		CWD_POWER_MODE	AFE_OCLAMP

表30. AFE输入阻抗和LNA增益控制

AFE_LNA_GAIN	AFE_RIN[0:2]			INPUT RESISTANCE (Ω)	LNA GAIN (dB)
0	0	0	0	100	12.5
0	1	0	0	200	12.5
0	0	1	0	400	12.5
0	1	1	0	2000	12.5
0	X	X	1	External R	12.5
1	0	0	0	50	18.5
1	1	0	0	100	18.5
1	0	1	0	200	18.5
1	1	1	0	1000	18.5
1	X	X	1	External R	18.5

X = 无关。

表31. AFE滤波器带宽控制

AFE_BW[0:1]	BANDWIDTH (MHz)
0	9
0	10
1	15
1	18

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

表32. CWD功率模式

CWD_POWER_MODE	CWD POWER MODE
0	Full power (default, nominal)
1	Low power

表33. VGA输出箝位控制

AFE_OCLAMP	VGA OUTPUT CLAMP
0	No clamp (default, nominal)
1	Clamp active

表34. CW波束成形器1 (0Bh)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CW_PHASE_CH2[1:3]			CW_SHDN_CH1	CW_PHASE_CH1[0:3]			

表35. CW波束成形器2 (0Ch)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CW_PHASE_CH4[3]	CW_SHDN_CH3	CW_PHASE_CH3[0:3]				CW_SHDN_CH2	CW_PHASE_CH2[0]

表36. CW波束成形器3 (0Dh)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CW_PHASE_CH5[0:3]			CW_SHDN_CH4	CW_PHASE_CH4[0:2]			

表37. CW波束成形器4 (0Eh)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CW_PHASE_CH7[2:3]		CW_SHDN_CH6	CW_PHASE_CH6[0:3]				CW_SHDN_CH5

表38. CW波束成形器5 (0Fh)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CW_SHDN_CH8	CW_PHASE_CH8[0:3]				CW_SHDN_CH7	CW_PHASE_CH7[0:1]	

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

CW多普勒模式控制

常规工作模式(默认)下, CW_SHDN_CHn置0。CW多普勒模式下, 将其置1, 以关断通道n。

注: 将任意CW_SHDN_CHn位从0跳变为1时, 执行两次将数据传输至AFE的过程(参考[AFE设置和数据传输](#)部分), 以使能CW多普勒通道。该过程仅适用于CW_SHDN_CHn位; 其它所有位以单次操作传输至AFE。

表39. 每个相位位改变的度数

PH[0]	PH[1]	PH[2]	PH[3]	PHASE
-22.5	-180	-90	-45	Degrees

表40. 相位旋转

CW_PHASE_CHn[3:0]				PHASE (Degrees)
-22.5	-180	-90	-45	
0	0	0	0	0
1	0	0	0	337.5
0	1	0	0	180
1	1	0	0	157.5
0	0	1	0	270
1	0	1	0	247.5
0	1	1	0	90
1	1	1	0	67.5
0	0	0	1	315
1	0	0	1	292.5
0	1	0	1	135
1	1	0	1	112.5
0	0	1	1	225
1	0	1	1	202.5
0	1	1	1	45
1	1	1	1	22.5

表41. 特殊功能寄存器(10h)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
STATUS7	STATUS6	STATUS5	STATUS4	STATUS3	STATUS2	STATUS1	STATUS0

低功耗、高性能、完全集成的
八通道超声接收器(8路LNA、VGA、AAF、
ADC和CWD波束成形器)

表42. 状态字节(从10h读取)

STATUS BIT NO.	READ VALUE	DESCRIPTION
7	0	Reserved
6	0	1 = AFE load in progress; 0 = load complete
5	0 or 1	1 = ROM read in progress
4	0 or 1	1 = ROM read completed, and register data is valid (checksum ok)
3	0	Reserved
2	1	Reserved
1	0 or 1	Reserved
0	0 or 1	1 = Duty-cycle equalizer DLL is locked

表43. SPI命令(写至10h)
(通过写SPI地址10h发送全部命令。)

COMMAND	WRITE DATA	DESCRIPTION
Soft reset	5Ah	Initiates software reset
Transfer data to AFE	A Eh	Initiates transfer of data in ADC registers 0Ah to 0Fh to AFE

软复位

软件复位功能允许用户通过写串行端口复位器件。可通过向地址10h写入复位代码5Ah执行软复位。软复位开始时，读取熔丝存储器并装载至SPI寄存器，详细信息请参考[3线串行外设接口\(SPI™\)](#)部分。复位为自清除，随后无需串口写操作来清除复位条件。

AFE设置和数据传输

内部模拟前端(AFE)和ADC可通过公共串口进行设置。ADC中有48个用户可编程位，储存AFE控制信息。这些位写至ADC中的寄存器0Ah至0Fh，向寄存器10h写AEh时，将这些位传输至AFE移位寄存器。写入该控制字后，用户必须在SCLK上提供至少50个时钟周期，将数据传输至AFE。为确认已将数据传输至AFE，可轮询地址10h，直到第6位为0。最后一步，向10h写00h。寄存器0Ah至0Fh中的更改不影响AFE，直到完成传输。

CWD波束成形器设置和时钟

按以下顺序设置CWD波束成形器：

- 1) 常规CWD模式期间，混频器时钟(LO+、LO-)打开。LOON为高电平。
- 2) 关闭混频器时钟(LO+、LO-)，或将LOON拉低，以启动设置过程。
- 3) 将相位和通道关断信息写入适当的控制寄存器。
- 4) 将相位信息从控制寄存器传送到AFE (见上文)，然后等待完成写操作。打开混频器时钟，将LOON设置为高电平，以启动波束成形(混频器时钟有效，且LOON设置为低电平时，也可写AFE移位寄存器)。如果打开混频器时钟源，必须打开时钟，以便从混频器时钟周期的起点开始。混频器时钟上的毛刺是不可接受的，会造成I/Q分相器出现不稳定。如果使用LOON控制打开混频器时钟，LOON信号必须与LO时钟同步，并且必须满足最小设置时间指标。

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

- 5) 为设置新CWD相位信息,关闭混频器时钟并/或将LOON设置为低电平,然后重复步骤1至5。
- 6) 为在VGA和CWD模式之间切换,而无需设置SPI寄存器(快速模式切换):从CWD模式变为VGA模式时,无需任何操作即可维持AFE编程设置;从VGA模式变为CWD模式时,用户必须在CWD引脚变为高电平后提供 $\overline{CS}$ 脉冲,以初始化CWD波束成形器的相位寄存器。该脉冲必须在CWD引脚上升沿后100ns或更长时间内出现,并且宽度必须至少为80ns。

应用信息

超声规范定义的IMD3

与典型的通信应用不同,超声规范定义的双音IMD3指标对应的两个输入信号具有不同幅度。测试中, f_1 代表肌肉等组织的反射波, f_2 代表血液的反射波。后者幅度一般比前者幅度低25dB。为了以更高精度分辨出高于热噪声本底的IM3产物,采用-20dBc弱信号测试器件的IM3性能。超声应用中,IMD3指标($f_1 - (f_2 - f_1)$)表现为不希望的多普勒误差信号(见图21)。

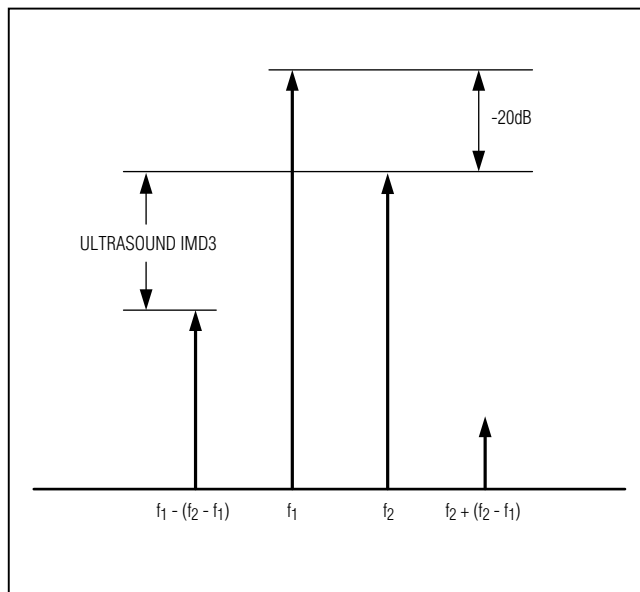
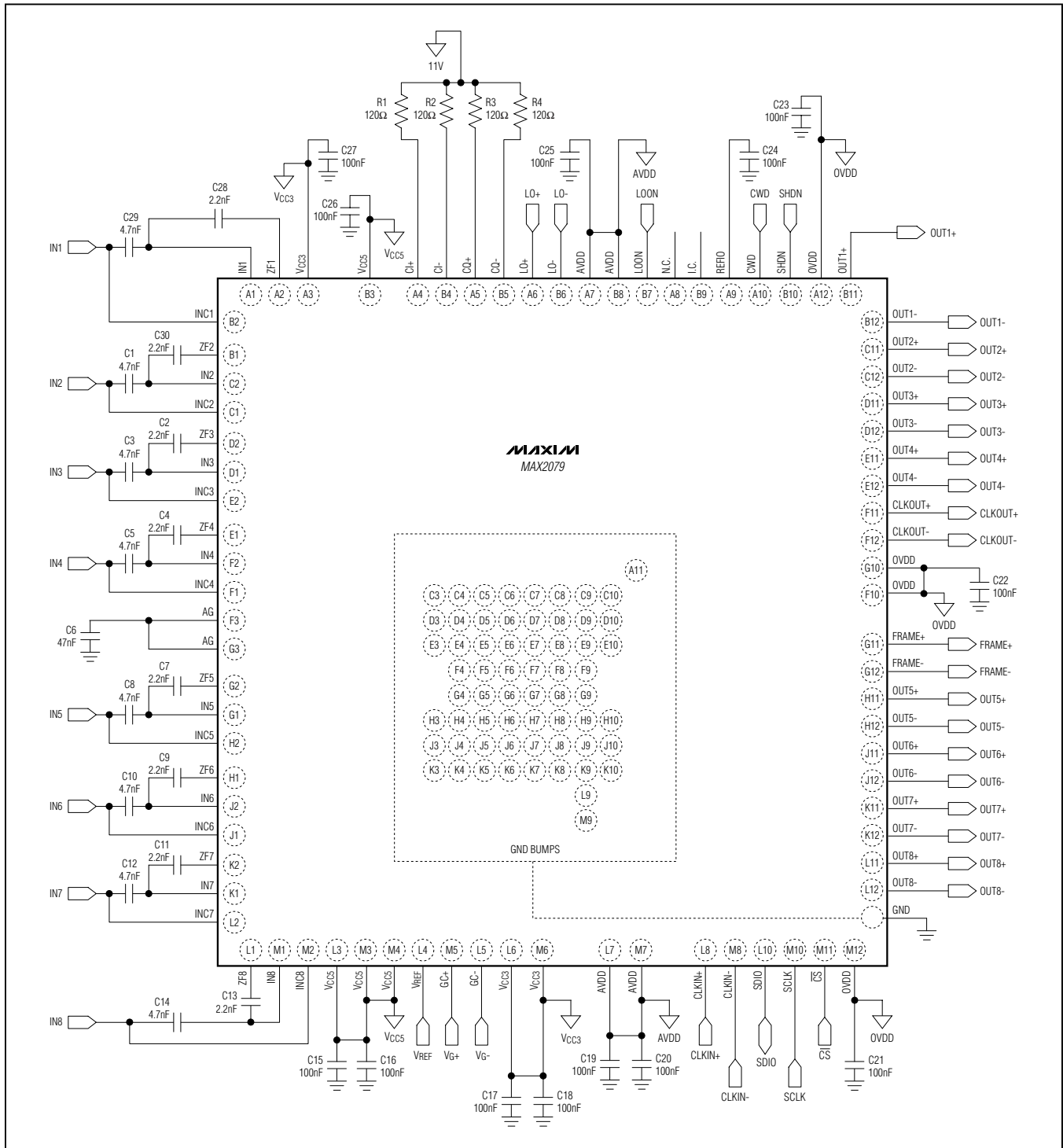


图21. 超声规范定义的IMD3

MAX2079

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

典型应用电路



MAX2079

低功耗、高性能、完全集成的 八通道超声接收器(8路LNA、VGA、AAF、 ADC和CWD波束成形器)

芯片信息

PROCESS: BiCMOS/CMOS

订购信息

PART	TEMP RANGE	BUMP-PACKAGE
MAX2079CXE+	0°C to +70°C	144 CTBGA
MAX2079CXE+T	0°C to +70°C	144 CTBGA

+表示无铅(Pb)/符合RoHS标准的封装。
T = 卷带包装。

封装信息

如需最近的封装外形信息和焊盘布局(占位面积), 请查询china.maxim-ic.com/packages。请注意, 封装编码中的“+”、“#”或“-” 仅表示RoHS状态。封装图中可能包含不同的尾缀字符, 但封装图只与封装有关, 与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
144 CTBGA	X14400M+1	21-0492	90-0347

MAX2079

低功耗、高性能、完全集成的
八通道超声接收器(8路LNA、VGA、AAF、
ADC和CWD波束成形器)

修订历史

修订号	修订日期	说明	修改页
0	1/12	最初版本。	—

Maxim北京办事处
北京8328信箱 邮政编码100083
免费电话：800 810 0310
电话：010-6211 5199
传真：010-6211 5299

Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。