

10位、11Msps、全双工模拟前端

概述

MAX19711是超低功耗、高度集成的混合信号模拟前端(AFE)，设计用于全双工(FD) CDMA通信设备。该器件经过优化能够以极低的功耗获得较高的动态性能，集成了双路10位、11Msps接收(Rx) ADC，双路10位、带有CDMA基带滤波器的11Msps发送(Tx) DAC，用于辅助RF前端控制的3路快速建立的12位辅助DAC和10位、333ksps辅助ADC。在全双工模式、4.915MHz/11MHz时钟频率下，功耗典型值为37.5mW/42.7mW。

Rx ADC在1.875MHz输入频率、11MHz时钟频率下具有54.8dB SNR和74.2dBc SFDR。模拟I/Q输入放大器为全差分结构，可接收1.024V_{P-P}满量程信号。I/Q通道匹配度典型值为： $\pm 0.01^\circ$ (相位)和 ± 0.01 dB (增益)。

Tx DAC带有CDMA滤波器，该滤波器的-3dB截止频率为1.3MHz， $f_{CLK} = 4.915$ MHz时，在 $f_{IMAGE} = 4.285$ MHz处具有大于64dBc的阻带抑制。模拟I-Q满量程输出电压可以设置为差分 ± 410 mV或 ± 500 mV。输出直流共模电压范围为0.86V至1.36V。通过调节I/Q通道的失调可以优化射频通道的边带/载波抑制比。I-Q通道匹配度典型值为： ± 0.03 dB (增益)和 $\pm 0.07^\circ$ (相位)。

两组独立的10位并行高速数字总线用于Rx ADC和Tx DAC，支持频分复用双工系统的全双工通信。可以控制Rx ADC和Tx DAC处于禁止状态，优化电源管理。通过3线串行接口控制电源管理模式、辅助DAC通道以及辅助ADC通道。

MAX19711采用2.7V至3.3V模拟电源和1.8V至3.3V数字I/O电源供电。MAX19711工作在扩展工业级温度范围(-40°C至+85°C)，采用56引脚、薄型QFN封装。数据资料最后的选型指南中列出了该AFE系列的引脚兼容型号。对于时分复用(TDD)系统，请参考MAX19705–MAX19708 AFE系列产品。

应用

CDMA手机 便携式通信设备
CDMA数据卡

订购信息

PART*	PIN-PACKAGE	PKG CODE
MAX19711ETN	56 Thin QFN-EP**	T5677-1
MAX19711ETN+	56 Thin QFN-EP**	T5677-1

* 所有器件规定工作在-40°C至+85°C范围。

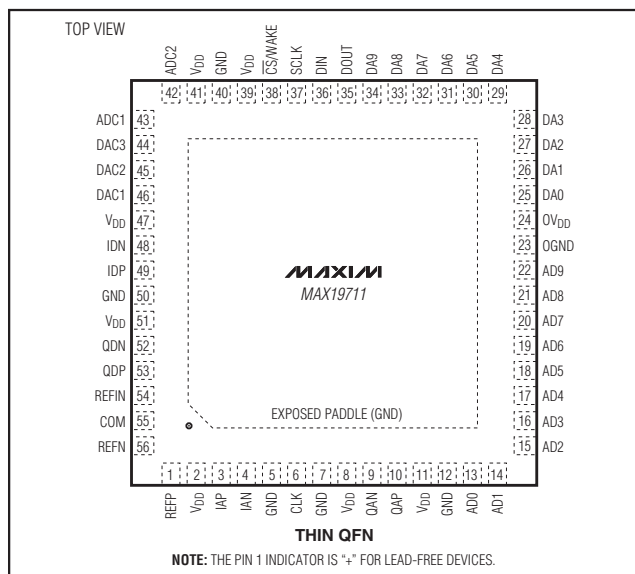
**EP = 裸焊盘。

+ 表示无铅封装。

特性

- ◆ 双路10位11Msps Rx ADC和双路10位11Msps Tx DAC
- ◆ 超低功耗
 - $f_{CLK} = 4.915$ MHz/11MHz，FD模式下消耗37.5mW/42.7mW
 - $f_{CLK} = 11$ MHz，低速Rx模式下消耗24.3mW
 - $f_{CLK} = 11$ MHz，低速Tx模式下消耗34.5mW
 - 低电流待机模式和关断模式
- ◆ 集成CDMA滤波器提供> 64dBc的阻带抑制
- ◆ 可编程Tx DAC共模直流电压和I/Q失调调节电压
- ◆ 优异的动态性能
 - $f_{IN} = 1.875$ MHz时，SNR = 54.8dB (Rx ADC)
 - $f_{OUT} = 620$ kHz时，SFDR = 75dBc (Tx DAC)
- ◆ 三路12位、1 μ s辅助DAC
- ◆ 10位、333ksps辅助ADC，带有4:1多路复用器输入和数据平均电路
- ◆ 优异的增益/相位匹配度
 - $f_{IN} = 1.87$ MHz时，匹配度为： $\pm 0.01^\circ$ (相位)、 ± 0.01 dB (增益) (Rx ADC)
- ◆ 多路复用并行数字I/O
- ◆ 串行接口控制
- ◆ 多种电源管理模式
- ◆ 关断、待机、空闲、Tx/Rx禁止
- ◆ 小尺寸、56引脚、薄型QFN封装 (7mm x 7mm x 0.8mm)

引脚配置



功能框图和选型指南在数据资料的最后给出。

10位、11Msps、全双工模拟前端

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND, OV_{DD} to OGND-0.3V to +3.6V
 GND to OGND-0.3V to +0.3V
 IAP, IAN, QAP, QAN, IDP, IDN, QDP,
 QDN, DAC1, DAC2, DAC3 to GND-0.3V to V_{DD}
 ADC1, ADC2 to GND-0.3V to (V_{DD} + 0.3V)
 REFP, REFN, REFIN, COM to GND-0.3V to (V_{DD} + 0.3V)
 AD0–AD9, DA0–DA9, SCLK, DIN, $\overline{\text{CS}}$ /WAKE,
 CLK, DOUT to OGND-0.3V to (OV_{DD} + 0.3V)

Continuous Power Dissipation (T_A = +70°C)

56-Pin Thin QFN-EP (derate 27.8mW/°C above +70°C) 2.22W

Thermal Resistance θ_{JA} 36°C/W

Operating Temperature Range-40°C to +85°C

Junction Temperature+150°C

Storage Temperature Range-60°C to +150°C

Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), C_L ≈ 10pF on all digital outputs, f_{CLK} = 11MHz (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, V_{FS} = 410mV, CM1 = 0, CM0 = 0, differential Rx ADC input, differential Tx DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33μF, C_L < 5pF on all aux-DAC outputs, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER REQUIREMENTS						
Analog Supply Voltage	V _{DD}		2.7	3.0	3.3	V
Output Supply Voltage	OV _{DD}		1.8		V _{DD}	V
V _{DD} Supply Current		FD mode: f _{CLK} = 11MHz, f _{OUT} = 620kHz on both DAC channels; f _{IN} = 1.87MHz on both ADC channels; aux-DACs ON and at midscale, aux-ADC ON		14.25	17	mA
		FD mode: f _{CLK} = 4.915MHz, f _{OUT} = 620kHz on both DAC channels; f _{IN} = 1.87MHz on both ADC channels; aux-DACs ON and at midscale, aux-ADC ON		12.5		
		SPI2-Tx mode: f _{CLK} = 11MHz, f _{OUT} = 620kHz on both DAC channels; Rx ADC OFF; aux-DACs ON and at midscale, aux-ADC ON		11.5	14	
		SPI1-Rx mode: f _{CLK} = 11MHz, f _{IN} = 1.87MHz on both ADC channels; Tx DAC OFF (Tx DAC outputs at 0V); aux-DACs ON and at midscale, aux-ADC ON		8.1	10	
		SPI4-Tx mode: f _{CLK} = 11MHz, f _{OUT} = 620kHz on both DAC channels; Rx ADC ON (output tri-stated); aux-DACs ON and at midscale, aux-ADC ON		14.1	16.5	
		SPI3-Rx mode: f _{CLK} = 11MHz, f _{IN} = 1.87MHz on both channels; Tx DAC ON (Tx DAC outputs at midscale); aux-DACs ON and at midscale, aux-ADC ON		13.8	16.5	
		Standby mode: CLK = 0 or OV _{DD} ; aux-DACs ON and at midscale, aux-ADC ON			4	

10位、11Mps、全双工模拟前端

MAX19711

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 11MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, $V_{FS} = 410mV$, $CM1 = 0$, $CM0 = 0$, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $C_L < 5pF$ on all aux-DAC outputs, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V _{DD} Supply Current		Idle mode: f _{CLK} = 11MHz; aux-DACs ON and at midscale, aux-ADC ON			7	mA
		Shutdown mode: CLK = 0 or OV _{DD} , aux-ADC OFF		0.5	5	μA
OV _{DD} Supply Current		FD mode: f _{CLK} = 11MHz, f _{OUT} = 620kHz on both DAC channels; f _{IN} = 1.87MHz on both ADC channels; aux-DACs ON and at midscale, aux-ADC ON		1.5		mA
		SPI1-Rx and SPI3-Rx modes: f _{CLK} = 11MHz, f _{IN} = 1.87MHz on both ADC channels; DAC input bus tri-stated; aux-DACs ON and at midscale, aux-ADC ON		1.4		
		SPI2-Tx and SPI4-Tx modes: f _{CLK} = 11MHz, f _{OUT} = 620kHz on both DAC channels; ADC output bus tri-stated; aux-DACs ON and at midscale, aux-ADC ON		80		μA
		Standby mode: CLK = 0 or OV _{DD} ; aux-DACs ON and at midscale, aux-ADC ON		0.1		
		Idle mode: f _{CLK} = 11MHz; aux-DACs ON and at midscale, aux-ADC ON		18.5		
		Shutdown mode: CLK = 0 or OV _{DD} , aux-ADC OFF		0.1		
Rx ADC DC ACCURACY						
Resolution			10			Bits
Integral Nonlinearity	INL		±0.8			LSB
Differential Nonlinearity	DNL		±0.5			LSB
Offset Error		Residual DC offset error	-5	±0.2	+5	%FS
Gain Error		Includes reference error	-5	±0.9	+5	%FS
DC Gain Matching			-0.15	±0.04	+0.15	dB
Offset Matching			±9			LSB
Gain Temperature Coefficient			±30			ppm/°C
Power-Supply Rejection		Offset (V _{DD} ±5%)	±0.2			LSB
		Gain (V _{DD} ±5%)	±0.08			
Rx ADC ANALOG INPUT						
Input Differential Range	V _{ID}	Differential or single-ended inputs	±0.512			V
Input Common-Mode Voltage Range	V _{CM}		V _{DD} / 2			V
Input Impedance	R _{IN}	Switched capacitor load	490			kΩ
	C _{IN}		5			pF

10位、11Msps、全双工模拟前端

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 11MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, $V_{FS} = 410mV$, $CM1 = 0$, $CM0 = 0$, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $C_L < 5pF$ on all aux-DAC outputs, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Rx ADC CONVERSION RATE						
Maximum Clock Frequency	f _{CLK}	(Note 2)		11		MHz
Data Latency		Channel 1A		5		Clock Cycles
		Channel 1QA		5.5		
Rx ADC DYNAMIC CHARACTERISTICS (Note 3)						
Signal-to-Noise Ratio	SNR	f _{IN} = 1.875MHz	53.3	54.8		dB
		f _{IN} = 3MHz		54.8		
Signal-to-Noise and Distortion	SINAD	f _{IN} = 1.875MHz	53.2	54.8		dB
		f _{IN} = 3MHz		54.7		
Spurious-Free Dynamic Range	SFDR	f _{IN} = 1.875MHz	64.5	74.2		dBc
		f _{IN} = 3MHz		78.3		
Total Harmonic Distortion	THD	f _{IN} = 1.875MHz		-72.1	-63.5	dBc
		f _{IN} = 3MHz		-75		
Third-Harmonic Distortion	HD3	f _{IN} = 1.875MHz		-82.8		dBc
		f _{IN} = 3MHz		-78.3		
Intermodulation Distortion	IMD	f _{IN1} = 1.7MHz, A _{IN1} = -7dBFS; f _{IN2} = 900kHz, A _{IN2} = -7dBFS		-71		dBc
Third-Order Intermodulation Distortion	IM3	f _{IN1} = 1.7MHz, A _{IN1} = -7dBFS; f _{IN2} = 900kHz, A _{IN2} = -7dBFS		-75		dBc
Aperture Delay				3.5		ns
Aperture Jitter				2		psRMS
Overdrive Recovery Time		1.5x full-scale input		2		ns
Rx ADC INTERCHANNEL CHARACTERISTICS						
Crosstalk Rejection		f _{INX,Y} = 1.8MHz, A _{INX,Y} = -0.5dBFS, f _{INY,X} = 1MHz, A _{INY,X} = -0.5dBFS (Note 4)		-89		dB
Amplitude Matching		f _{IN} = 1.8MHz, A _{IN} = -0.5dBFS (Note 5)		±0.01		dB
Phase Matching		f _{IN} = 1.8MHz, A _{IN} = -0.5dBFS (Note 5)		±0.01		Degrees
Tx PATH DC ACCURACY						
Resolution	N		10			Bits
Integral Nonlinearity	INL			±0.55		LSB
Differential Nonlinearity	DNL	Guaranteed monotonic (Note 6)	-0.9	±0.4	+0.9	LSB
Residual DC Offset	V _{OS}	T _A ≥ +25°C	-5	±0.5	+5	mV
		T _A < +25°C	-7	±0.5	+7	
Full-Scale Gain Error		V _{FS} = 410mV	-50	±9	+50	mV
		V _{FS} = 500mV	-52	±9	+52	

10位、11Msps、全双工模拟前端

MAX19711

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 11MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, $V_{FS} = 410mV$, $CM1 = 0$, $CM0 = 0$, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $C_L < 5pF$ on all aux-DAC outputs, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Tx PATH DYNAMIC PERFORMANCE						
Corner Frequency	f_C	-3dB corner	1.05	1.3	1.60	MHz
Passband Ripple		DC to 640kHz		0.16	0.3	dBp-p
Group Delay Variation in Passband		DC to 640kHz		50		ns
Error-Vector Magnitude	EVM	DC to 700kHz		2		%
Stopband Rejection		$f_{IMAGE} = 4.285MHz$, $f_{OUT} = 630kHz$, $f_{CLK} = 4.915MHz$	56	64		dBc
Baseband Attenuation		Spot relative to 100kHz	2MHz	21.5		dB
			4MHz	49		
			5MHz	58		
			10MHz	90		
			20MHz	90		
DAC Conversion Rate	f_{CLK}	(Note 2)			11	MHz
In-Band Noise Density	N_D	$f_{OUT} = 630kHz$, $f_{CLK} = 4.915MHz$		-115		dBFS/Hz
Third-Order Intermodulation Distortion	IM3	$f_{OUT1} = 620kHz$, $f_{OUT2} = 640kHz$		-77		dBc
Glitch Impulse				10		pV•s
Spurious-Free Dynamic Range to Nyquist	SFDR	$f_{OUT} = 620kHz$	61.5	75		dBc
Total Harmonic Distortion to Nyquist	THD	$f_{OUT} = 620kHz$		-75	-61.5	dBc
Signal-to-Noise Ratio to Nyquist	SNR	$f_{OUT} = 620kHz$		55.9		dB
Tx PATH INTERCHANNEL CHARACTERISTICS						
I-to-Q Output Isolation		$f_{OUTX,Y} = 500kHz$, $f_{OUTY,X} = 620kHz$		92		dB
Gain Mismatch Between I and Q Channels		Measured at DC, $V_{FS} = 410mV$ or $500mV$	-0.36	± 0.03	+0.36	dB
Clock Leakage		$f_{OUT} = 620kHz$		-90		dBc
Phase Mismatch Between I and Q Channels		$f_{OUT} = 620kHz$		± 0.07		Degrees
Differential Output Impedance				800		Ω
Tx PATH ANALOG OUTPUT						
Full-Scale Output Voltage	V_{FS}	Bit E7 = 0 (default)		± 410		mV
		Bit E7 = 1		± 500		
Output Common-Mode Voltage	V_{COMD}	Bits CM1 = 0, CM0 = 0 (default)	1.28	1.36	1.45	V
		Bits CM1 = 0, CM0 = 1	1.13	1.2	1.30	
		Bits CM1 = 1, CM0 = 0	0.99	1.06	1.15	
		Bits CM1 = 1, CM0 = 1	0.79	0.86	0.95	

10位、11Msps、全双工模拟前端

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 11MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, $V_{FS} = 410mV$, $CM1 = 0$, $CM0 = 0$, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $C_L < 5pF$ on all aux-DAC outputs, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Rx ADC–Tx DAC						
Receive Transmit Isolation		ADC: $f_{INI} = f_{INQ} = 1.8MHz$, DAC: $f_{OUTI} = f_{OUTQ} = 620kHz$		85		dB
AUXILIARY ADC (ADC1, ADC2)						
Resolution	N		10			Bits
Full-Scale Reference	V_{REF}	AD1 = 0 (default)		2.048		V
		AD1 = 1		V_{DD}		
Analog Input Range				0 to V_{REF}		V
Analog Input Impedance		At DC		500		$k\Omega$
Input-Leakage Current		Measured at unselected input from 0 to V_{REF}		± 0.1		μA
Gain Error	GE	Includes reference error, AD1 = 0	-5		+5	%FS
Zero-Code Error	ZE			± 2		mV
Differential Nonlinearity	DNL			± 0.6		LSB
Integral Nonlinearity	INL			± 0.6		LSB
Supply Current				210		μA
AUXILIARY DACs (DAC1, DAC2, DAC3)						
Resolution	N		12			Bits
Integral Nonlinearity	INL	From code 100 to code 4000		± 1.25		LSB
Differential Nonlinearity	DNL	Guaranteed monotonic from code 100 to code 4000 (Note 6)	-1.0	± 0.65	+1.2	LSB
Output-Voltage Low	V_{OL}	$R_L > 200k\Omega$			0.2	V
Output-Voltage High	V_{OH}	$R_L > 200k\Omega$	2.57			V
DC Output Impedance		DC output at midscale		4		Ω
Settling Time		From code 1024 to code 3072, within ± 10 LSB		1		μs
Glitch Impulse		From code 0 to code 4095		24		nV·s
Rx ADC–Tx DAC TIMING CHARACTERISTICS						
CLK Rise to Channel-I Output Data Valid	t_{DOI}	Figure 3 (Note 6)	4.9	7.9	11.5	ns
CLK Fall to Channel-Q Output Data Valid	t_{DOQ}	Figure 3 (Note 6)	6.1	9.1	13.2	ns
I-DAC DATA to CLK Fall Setup Time	t_{DSI}	Figure 3 (Note 6)	10			ns
Q-DAC DATA to CLK Rise Setup Time	t_{DSQ}	Figure 6 (Note 6)	10			ns
CLK Fall to I-DAC Data Hold Time	t_{DHI}	Figure 6 (Note 6)	0			ns

10位、11Msps、全双工模拟前端

MAX19711

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), C_L ≈ 10pF on all digital outputs, f_{CLK} = 11MHz (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, V_{FS} = 410mV, CM1 = 0, CM0 = 0, differential Rx ADC input, differential Tx DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33μF, C_L < 5pF on all aux-DAC outputs, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CLK Rise to Q-DAC Data Hold Time	t _{DHQ}	Figure 6 (Note 6)	0			ns
CLK Duty Cycle				50		%
CLK Duty-Cycle Variation				±15		%
Digital Output Rise/Fall Time		20% to 80%		2.4		ns
SERIAL-INTERFACE TIMING CHARACTERISTICS (Figures 7 and 9, Note 6)						
Falling Edge of $\overline{\text{CS}}$ /WAKE to Rising Edge of First SCLK Time	t _{CSS}		10			ns
DIN to SCLK Setup Time	t _{DS}		10			ns
DIN to SCLK Hold Time	t _{DH}		0			ns
SCLK Pulse-Width High	t _{CH}		25			ns
SCLK Pulse-Width Low	t _{CL}		25			ns
SCLK Period	t _{CP}		50			ns
SCLK to $\overline{\text{CS}}$ /WAKE Setup Time	t _{CS}		10			ns
$\overline{\text{CS}}$ /WAKE High Pulse Width	t _{CSW}		80			ns
$\overline{\text{CS}}$ /WAKE High to DOUT Active High	t _{CSD}	Bit AD0 set		200		ns
$\overline{\text{CS}}$ /WAKE High to DOUT Low (Aux-ADC Conversion Time)	t _{CONV}	Bit AD0 set, no averaging, f _{CLK} = 11MHz, CLK divider = 4		4.3		μs
DOUT Low to $\overline{\text{CS}}$ /WAKE Setup Time	t _{DCS}	Bit AD0, AD10 set		200		ns
SCLK Low to DOUT Data Out	t _{CD}	Bit AD0, AD10 set			14.5	ns
$\overline{\text{CS}}$ /WAKE High to DOUT High Impedance	t _{CHZ}	Bit AD0, AD10 set		200		ns
MODE-RECOVERY TIMING CHARACTERISTICS (Figure 8)						
Shutdown Wake-Up Time	t _{WAKE,SD}	From shutdown to Rx mode, ADC settles to within 1dB SINAD		500		μs
		From shutdown to Tx mode, DAC settles to within 10 LSB error		26		
		From aux-ADC enable to aux-ADC start conversion		10		
		From shutdown to aux-DAC output valid		28		
		From shutdown to FD mode, ADC settles to within 1dB SINAD, DAC settles to within 10 LSB error		500		

10位、11Msps、全双工模拟前端

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 11MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, $V_{FS} = 410mV$, $CM1 = 0$, $CM0 = 0$, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $C_L < 5pF$ on all aux-DAC outputs, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Idle Wake-Up Time (With CLK)	$t_{WAKE,ST0}$	From idle to Rx mode with CLK present during idle, ADC settles to within 1dB SINAD		6.8		μs
		From idle to Tx mode with CLK present during idle, DAC settles to 10 LSB error		5.0		
		From idle to FD mode, ADC settles to within 1dB SINAD, DAC settles to within 10 LSB error		6.8		
Standby Wake-Up Time	$t_{WAKE,ST1}$	From standby to Rx mode, ADC settles to within 1dB SINAD		7.2		μs
		From standby to Tx mode, DAC settles to 10 LSB error		21.8		
		From standby to FD mode, ADC settles to within 1dB SINAD, DAC settles to within 10 LSB error		21.8		
Enable Time from Tx to Rx, Fast Mode	$t_{ENABLE,RX}$	ADC settles to within 1dB SINAD		0.1		μs
Enable Time from Rx to Tx, Fast Mode	$t_{ENABLE,TX}$	DAC settles to within 10 LSB error		1		μs
Enable Time from Tx to Rx, Slow Mode	$t_{ENABLE,RX}$	ADC settles to within 1dB SINAD		6.8		μs
Enable Time from Rx to Tx, Slow Mode	$t_{ENABLE,TX}$	DAC settles to within 10 LSB error		5		μs
INTERNAL REFERENCE ($V_{REFIN} = V_{DD}$; V_{REFP}, V_{REFN}, V_{COM} levels are generated internally)						
Positive Reference		$V_{REFP} - V_{COM}$		0.256		V
Negative Reference		$V_{REFN} - V_{COM}$		-0.256		V
Common-Mode Output Voltage	V_{COM}		$V_{DD}/2 - 0.15$	$V_{DD}/2$	$V_{DD}/2 + 0.15$	V
Maximum REFP/REFN/COM Source Current	I_{SOURCE}			2		mA
Maximum REFP/REFN/COM Sink Current	I_{SINK}			2		mA
Differential Reference Output	V_{REF}	$V_{REFP} - V_{REFN}$	+0.490	+0.512	+0.534	V
Differential Reference Temperature Coefficient	$REFTC$			± 30		ppm/ $^\circ C$

10位、11Msps、全双工模拟前端

MAX19711

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 11MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, $V_{FS} = 410mV$, $CM1 = 0$, $CM0 = 0$, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $C_L < 5pF$ on all aux-DAC outputs, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
BUFFERED EXTERNAL REFERENCE (external $V_{REFIN} = 1.024V$ applied; V_{REFP}, V_{REFN}, V_{COM} levels are generated internally)						
Reference Input Voltage	V_{REFIN}			1.024		V
Differential Reference Output	V_{DIFF}	$V_{REFP} - V_{REFN}$		0.512		V
Common-Mode Output Voltage	V_{COM}			$V_{DD} / 2$		V
Maximum REFP/REFN/COM Source Current	I_{SOURCE}			2		mA
Maximum REFP/REFN/COM Sink Current	I_{SINK}			2		mA
REFIN Input Current				-0.7		μA
REFIN Input Resistance				500		k Ω
DIGITAL INPUTS (CLK, SCLK, DIN, $\overline{CS}/WAKE$, DA9–DA0)						
Input High Threshold	V_{INH}		$0.7 \times OV_{DD}$			V
Input Low Threshold	V_{INL}		$0.3 \times OV_{DD}$			V
Input Leakage	D I_{IN}	CLK, SCLK, DIN, $\overline{CS}/WAKE = OGND$ or OV_{DD}	-1		+1	μA
		DA9–DA0 = OV_{DD}	-1		+1	
		DA9–DA0 = OGND	5		+5	
Input Capacitance	DC_{IN}			5		pF
DIGITAL OUTPUTS (AD9–AD0, DOUT)						
Output-Voltage Low	V_{OL}	$I_{SINK} = 200\mu A$		$0.2 \times OV_{DD}$		V
Output-Voltage High	V_{OH}	$I_{SOURCE} = 200\mu A$		$0.8 \times OV_{DD}$		V
Tri-State Leakage Current	I_{LEAK}		-1		+1	μA
Tri-State Output Capacitance	C_{OUT}			5		pF

Note 1: Specifications from $T_A = +25^\circ C$ to $+85^\circ C$ guaranteed by production test. $T_A < +25^\circ C$ guaranteed by design and characterization.

Note 2: The minimum clock frequency (f_{CLK}) for the MAX19711 is 2MHz (typ). The minimum aux-ADC sample rate clock frequency (A_{CLK}) is determined by f_{CLK} and the chosen aux-ADC clock-divider value. The minimum aux-ADC $A_{CLK} > 2MHz / 128 = 15.6kHz$. The aux-ADC conversion time does not include the time to clock the serial data out of DOUT. The maximum conversion time (for no averaging, $NAV_{G} = 1$) will be $t_{CONV} (max) = (12 \times 1 \times 128) / 2MHz = 768\mu s$.

Note 3: SNR, SINAD, SFDR, HD3, and THD are based on a differential analog input voltage of -0.5dBFS referenced to the amplitude of the digital outputs. SINAD and THD are calculated using HD2 through HD6.

Note 4: Crosstalk rejection is measured by applying a high-frequency test tone to one channel and a low-frequency tone to the second channel. FFTs are performed on each channel. The parameter is specified as the power ratio of the first and second channel FFT test tones.

Note 5: Amplitude and phase matching are measured by applying the same signal to each channel, and comparing the two output signals using a sine-wave fit.

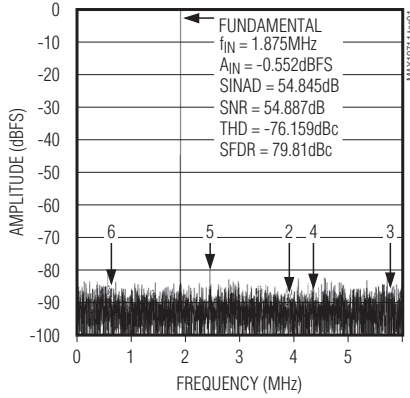
Note 6: Guaranteed by design and characterization.

10位、11Mps、全双工模拟前端

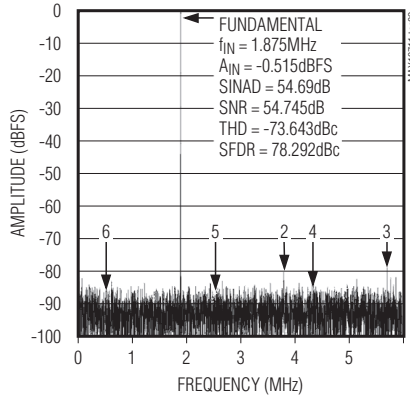
典型工作特性

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 11.8MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, $V_{FS} = 410mV$, CM1 = 0, CM0 = 0, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)

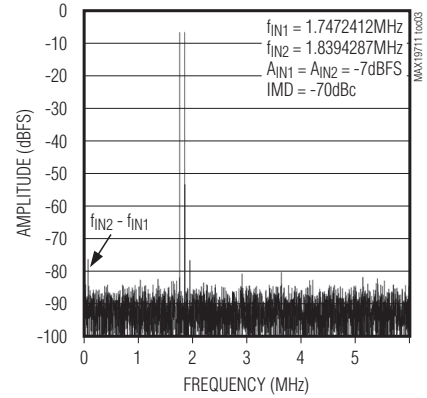
**Rx ADC CHANNEL-IA FFT PLOT
(8192 SAMPLES)**



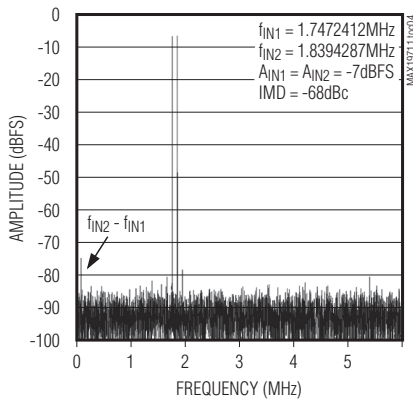
**Rx ADC CHANNEL-QA FFT PLOT
(8192 SAMPLES)**



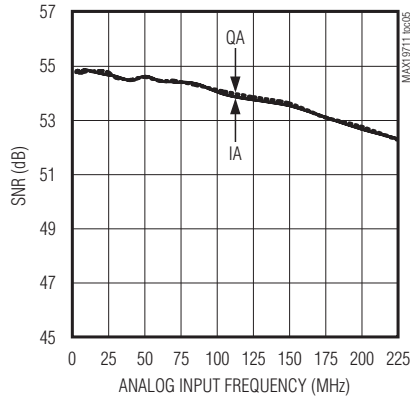
**Rx ADC CHANNEL-IA
TWO-TONE FFT PLOT**



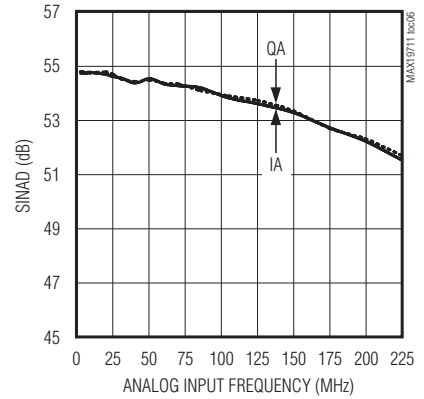
**Rx ADC CHANNEL-QA
TWO-TONE FFT PLOT**



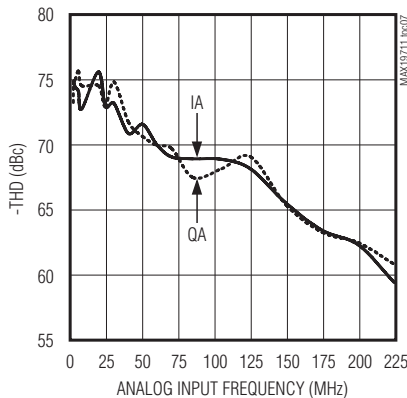
**Rx ADC SIGNAL-TO-NOISE RATIO
vs. ANALOG INPUT FREQUENCY**



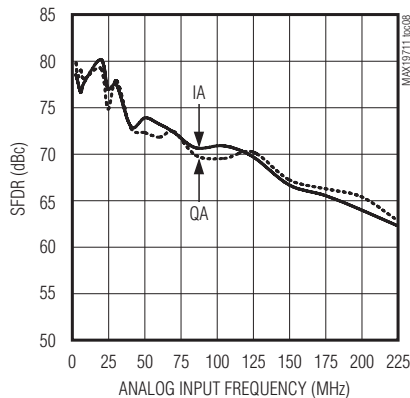
**Rx ADC SIGNAL-TO-NOISE AND DISTORTION
RATIO vs. ANALOG INPUT FREQUENCY**



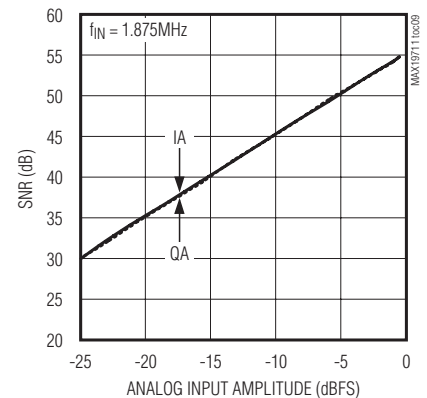
**Rx ADC TOTAL HARMONIC DISTORTION
vs. ANALOG INPUT FREQUENCY**



**Rx ADC SPURIOUS-FREE DYNAMIC RANGE
vs. ANALOG INPUT FREQUENCY**



**Rx ADC SIGNAL-TO-NOISE RATIO
vs. ANALOG INPUT AMPLITUDE**

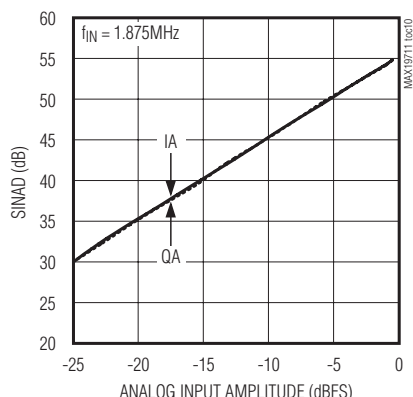


10位、11Mps、全双工模拟前端

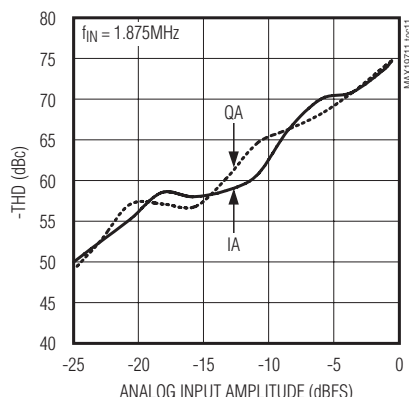
典型工作特性(续)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 11.8MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, $V_{FS} = 410mV$, $CM1 = 0$, $CM0 = 0$, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)

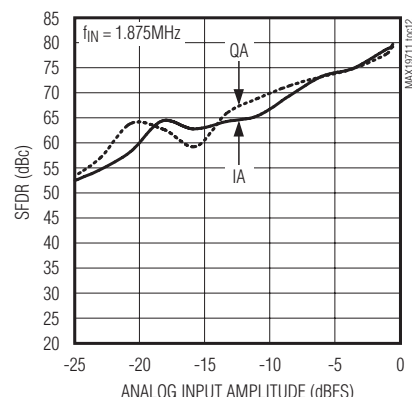
Rx ADC SIGNAL-TO-NOISE AND DISTORTION RATIO vs. ANALOG INPUT AMPLITUDE



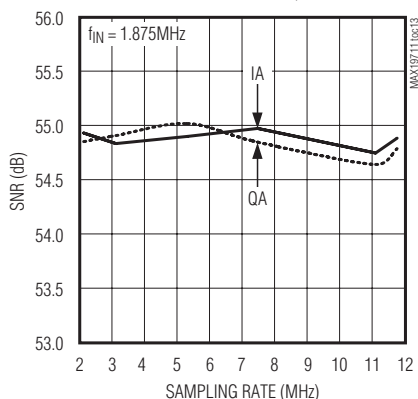
Rx ADC TOTAL HARMONIC DISTORTION vs. ANALOG INPUT AMPLITUDE



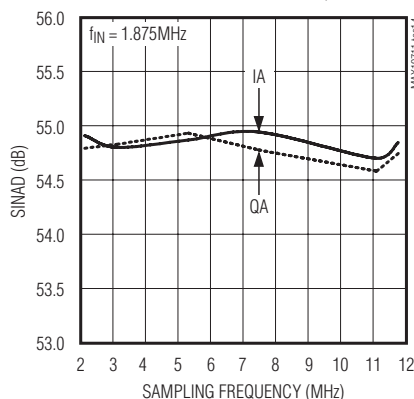
Rx ADC SPURIOUS-FREE DYNAMIC RANGE vs. ANALOG INPUT AMPLITUDE



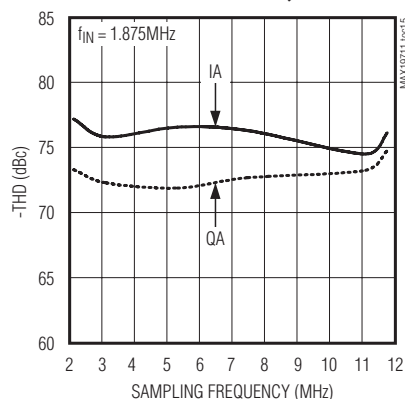
Rx ADC SIGNAL-TO-NOISE RATIO vs. SAMPLING FREQUENCY



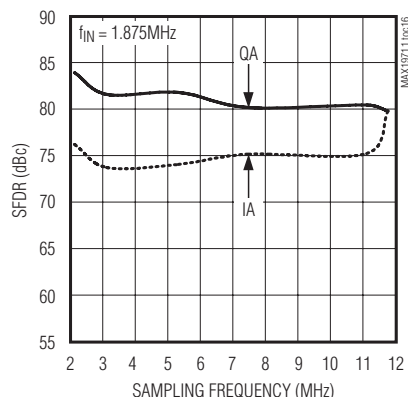
Rx ADC SIGNAL-TO-NOISE AND DISTORTION RATIO vs. SAMPLING FREQUENCY



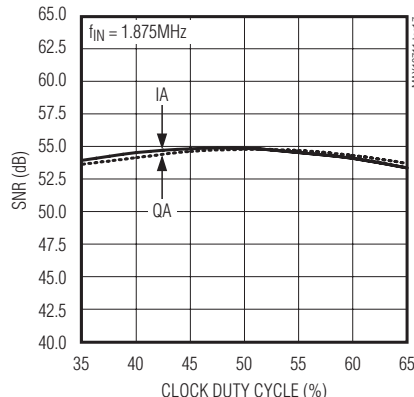
Rx ADC TOTAL HARMONIC DISTORTION vs. SAMPLING FREQUENCY



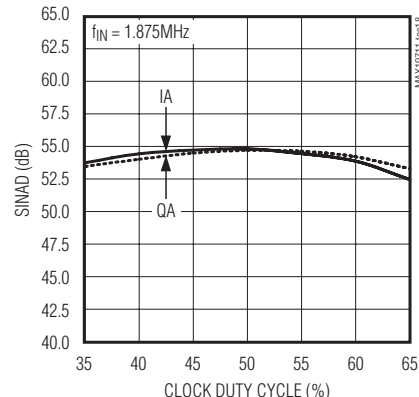
Rx ADC SPURIOUS-FREE DYNAMIC RANGE vs. SAMPLING FREQUENCY



Rx ADC SIGNAL-TO-NOISE RATIO vs. CLOCK DUTY CYCLE



Rx ADC SIGNAL-TO-NOISE AND DISTORTION RATIO vs. CLOCK DUTY CYCLE

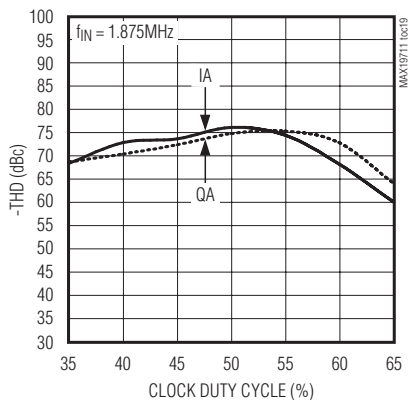


10位、11Mps、全双工模拟前端

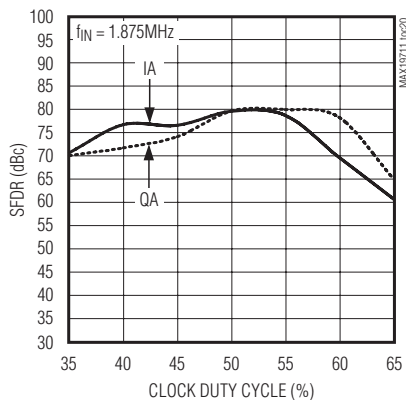
典型工作特性(续)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 11.8MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, $V_{FS} = 410mV$, CM1 = 0, CM0 = 0, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)

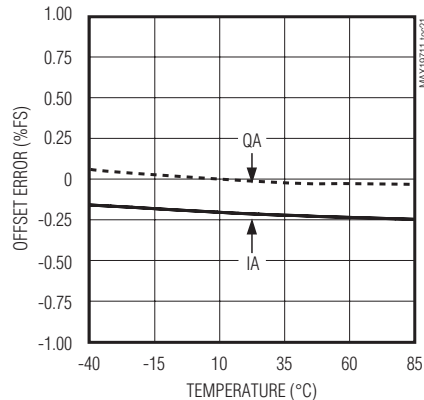
Rx ADC TOTAL HARMONIC DISTORTION vs. CLOCK DUTY CYCLE



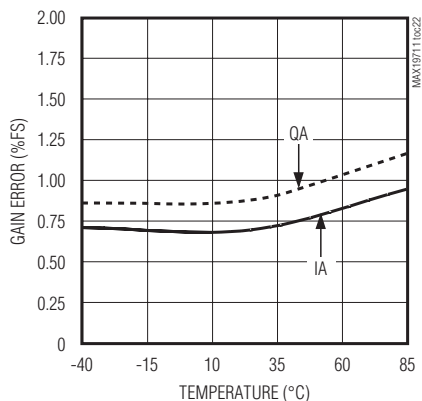
Rx ADC SPURIOUS-FREE DYNAMIC RANGE vs. CLOCK DUTY CYCLE



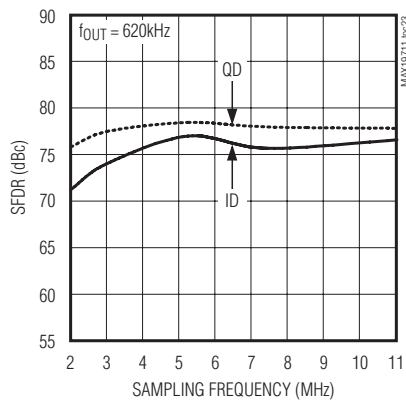
Rx ADC OFFSET ERROR vs. TEMPERATURE



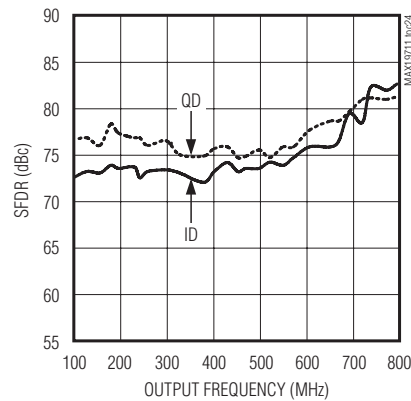
Rx ADC GAIN ERROR vs. TEMPERATURE



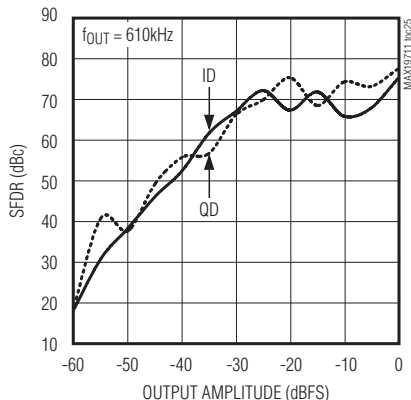
Tx PATH SPURIOUS-FREE DYNAMIC RANGE vs. SAMPLING FREQUENCY



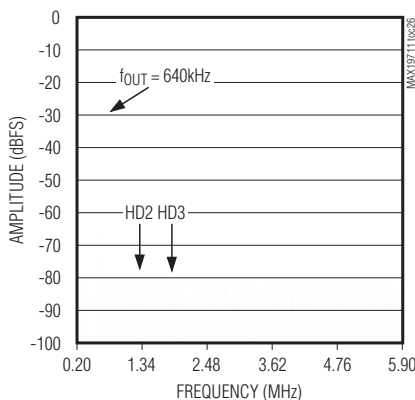
Tx PATH SPURIOUS-FREE DYNAMIC RANGE vs. OUTPUT FREQUENCY



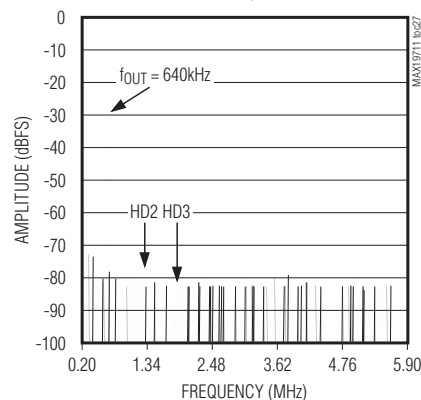
Tx PATH SPURIOUS-FREE DYNAMIC RANGE vs. OUTPUT AMPLITUDE



Tx PATH CHANNEL-ID SPECTRAL PLOT



Tx PATH CHANNEL-QD SPECTRAL PLOT



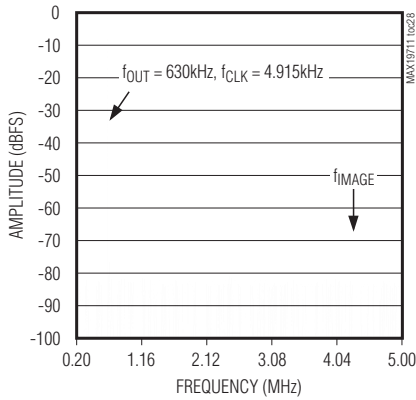
10位、11Mps、全双工模拟前端

典型工作特性(续)

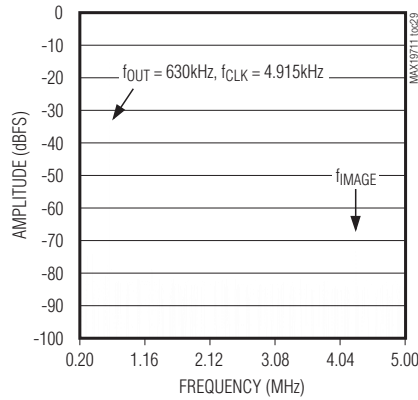
($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 11.8MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, $V_{FS} = 410mV$, CM1 = 0, CM0 = 0, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)

MAX19711

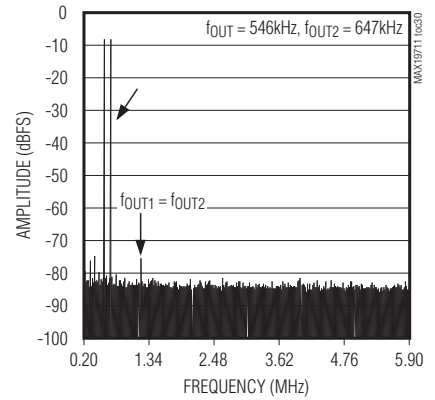
Tx PATH CHANNEL-ID SPECTRAL PLOT WITH IMAGE REJECTION



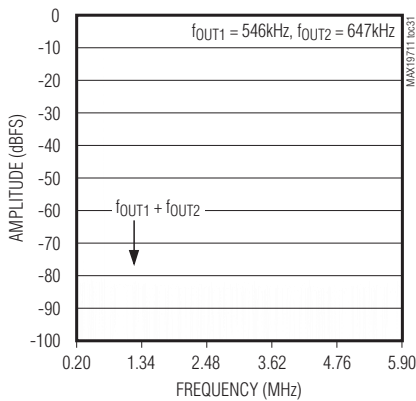
Tx PATH CHANNEL-QD SPECTRAL PLOT WITH IMAGE REJECTION



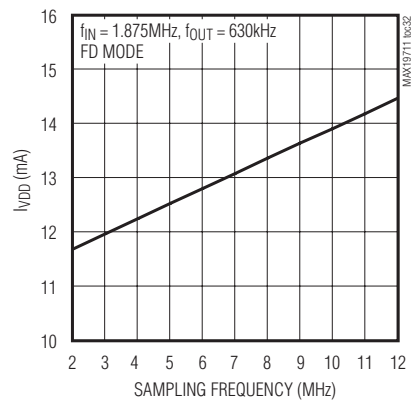
Tx PATH CHANNEL-ID TWO-TONE SPECTRAL PLOT



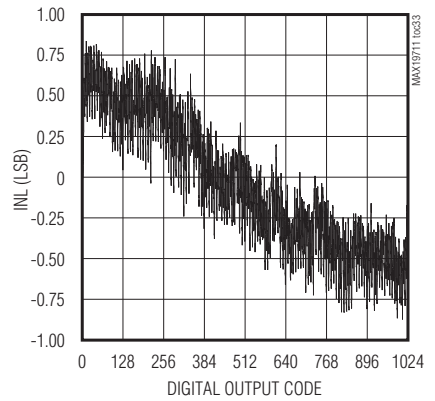
Tx PATH CHANNEL-QD TWO-TONE SPECTRAL PLOT



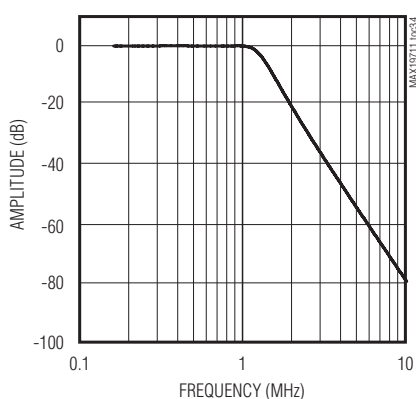
SUPPLY CURRENT vs. SAMPLING FREQUENCY



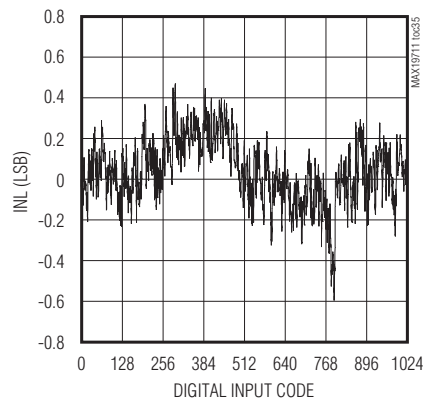
Rx ADC INTEGRAL NONLINEARITY



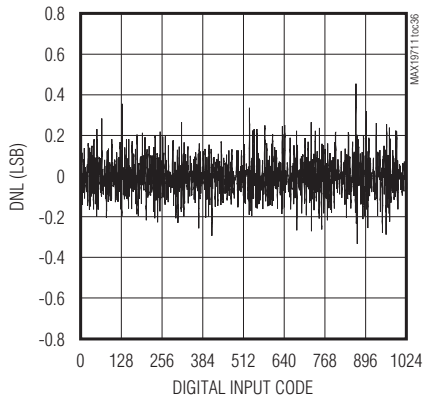
TRANSMIT FILTER FREQUENCY RESPONSE



Tx PATH INTEGRAL NONLINEARITY



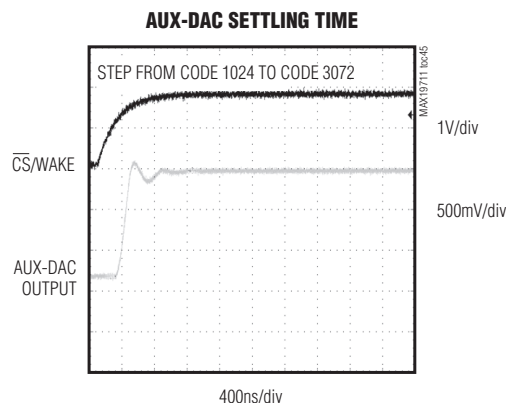
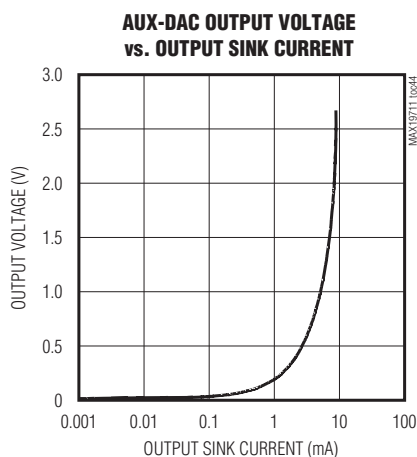
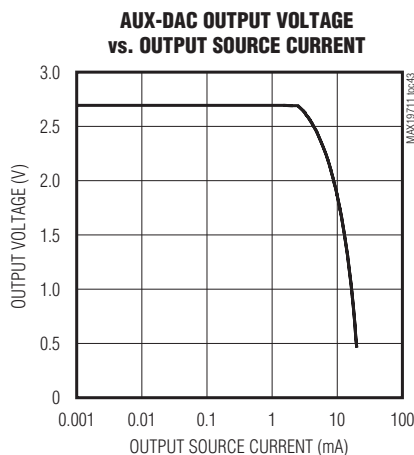
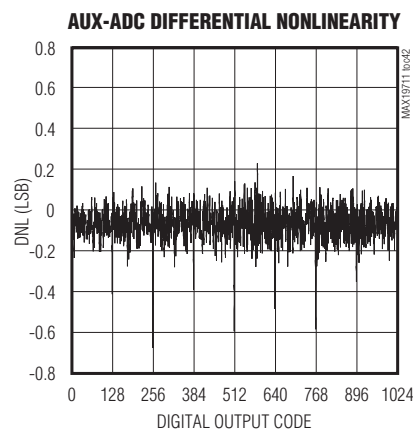
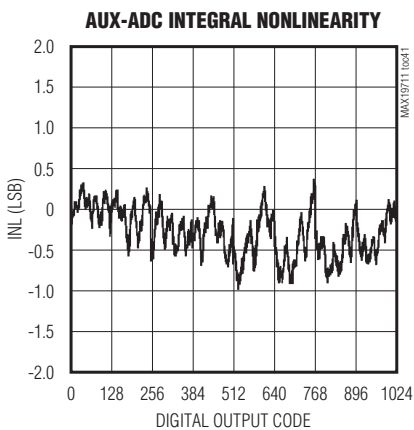
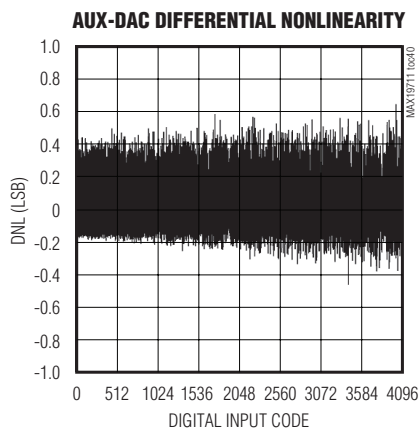
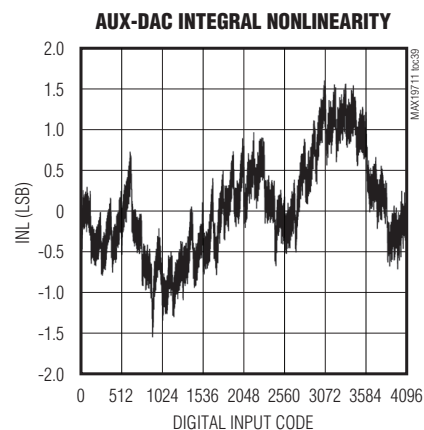
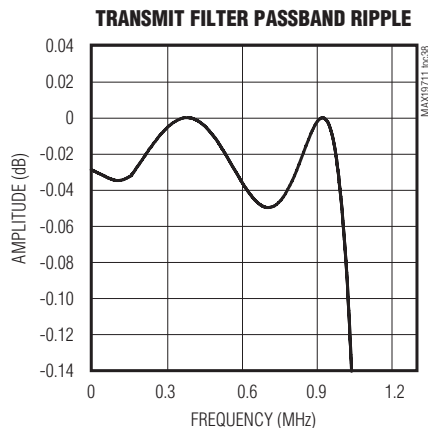
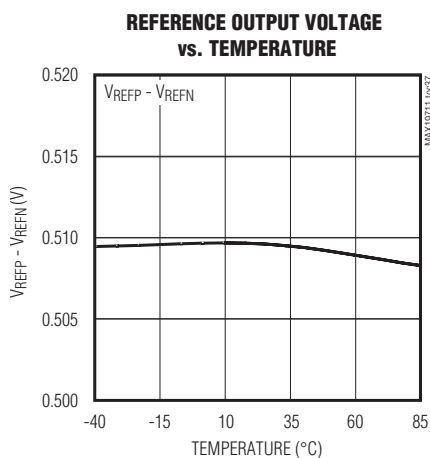
Tx PATH DIFFERENTIAL NONLINEARITY



10位、11Mps、全双工模拟前端

典型工作特性(续)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 11.8MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, $V_{FS} = 410mV$, CM1 = 0, CM0 = 0, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)



10位、11Msps、全双工模拟前端

引脚说明
MAX19711

引脚	名称	功能
1	REFP	正基准电压输入端，用0.33μF电容将其旁路到GND，该电容应尽可能靠近REFP引脚安装。
2, 8, 11, 39, 41, 47, 51	V _{DD}	模拟电源。通过2.2μF和0.1μF并联电容将V _{DD} 旁路至GND。
3	IAP	通道IA同相模拟输入，单端工作方式下，将信号源连至IAP。
4	IAN	通道IA反相模拟输入，单端工作方式下，连接IAN至COM。
5, 7, 12, 40, 50	GND	模拟地，连接所有GND引脚至地平线。
6	CLK	转换时钟输入，接收ADC和发送DAC的时钟信号。
9	QAN	通道QA反相模拟输入。单端工作方式下，连接QAN至COM。
10	QAP	通道QA同相模拟输入。单端工作方式下，将信号源连至QAP。
13–22	AD0–AD9	接收ADC数字输出，AD9为最高有效位(MSB)，AD0为最低有效位(LSB)。
23	OGND	输出驱动器地。
24	OV _{DD}	输出驱动器电源，电压范围为+1.8V至V _{DD} 。通过2.2μF和0.1μF并联电容将OV _{DD} 旁路至OGND。
25–34	DA0–DA9	发送DAC数字输入，DA9为最高有效位(MSB)，DA0为最低有效位(LSB)。DA0–DA9内部上拉至OV _{DD} 。
35	DOUT	辅助ADC数字输出。
36	DIN	3线串行接口数据输入，数据在SCLK上升沿锁存。
37	SCLK	3线串行接口时钟输入。
38	$\overline{\text{CS}}$ /WAKE	3线串行接口片选/WAKE输入。MAX19711关断时， $\overline{\text{CS}}$ /WAKE控制唤醒功能，请参考唤醒功能部分。
42	ADC2	可选择的辅助ADC模拟输入2。
43	ADC1	可选择的辅助ADC模拟输入1。
44	DAC3	辅助DAC3模拟输出(上电时，V _{OUT} = 0)。
45	DAC2	辅助DAC2模拟输出(上电时，V _{OUT} = 0)。
46	DAC1	辅助DAC1模拟输出(AFC DAC，上电时，V _{OUT} = 1.1V)。
48	IDN	Tx DAC通道ID差分输出负端。
49	IDP	Tx DAC通道ID差分输出正端。
52	QDN	Tx DAC通道QD差分输出负端。
53	QDP	Tx DAC通道QD差分输出正端。
54	REFIN	基准输入，使用内部基准时连至V _{DD} 。
55	COM	共模电压I/O，采用0.33μF电容旁路COM至GND。
56	REFN	负基准电压输入端，Rx ADC转换量程为±(V _{REFP} - V _{REFN})。用0.33μF电容旁路REFN至GND。
—	EP	裸焊盘，裸露焊盘在内部连接至GND。连接EP至GND层。

详细说明

MAX19711集成了双路10位Rx ADC和双路10位、带有CDMA基带滤波器的Tx DAC，在11Msps转换速率下具有超低功耗和较高的动态性能。Rx ADC模拟输入放大器为

全差分结构，可接收1.024V_{P-P}满量程信号。Tx DAC模拟输出支持±410mV或±500mV满量程全差分输出，共模直流电压可选，能够对ID–QD进行失调校准。

10位、11Mps、全双工模拟前端

MAX19711集成了3路12位辅助DAC (aux-DAC)和10位、333ksps辅助ADC (aux-ADC), 带有4:1输入多路复用器。辅助DAC用于高速AGC、VGA和AFC的电压设置, 建立时间为1 μ s。辅助ADC具有数据平均电路, 用于降低处理器的系统开销; 时钟分频器用于转换速率设置。

MAX19711采用3线串行接口控制工作模式和电源管理。串行接口兼容于SPI™和MICROWIRE™。MAX19711可通过串行接口选择关断、空闲、待机、FD、发送(Tx)和接收(Rx)模式, 并能控制辅助DAC和辅助ADC。

MAX19711具有两组独立的高速、10位总线, 用于Rx ADC和Tx DAC, 为频分复用双工应用提供全双工(FD)工作模式。每组总线可通过3线接口控制为禁止状态, 以优化电源管理。MAX19711工作在2.7V至3.3V模拟电源和1.8V至3.3V数字电源。

双路10位Rx ADC

ADC的7级全差分、流水线结构可在极低功耗下实现高速转换。流水线各级电路每半个时钟周期对输入进行一次采样。包括输出锁存延时在内, 通道IA的总时延为5个时钟周期, 通道QA为5.5个时钟周期。ADC满量程模拟输入范围为 $\pm V_{REF}$, 共模输入范围为 $V_{DD}/2 (\pm 0.8V)$ 。 V_{REF} 是 V_{REFP} 和 V_{REFN} 之差。详细信息见基准设置部分。

输入采样和保持(T/H)电路

图1是Rx ADC的输入采样、保持(T/H)电路简图。ADC输入(IAP、QAP、IAN和QAN)可以是差分或单端驱动。对IAP和IAN、QAP和QAN进行阻抗匹配, 并将输入信号共模电压设置在Rx ADC的 $V_{DD}/2 (\pm 800mV)$ 范围内, 以实现最佳性能。

MICROWIRE是National Semiconductor Corp.的商标。

SPI是Motorola, Inc.的商标。

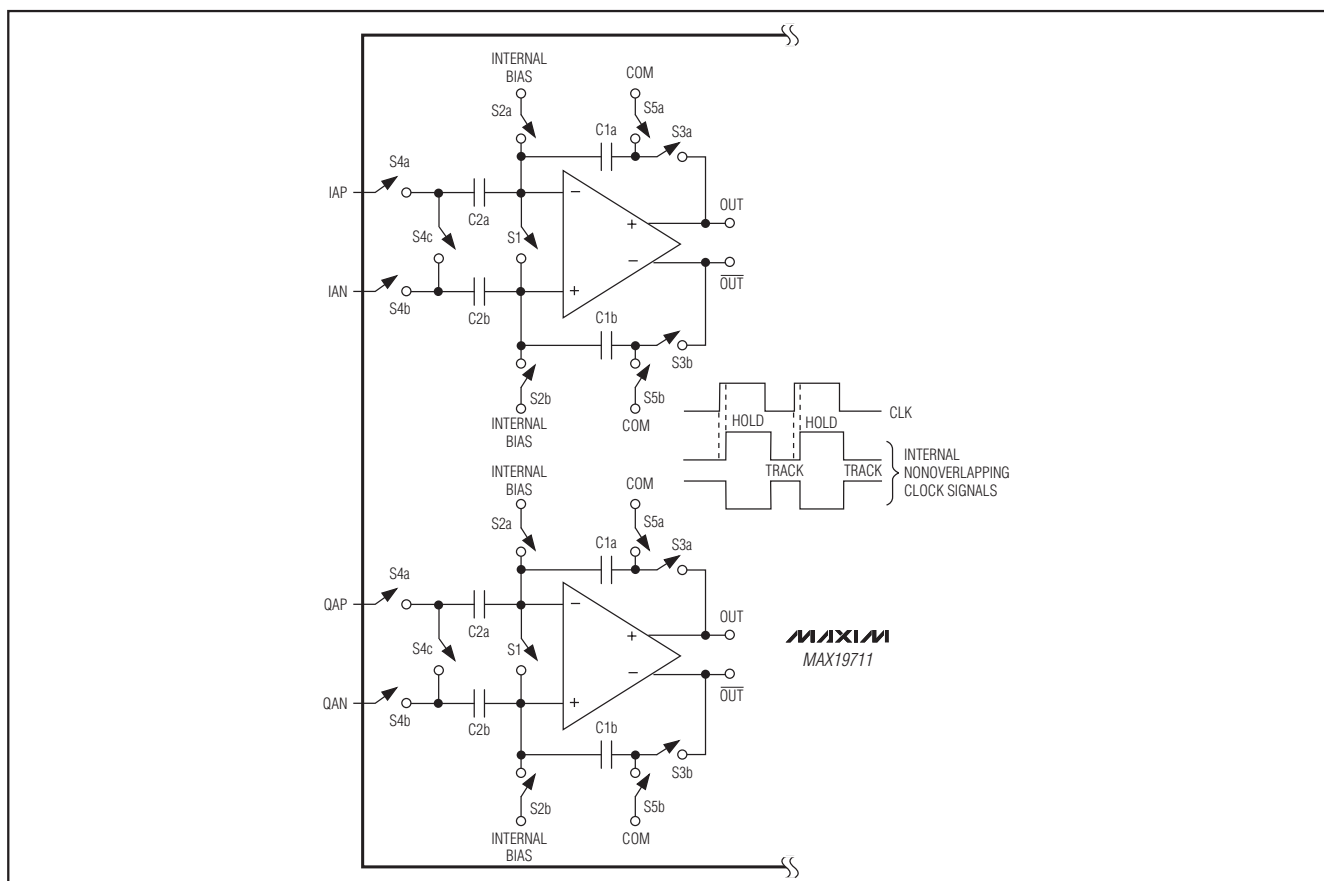


图1. Rx ADC内部T/H电路

10位、11Mbps、全双工模拟前端

表1. Rx ADC输出码与输入电压的对应关系

DIFFERENTIAL INPUT VOLTAGE	DIFFERENTIAL INPUT (LSB)	OFFSET BINARY (AD0–AD9)	OUTPUT DECIMAL CODE
$V_{REF} \times 512/512$	511 (+Full Scale - 1 LSB)	11 1111 1111	1023
$V_{REF} \times 511/512$	510 (+Full Scale - 2 LSB)	11 1111 1110	1022
$V_{REF} \times 1/512$	+1	10 0000 0001	513
$V_{REF} \times 0/512$	0 (Bipolar Zero)	10 0000 0000	512
$-V_{REF} \times 1/512$	-1	01 1111 1111	511
$-V_{REF} \times 511/512$	-511 (-Full Scale + 1 LSB)	00 0000 0001	1
$-V_{REF} \times 512/512$	-512 (-Full Scale)	00 0000 0000	0

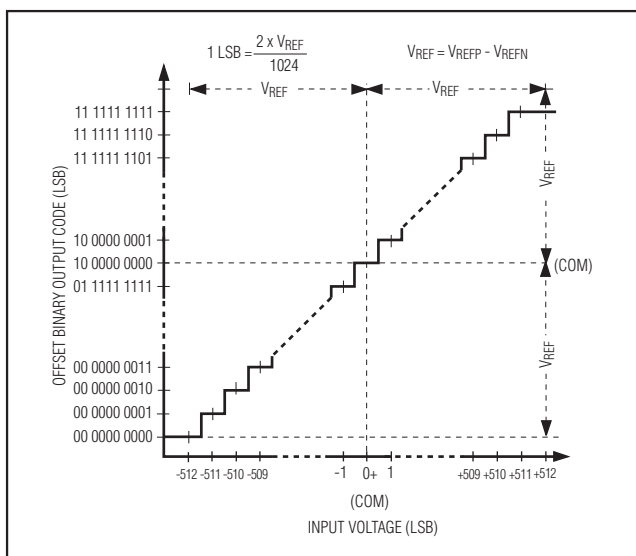


图2. Rx ADC传输函数

Rx ADC系统时序要求

图3是时钟、模拟输入和输出数据结果之间的关系。通道IA和通道QA在时钟信号(CLK)上升沿采样，结果被复用输出到AD0–AD9。IA数据在CLK上升沿刷新，QA数据在CLK下降沿刷新。包括输出锁存延内在内，IA总延时为5个时钟周期，QA为5.5个时钟周期。

数字输出数据(AD0–AD9)

AD0–AD9是MAX19711的Rx ADC数字逻辑输出。逻辑电平由 OV_{DD} 设置在1.8V至 V_{DD} 。数字输出码为偏移二进制码(表1)。应保持尽可能小的数字输出AD0–AD9的容性负载($< 15\text{pF}$)，以避免较大的数字电流馈入MAX19711模拟部分，导致动态性能下降。数字输出缓冲器能够隔离输出与较大的容性负载。在靠近MAX19711的数字输出端串联 100Ω 电阻，有助于提高ADC的性能。关于数字输出端通过 100Ω 串联电阻驱动数字缓冲的实例请参考MAX19711EVKIT功能框图。

在SHDN、IDLE、STBY、SPI2和SPI4状态下，数字输出AD0–AD9为三态。

双路10位Tx DAC与发送通道

双路10位数模转换器(Tx DAC)可工作在高达11MHz的时钟速率下。Tx DAC数字输入，DA0–DA9，复用同一10位总线。电压基准决定Tx DAC在IDP、IDN和QDP、QDN的满量程模拟输出。有关基准电压设置的详细信息，请参考基准设置部分。每路Tx输出通道集成了一个低通滤波器，以满足CDMA频谱模板的要求。

CDMA滤波器的截止频率为1.3MHz； $f_{OUT} = 630\text{kHz}$ ， $f_{CLK} = 4.915\text{MHz}$ 时，在 $f_{IMAGE} = 4.285\text{MHz}$ 处具有大于64dBc的镜频抑制。图4给出了滤波器的频率响应。

10位、11Msps、全双工模拟前端

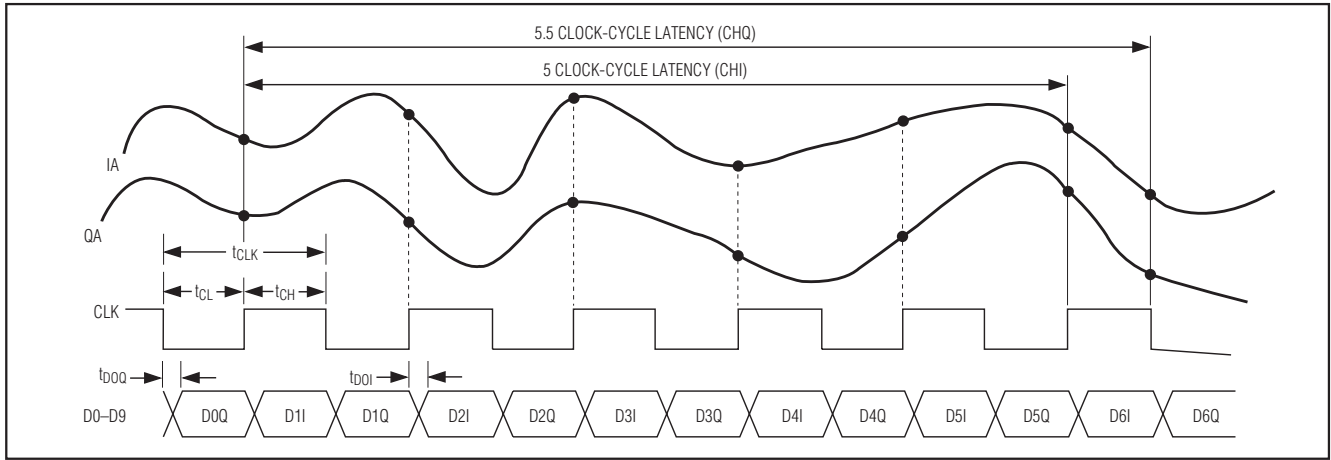


图3. Rx ADC系统时序图

表2. Tx 通道输出电压与输入码的对应关系

(内部基准模式, $V_{REFDAC} = 1.024V$; 外部基准模式, $V_{REFDAC} = V_{REFIN}$, 对于 $820mV_{P-P}$, $V_{FS} = 410$; 对于 $1V_{P-P}$, $V_{FS} = 500$)

DIFFERENTIAL OUTPUT VOLTAGE (V)	OFFSET BINARY (DA0–DA9)	INPUT DECIMAL CODE
$(V_{FS}) \frac{V_{REFDAC}}{1024} \times \frac{1023}{1023}$	11 1111 1111	1023
$(V_{FS}) \frac{V_{REFDAC}}{1024} \times \frac{1021}{1023}$	11 1111 1110	1022
$(V_{FS}) \frac{V_{REFDAC}}{1024} \times \frac{3}{1023}$	10 0000 0001	513
$(V_{FS}) \frac{V_{REFDAC}}{1024} \times \frac{1}{1023}$	10 0000 0000	512
$(V_{FS}) \frac{-V_{REFDAC}}{1024} \times \frac{1}{1023}$	01 1111 1111	511
$(V_{FS}) \frac{-V_{REFDAC}}{1024} \times \frac{1021}{1023}$	00 0000 0001	1
$(V_{FS}) \frac{-V_{REFDAC}}{1024} \times \frac{1023}{1023}$	00 0000 0000	0

CDMA滤波器之后接缓冲放大器，放大器输出(IDN、IDP和QDN、QDP)偏置在可调节的直流共模电压，用于驱动输入阻抗 $\geq 70k\Omega$ 的差分输入级。简化了RF正交上变频器和MAX19711之间的模拟连接。多数RF上变频器需要0.86V至1.36V的共模偏置。MAX19711的直流共模偏置省去了分立的电平设置电阻和编码电平偏移电路，可确保每个Tx DAC的完整动态范围。由于共模直流电压是由内部

产生的，Tx DAC差分模拟输出不能用于单端模式。表2给出了Tx通道输出电压与输入码的对应关系。表11列出了直流共模电压的选择。图5表示Tx DAC模拟输出电压。

缓冲放大器具有可编程的满量程输出： $\pm 410mV$ 或 $\pm 500mV$ ，每路ID–QD通道还具有独立的直流失调校准，这些功能可由SPI接口设置。直流失调校准用于优化Tx信号通路的边带和载波抑制(表8、表10)。

10位、11Mpsps、全双工模拟前端

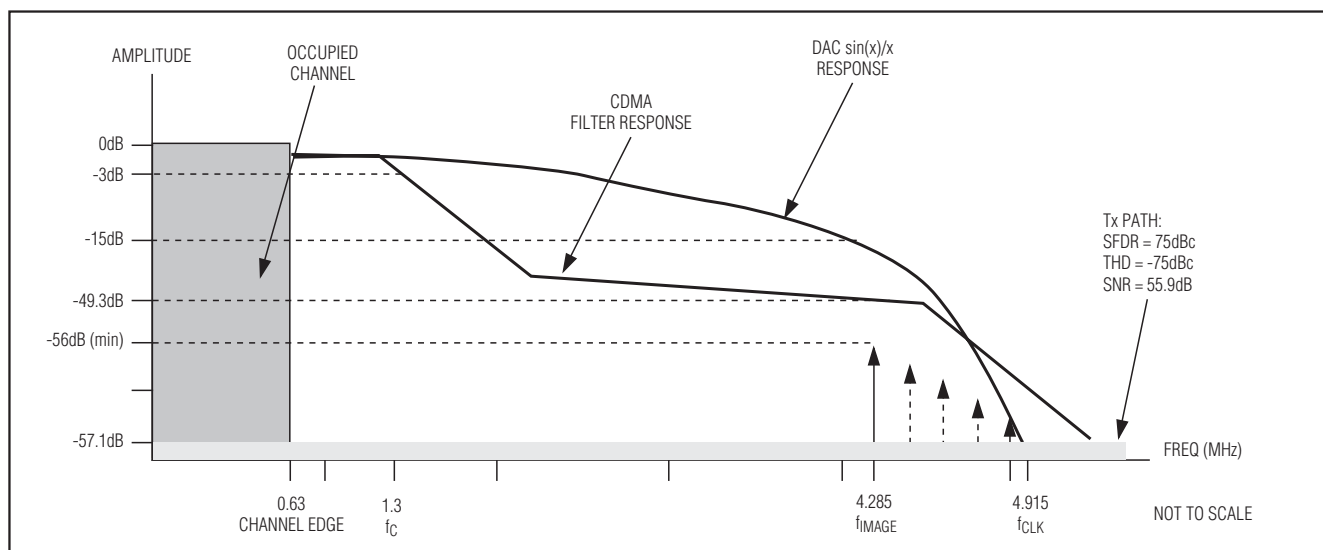


图4. TD-SCDMA滤波器频率响应

Tx DAC时序

图6是时钟、输入数据和模拟输出之间的对应关系。通道ID的数据在时钟信号下降沿锁存，通道QD的数据在时钟信号上升沿锁存，这一时刻ID和QD输出同时刷新。

3线串行接口和工作模式

3线串行接口控制MAX19711工作模式和三路12位辅助DAC及10位辅助ADC。上电时，将MAX19711设置在所要求的模式下。通过3线串行接口设置器件的关断、空闲、待机、FD、Rx、Tx、辅助DAC控制或辅助ADC转换。一个16位数据寄存器用于模式控制，如表3所示。该16位字由A3-A0控制位和D11-D0 12个数据位组成。数据移位顺序是MSB (D11)在前，最后是LSB (A0)。表4列出了MAX19711的电源管理模式，表5给出了由SPI控制的Tx、Rx和FD模式。串行接口在任何模式下保持有效。

SPI寄存器说明

如表3所示，通过设置寄存器的控制位A3-A0选择不同的工作模式。更改A3-A0位，将在ENABLE-16、Aux-DAC1、Aux-DAC2、Aux-DAC3、IOFFSET、QOFFSET、COMSEL、Aux-ADC、ENABLE-8和WAKEUP-SEL模式中进行选择。

ENABLE-16是默认工作模式(见表6)。此模式支持关断、空闲和待机状态，以及FAST、SLOW、Rx和Tx模式间的切换。表4、表5给出了各种模式下的SPI设置。

在ENABLE-16模式下，辅助DAC具有独立的控制位：E4、E5和E6，E7用来设置Tx通道的满量程输出，E9用来使能辅助ADC。表7给出了辅助DAC的使能编码，表8给出了满量程输出选择，表9为辅助ADC的使能编码。E11和E10位保留，需要将E11和E10设为逻辑低。E3、E8位没有使用。

利用Aux-DAC1、Aux-DAC2和Aux-DAC3对DAC1、DAC2和DAC3辅助DAC通道进行选择，并为每个DAC保持输入数据。_D11-_D0是每个辅助DAC的输入数据，可通过SPI编程。MAX19711还包含两个6位寄存器，分别对Tx的ID、QD通道进行失调校准(参见表10)。利用COMSEL模式的CM1和CM0位选择输出共模电压(参见表11)。利用Aux-ADC模式启动辅助ADC转换(详细内容请参考10位、333ksps辅助ADC部分)。ENABLE-8模式用于快速使能和关断、空闲、待机状态之间的切换，以及FAST、SLOW、Rx和Tx模式、FD模式之间的切换。

WAKEUP-SEL寄存器选择MAX19711在退出关断模式后立即进入的工作模式(表12)。请参考唤醒功能部分。

10位、11Mps、全双工模拟前端

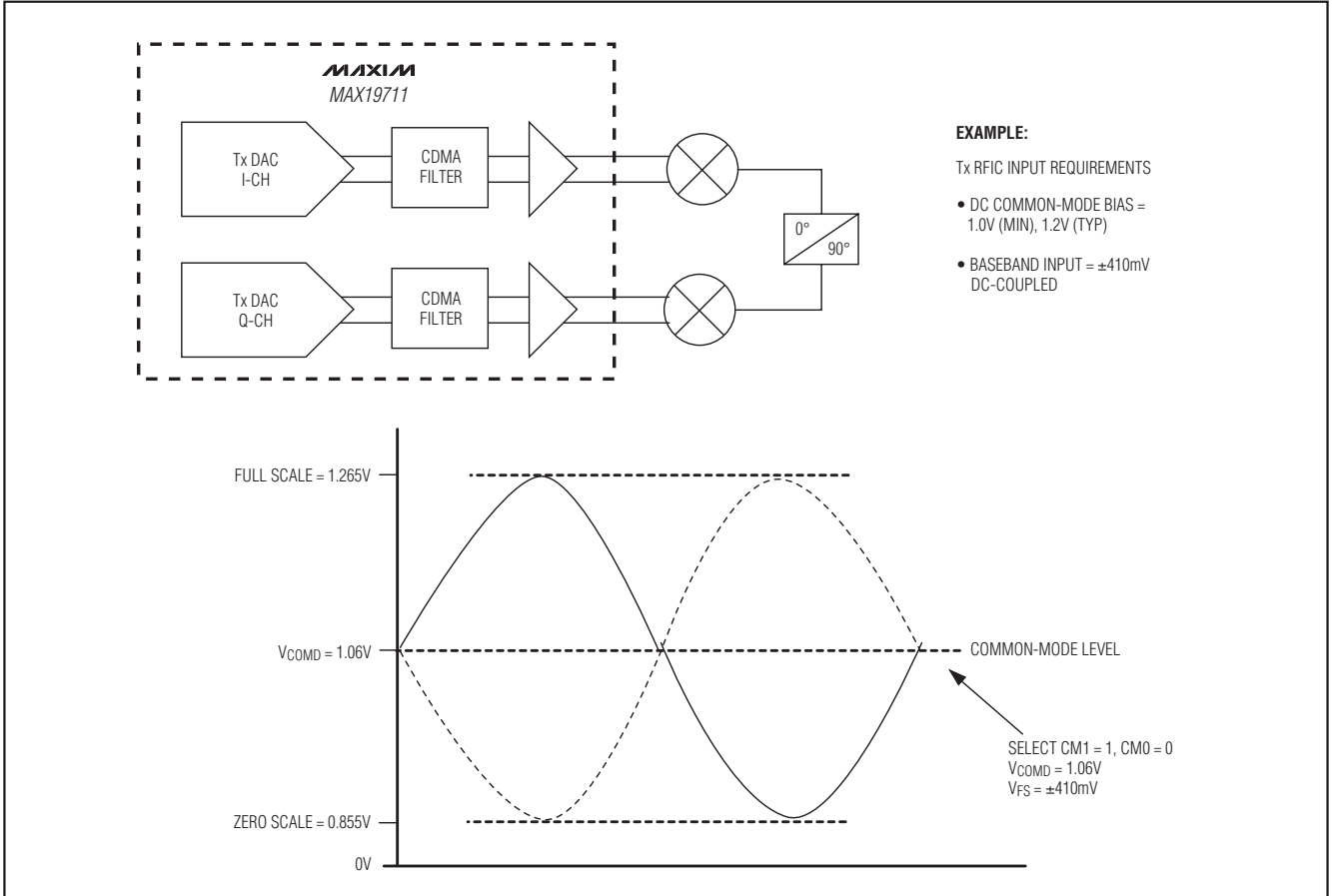


图5. Tx DAC在IDN、IDP和QDN、QDP差分输出的共模直流电压

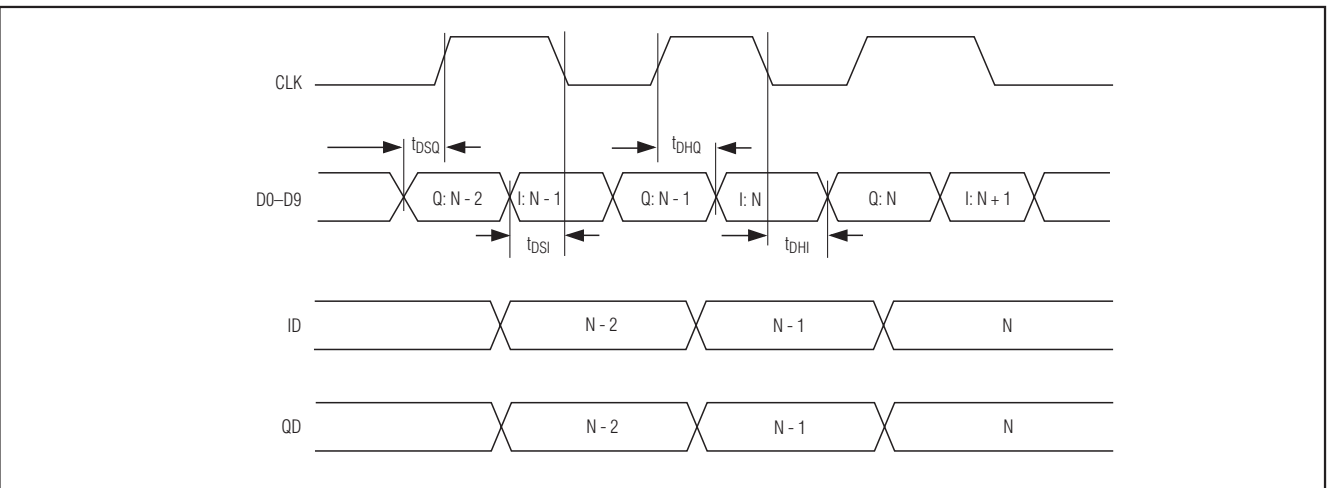


图6. Tx DAC系统时序图

10位、11Mbps、全双工模拟前端

MAX19711

表3. MAX19711模式控制

REGISTER NAME	D11 (MSB)	D10 15	D9 14	D8 13	D7 12	D6 11	D5 10	D4 9	D3 8	D2 7	D1 6	D0 5	A3 4	A2 3	A1 2	A0 1 (LSB)
ENABLE-16	E11 = 0 Reserved	E10 = 0 Reserved	E9	—	E7	E6	E5	E4	—	E2	E1	E0	0	0	0	0
Aux-DAC1	1D11	1D10	1D9	1D8	1D7	1D6	1D5	1D4	1D3	1D2	1D1	1D0	0	0	0	1
Aux-DAC2	2D11	2D10	2D9	2D8	2D7	2D6	2D5	2D4	2D3	2D2	2D1	2D0	0	0	1	0
Aux-DAC3	3D11	3D10	3D9	3D8	3D7	3D6	3D5	3D4	3D3	3D2	3D1	3D0	0	0	1	1
IOFFSET	—	—	—	—	—	—	IO5	IO4	IO3	IO2	IO1	IO0	0	1	0	0
QOFFSET	—	—	—	—	—	—	QO5	QO4	QO3	QO2	QO1	QO0	0	1	0	1
COMSEL	—	—	—	—	—	—	—	—	—	—	CM1	CM0	0	1	1	0
Aux-ADC	AD11 = 0 Reserved	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	1	1	1
ENABLE-8	—	—	—	—	—	—	—	—	—	E2	E1	E0	1	0	0	0
WAKEUP-SEL	—	—	—	—	—	—	—	—	—	W2	W1	W0	1	0	0	1

— = 未使用。

表4. 电源管理模式

ADDRESS				DATA BITS				MODE	FUNCTION (POWER MANAGEMENT)	DESCRIPTION	COMMENT
A3	A2	A1	A0	E9*	E2	E1	E0				
0000 (16-Bit Mode) or 1000 (8-Bit Mode)				1	0	0	0	SHDN	SHUTDOWN	Rx ADC = OFF Tx DAC = OFF (TX DAC outputs at 0V) Aux-DAC = OFF Aux-ADC = OFF CLK = OFF REF = OFF	Device is in complete shutdown.
				X**	0	0	1	IDLE	IDLE	Rx ADC = OFF Tx DAC = OFF (TX DAC outputs at 0V) Aux-DAC = Last State CLK = ON REF = ON	Fast turn-on time. Moderate idle power.
				X**	0	1	0	STBY	STANDBY	Rx ADC = OFF Tx DAC = OFF (TX DAC outputs at 0V) Aux-DAC = Last State CLK = OFF REF = ON	Slow turn-on time. Low standby power.

X = 无关。

*E9位在8位模式下不可用。

**IDLE和STBY模式下，辅助ADC可以关闭或启动。

10位、11Mbps、全双工模拟前端

表5. 利用SPI命令控制MAX19711 Tx、Rx和FD模式

ADDRESS				DATA BITS			MODE	FUNCTION (Tx-Rx SWITCHING SPEED)	DESCRIPTION	COMMENT
A3	A2	A1	A0	E2	E1	E0				
0000 (16-Bit Mode) and 1000 (8-Bit Mode)				0	1	1	SPI1-Rx	SLOW	Rx Mode: Rx ADC = ON Rx Bus = Enabled Tx DAC = OFF (Tx DAC outputs at 0V) Tx Bus = OFF (all inputs are pulled high)	Slow transition to Tx mode from this mode. Low power.
				1	0	0	SPI2-Tx	SLOW	Tx Mode: Rx ADC = OFF Rx Bus = Tri-state Tx DAC = ON Tx Bus = ON	Slow transition to Rx mode from this mode. Low power.
				1	0	1	SPI3-Rx	FAST	Rx Mode: Rx ADC = ON Rx Bus = Enabled Tx DAC = ON (Tx DAC outputs at midscale) Tx Bus = OFF (all inputs are pulled high)	Fast transition to Tx mode from this mode. Moderate power.
				1	1	0	SPI4-Tx	FAST	Tx Mode: Rx ADC = ON Rx Bus = Tri-state Tx DAC = ON Tx Bus = ON	Fast transition to Rx mode from this mode. Moderate power.
				1	1	1	FD	FAST	FD Mode: Rx ADC = ON Rx Bus = ON Tx DAC = ON Tx Bus = ON	Default Mode Fast transition to any mode. Moderate power.

关断模式将关闭MAX19711的所有模拟电路(包括基准)。关断模式下，Rx ADC数字输出置为三态模式，Tx DAC数字输入由内部上拉至 OV_{DD} ，Tx DAC输出为0V。当Rx ADC输出由三态恢复到有效状态时，之前的转换结果被送至数据输出总线。Tx DAC从关断模式唤醒时，以前存储的数据将会丢失。从关断模式唤醒所需要的时间取决于REFP、REFN和COM端电容的充电时间。内部基准模式

和带缓冲的外部基准模式下，唤醒时间典型值为：进入Rx模式500 μ s，进入Tx模式26 μ s，进入FD模式500 μ s。

所有工作模式下，Tx DAC输入DA0–DA9由内部上拉至 OV_{DD} 。为了降低MAX19711关断模式下的电源电流，不要在关断模式下拉低DA0–DA9，这对关断模式下保证获取低静态电流非常重要。

10位、11Msps、全双工模拟前端

MAX19711

表6. MAX19711默认(上电)寄存器设置

REGISTER NAME	D11 16 (MSB)	D10 15	D9 14	D8 13	D7 12	D6 11	D5 10	D4 9	D3 8	D2 7	D1 6	D0 5
ENABLE-16	0	0	0 Aux-ADC = ON	—	0 VFS = ±410mV	0	0	0	—	1	1	1
Aux-DAC1	0	1	1	0	1	0	0	0	1	1	0	0
	DAC1 output set to 1.1V											
Aux-DAC2	0	0	0	0	0	0	0	0	0	0	0	0
	DAC2 output set to 0V											
Aux-DAC3	0	0	0	0	0	0	0	0	0	0	0	0
	DAC3 output set to 0V											
IOFFSET	—	—	—	—	—	—	0	0	0	0	0	0
	No offset on channel ID											
QOFFSET	—	—	—	—	—	—	0	0	0	0	0	0
	No offset on channel QD											
COMSEL	—	—	—	—	—	—	—	—	—	—	0	0
	VCOMD = 1.36V											
Aux-ADC	0	0	0	0	0	0	0	0	0	0	0	0
	Aux-ADC = ON, Conversion = IDLE, Aux-ADC REF = 2.048V, MUX = ADC1, Averaging = 1, Clock Divider = 1, DOUT = Disabled											
ENABLE-8	—	—	—	—	—	—	—	—	—	1	1	1
	FD mode											
WAKEUP-SEL	—	—	—	—	—	—	—	—	—	1	1	1
	Wake-up state = FD mode											

表7. 辅助DAC使能表(ENABLE-16模式)

E6	E5	E4	Aux-DAC3	Aux-DAC2	Aux-DAC1
0	0	0	ON	ON	ON
0	0	1	ON	ON	OFF
0	1	0	ON	OFF	ON
0	1	1	ON	OFF	OFF
1	0	0	OFF	ON	ON
1	0	1	OFF	ON	OFF
1	1	0	OFF	OFF	ON
1	1	1	OFF	OFF	OFF
0	0	0	Default mode		

表8. Tx通道满量程选择(ENABLE-16模式)

E7	Tx-PATH OUTPUT FULL SCALE
0 (Default)	±410mV
1	±500mV

表9. 辅助ADC使能表(ENABLE-16模式)

E9	SELECTION
0 (Default)	Aux-ADC is Powered ON
1	Aux-ADC is Powered OFF

10位、11Msps、全双工模拟前端

表 10. ID、QD通道失调控制位(IOFFSET或QOFFSET模式)

BITS IO5–IO0 WHEN IN IOFFSET MODE, BITS Q05–Q00 WHEN IN QOFFSET MODE						OFFSET 1 LSB = (VFS _{P-P} / 1023)
IO5/Q05	IO4/Q04	IO3/Q03	IO2/Q02	IO1/Q01	IO0/Q00	
1	1	1	1	1	1	-31 LSB
1	1	1	1	1	0	-30 LSB
1	1	1	1	0	1	-29 LSB
•	•	•	•	•	•	•
•	•	•	•	•	•	•
•	•	•	•	•	•	•
1	0	0	0	1	0	-2 LSB
1	0	0	0	0	1	-1 LSB
1	0	0	0	0	0	0mV
0	0	0	0	0	0	0mV (Default)
0	0	0	0	0	1	1 LSB
0	0	0	0	1	0	2 LSB
•	•	•	•	•	•	•
•	•	•	•	•	•	•
•	•	•	•	•	•	•
0	1	1	1	0	1	29 LSB
0	1	1	1	1	0	30 LSB
0	1	1	1	1	1	31 LSB

注：发送通道选择±410mV的满量程输出时：1 LSB = (820mV_{P-P} / 1023) = 0.8016mV；发送通道选择±500mV的满量程输出时：1 LSB = (1V_{P-P} / 1023) = 0.9775mV；

表 11. 共模选择(COMSEL模式)

CM1	CM0	Tx PATH OUTPUT COMMON MODE (V)
0	0	1.36 (Default)
0	1	1.20
1	0	1.15
1	1	0.86

空闲模式下，基准和时钟分配电路工作，其它所有功能都被禁止；Rx ADC的输出AD0–AD9强制为三态。Tx DAC的输入DA0–DA9由内部上拉至OV_{DD}，Tx DAC输出为0V。唤醒时间为：进入Rx模式6.8μs，进入Tx模式5μs，进入FD模式6.8μs。当Rx ADC输出从三态恢复到有效状态时，之前的转换结果被送至数据输出总线。

待机模式下，基准保持供电状态，器件其它功能被禁止。从待机模式的唤醒时间为：进入Rx模式7.2μs，进入Tx模式21.8μs，进入FD模式21.8μs。当Rx ADC输出从三态恢复到有效状态时，之前的转换结果被送至数据输出总线。

表 12. WAKEUP-SEL寄存器

W2	W1	W0	POWER MODE AFTER WAKE-UP (WAKE-UP STATE)
0	0	0	Invalid Value. This value is ignored when inadvertently written to the WAKEUP-SEL register.
0	0	1	IDLE
0	1	0	STBY
0	1	1	SPI1-SLOW Rx
1	0	0	SPI2-SLOW Tx
1	0	1	SPI3-FAST Rx
1	1	0	SPI4-FAST Tx
1	1	1	FD (Default)

FAST/SLOW Rx和Tx模式

MAX19711提供FAST和SLOW模式实现Rx与Tx之间的切换。在FAST Tx模式，Rx ADC核上电，但ADC的数据输出AD0–AD9总线为三态；Tx DAC的数据总线有效，DAC核处于有效工作状态。

10位、11Mps、全双工模拟前端

在FAST Rx模式下, Tx通道(DAC核与Tx滤波器)上电, Tx输出置于中心电平处。此模式下, Tx DAC的输入总线断开与DAC核的连接, DA0–DA9由内部上拉至 OV_{DD} 。Rx ADC数据总线此时有效, ADC核处于有效工作状态。

FAST模式下, 由于变换器已经处于上电状态, 不必从关断状态恢复, 因此Tx至Rx或Rx至Tx的切换时间很短。FAST模式下, Rx至Tx的切换时间是 $1\mu s$, Tx至Rx的切换时间为 $0.1\mu s$ 。由于Tx和Rx内核始终保持供电状态, FAST模式下功耗较高。

SLOW Tx模式下, Rx ADC核关闭, ADC的数据输出AD0–AD9处于三态。Tx DAC数据总线有效, DAC核处于有效工作模式。SLOW Rx模式下, Tx DAC核关闭, Tx DAC输出为0。SLOW Rx模式下, Tx DAC输入总线断开与DAC核的连接, DA0–DA9由内部上拉至 OV_{DD} 。Rx ADC的数据总线有效, ADC核处于有效工作状态。SLOW模式下, Rx至Tx的切换时间为 $5\mu s$, Tx至Rx为 $6.8\mu s$ 。

SLOW Tx模式下功耗为 $34.5mW$; SLOW Rx模式下功耗为 $24.3mW$ 。而FAST Tx模式下的功耗为 $42.3mW$, FAST Rx模式下的功耗为 $41.4mW$ 。

FD模式

MAX19711具有一个FD模式, 非常适合频分复用双工系统。FD模式下, Rx ADC和Tx DAC, 以及它们对应的数字总线, 均为有效状态, 可同时接收、发送数据。由于器件内部的变换器已经处于上电状态, 当从FD模式切换到Rx ($0.1\mu s$) 或Tx ($1\mu s$) 模式时速度非常快。当然, 这种模式在所有工作模式中功耗最大。FD模式下, MAX19711耗电 $42.75mW$ 。

唤醒功能

MAX19711通过SPI接口控制器件的工作模式, 其中包括关断、唤醒功能。一旦器件在适当的SPI命令控制下进入关断模式, $\overline{CS}/WAKE$ 的第一个脉冲将启动唤醒过程。MAX19711在 $\overline{CS}/WAKE$ 的第一个上升沿强行将工作模式置于WAKEUP-SEL寄存器所决定的模式, 这一过程称为唤醒状态。如果WAKEUP-SEL寄存器事先没有经过编程设置, MAX19711唤醒后的状态为默认的FD模式(表6、12)。WAKEUP-SEL寄存器不能设置为 $W2=0$ 、 $W1=0$ 和 $W0=0$ 。如果不小心将此值写入器件, 寄存器将不响应这一操作, 继续保持原来的数值。唤醒后, MAX19711进入WAKEUP-SEL寄存器决定的上电模式, 所有其它设置(Tx DAC失调控制、Tx DAC共模电压、辅助DAC设置、辅助ADC状态)恢复到关断前的数值。

MAX19711在关断期间只监视一条SPI信号线, 即 $\overline{CS}/WAKE$ 。与 $\overline{CS}/WAKE$ 唤醒脉冲同时发送的任何信息将被忽略。

SPI时序

串行数字接口兼容于SPI/QSPI™/MICROWIRE/DSP 3线标准接口($\overline{CS}/WAKE$ 、SCLK、DIN)。 $\overline{CS}/WAKE$ 置低允许串行数据加载到DIN或输出到DOUT。 $\overline{CS}/WAKE$ 由高变低时, 数据在串行时钟(SCLK)上升沿以高位在先的方式同步移位。16位数据装入串行输入寄存器后, $\overline{CS}/WAKE$ 变高锁存数据。在下一个写周期前, 需要将 $\overline{CS}/WAKE$ 置为高电平, 并至少保持 $80ns$ 。SCLK在转换期间为空闲状态, 可以是高电平, 也可以是低电平。图7是3线串行接口的详细时序。

QSPI是Motorola, Inc.的商标。

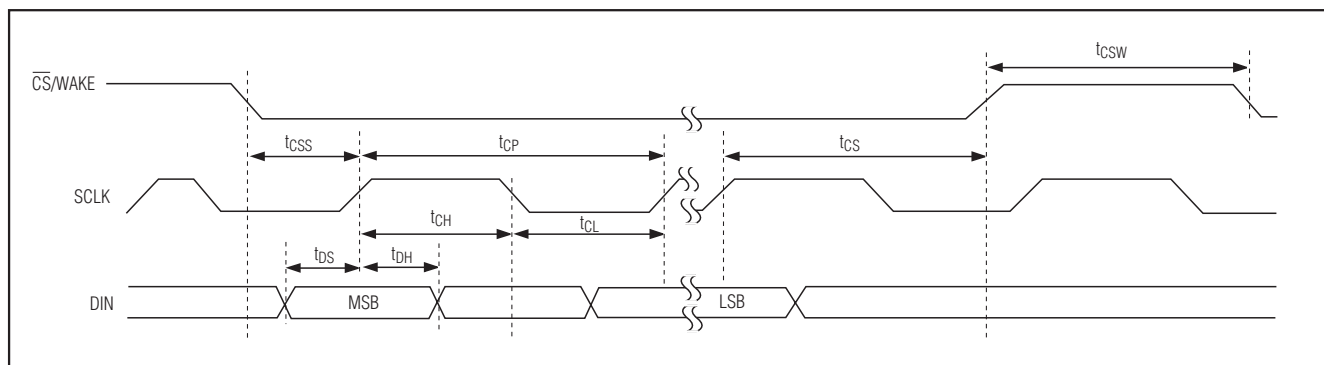


图7. 串行接口时序图

10位、11Msps、全双工模拟前端

模式恢复时序

图8是模式恢复时序。 t_{WAKE} 是退出关断、空闲或待机模式，进入Rx、Tx或FD模式的唤醒时间。 t_{ENABLE} 是Rx和Tx模式之间相互切换的恢复时间。 t_{WAKE} 和 t_{ENABLE} 分别是Rx ADC达到指定SINAD指标1dB以内的建立时间和Tx DAC达到10个LSB误差范围内的时间。 t_{WAKE} 和 t_{ENABLE} 是在16位串行指令由 $\overline{CS}/WAKE$ 上升沿锁存到MAX19711后进行测量。在FAST模式下，切换到Rx模式的恢复时间为0.1 μ s，切换到Tx模式的恢复时间为1 μ s。

系统时钟输入(CLK)

Rx ADC和Tx DAC共用CLK输入。CLK输入可接受由 OV_{DD} 设置的1.8V至 V_{DD} 的CMOS逻辑电平。由于器件的级间转换取决于外部时钟重复的上升沿和下降沿，应采用低抖动、上升和下降时间较快(< 2ns)的时钟。由于在时钟信号上升沿采样，要求该上升沿抖动应尽可能低。任何明显的时钟抖动都会降低片内Rx ADC的SNR指标，如下式所示：

$$SNR = 20 \times \log \left(\frac{1}{2 \times \pi \times f_N \times t_{AJ}} \right)$$

其中， f_N 代表模拟输入频率， t_{AJ} 是时钟抖动时间。

时钟抖动对于欠采样应用非常关键。可将时钟输入作为模拟输入考虑，与其它模拟输入和数字信号线分开布线。MAX19711时钟输入电压门限为 $OV_{DD} / 2$ ，占空比50% $\pm 15\%$ 。

当CLK输入端的时钟信号停止时($CLK = 0V$ 或 OV_{DD})，所有内部寄存器将保持其最近的数据。MAX19711则保存最近的电源管理模式或Tx/Rx/FD命令。所有转换电路(Rx ADC、Tx DAC、辅助ADC、辅助DAC)保持其最后一次的转换数值。当CLK输入端的时钟信号重新恢复时，在Tx DAC刷新之前，或读取有效的Rx ADC转换结果之前，或者是启动一次辅助ADC转换之前，内部时钟电路需要7.2 μ s的建立时间(时钟唤醒)。这样，能够保证数据转换(Rx ADC、Tx DAC、辅助ADC)满足动态特性指标的要求。辅助DAC通道与CLK无关，所以，它们可以在CLK处于空闲状态时刷新数据。

12位辅助控制DAC

MAX19711包含三路12位辅助DAC (DAC1、DAC2、DAC3)，建立时间为1 μ s，用于控制可变增益放大器(VGA)、自动增益控制(AGC)和自动频率控制(AFC)。辅助DAC输出范围为0.2V至2.57V，由 $V_{OH} - V_{OL}$ 决定。上电过程中，VGA和AGC输出(DAC2和DAC3)为零。AFC DAC (DAC1)上电期间输出为1.1V。辅助DAC可由SPI总线单独控制，但在SHDN模式下，辅助DAC完全关断，输出电压为零。在STBY和IDLE模式下，辅助DAC维持上一次的转换结果。从SHDN唤醒时，辅助DAC恢复上一次的转换结果。

应仔细考虑辅助DAC的输出负载，以获得所需的建立时间和稳定性。容性负载最大不得超过5pF (含封装和引线电容)，阻性负载必须大于200k Ω 。如果容性负载大于5pF，则需在输出上串联一个10k Ω 电阻。此串联电阻有助于驱动较大的负载电容(< 15pF)，但会延长建立时间。

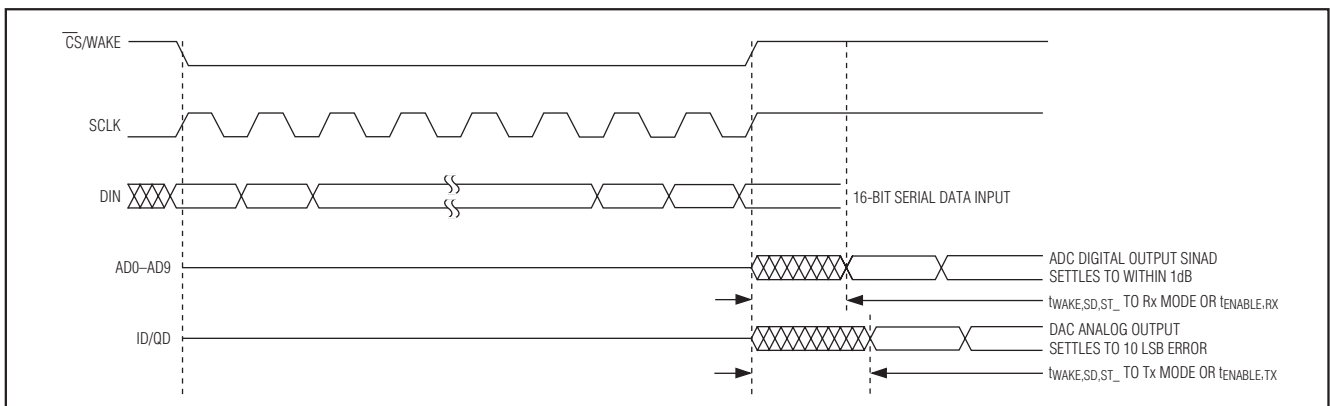


图8. 模式恢复时序

10位、11MSPS、全双工模拟前端

10位、333kSPS辅助ADC

MAX19711集成了333kSPS、10位辅助ADC，带有4:1输入多路复用器。在辅助ADC模式寄存器中，AD0置位将启动一次辅助ADC转换。转换完成后，AD0位自动清零。转换期间将AD0置位或清零均无效(参见表13)。AD1位决定辅助ADC的内部基准(参见表14)。AD2和AD3位决定辅助ADC的输入源(参见表15)。AD4、AD5和AD6位用来选择发出一条开始转换命令后取平均的个数。随着取平均个数的增加，转换时间也变长(参见表16)。适当设置AD7、AD8和AD9位，可对系统时钟分频，得到转换时钟(参见表17)。将AD10位置高，可在DOUT输出辅助ADC的输出数据(参见表18)。

辅助ADC带有4:1输入多路复用器，能够测量四路输入源。输入源是由AD3和AD2(参见表15)选择。两个多路复用器输入(ADC1和ADC2)可以连接到外部信号源，例如：MAX2208射频功率检测器或MAX6613温度传感器。另外两个多路复用器输入内部连接到 V_{DD} 和 OV_{DD} ，用于监测电源电压。内部 V_{DD} 和 OV_{DD} 连接通过集成的电阻分压器实现，产生 $V_{DD}/2$ 和 $OV_{DD}/2$ 的测量结果。辅助ADC的电压基准可从内部2.048V带隙基准或/和 V_{DD} (参见表13)选择。通过选择 V_{DD} 基准，能够以高于2.048V的满量程范围测量外部电压。输入源电压范围不能超出 V_{DD} 。

表 13. 辅助ADC转换

AD0	SELECTION
0	Aux-ADC Idle (Default)
1	Aux-ADC Start-Convert

表 14. 辅助ADC基准

AD1	SELECTION
0	Internal 2.048V Reference (Default)
1	Internal V_{DD} Reference

表 15. 辅助ADC输入源

AD3	AD2	Aux-ADC INPUT SOURCE
0	0	ADC1 (Default)
0	1	ADC2
1	0	$V_{DD}/2$
1	1	$OV_{DD}/2$

转换过程需要12个时钟沿(1个时钟用于输入采样、10位数据的每一位需要1个时钟，最后1个时钟用于装载串行输出寄存器)完成一次转换(未进行数据平均操作)。数据平均每次转换需要12个时钟沿(当参与数据平均的个数大于1时)，转换时钟由系统时钟输入(CLK)产生。SPI可编程分频器对系统时钟进行适当分频(设置AD7、AD8和AD9位；参见表17)，并为辅助ADC提供转换时钟。辅助ADC的最大转换速率为333kSPS。最大转换时钟频率为4MHz ($333\text{kSPS} \times 12$ 个时钟)。根据提供给MAX19711的系统CLK频率，选择适当的分频比使转换时钟频率小于4MHz(参见表17)。辅助ADC的总转换时间(t_{CONV})可通过下式计算： $t_{CONV} = (12 \times N_{AVG} \times N_{DIV}) / f_{CLK}$ ；其中， N_{AVG} 为参与数据平均的个数(参见表16)、 N_{DIV} 为CLK分频比(参见表17)， f_{CLK} 为系统CLK频率。

表 16. 辅助ADC数据平均

AD6	AD5	AD4	Aux-ADC AVERAGING
0	0	0	1 Conversion (No Averaging) (Default)
0	0	1	Average of 2 Conversions
0	1	0	Average of 4 Conversions
0	1	1	Average of 8 Conversions
1	0	0	Average of 16 Conversions
1	0	1	Average of 32 Conversions
1	1	X	Average of 32 Conversions

X= 无关。

表 17. 辅助ADC时钟(CLK)分频器

AD9	AD8	AD7	Aux-ADC CONVERSION CLOCK
0	0	0	CLK Divided by 1 (Default)
0	0	1	CLK Divided by 2
0	1	0	CLK Divided by 4
0	1	1	CLK Divided by 8
1	0	0	CLK Divided by 16
1	0	1	CLK Divided by 32
1	1	0	CLK Divided by 64
1	1	1	CLK Divided by 128

10位、11Msps、全双工模拟前端

表 18. 辅助ADC数据输出模式

AD10	SELECTION
0	Aux-ADC Data is Not Available on DOUT (Default)
1	Aux-ADC Enters Data Output Mode Where Data is Available on DOUT

从辅助ADC读取DOUT

DOUT通常处于高阻态，将辅助ADC启动转换位(AD0)置位，DOUT有效并置为高电平，表示辅助ADC忙。转换周期完成(包括取平均在内)后，将数据放入输出寄存器，且DOUT变为低电平，表示输出数据已就绪，可送至DOUT端。当AD10置位(AD10=1)时，辅助ADC进入数据输出模式，当 $\overline{CS}/WAKE$ 置为低电平时数据在DOUT端有效。辅助ADC数据移出DOUT (MSB在前)，在串行时钟(SCLK)的下降沿移出数据。由于读取DOUT需要16位数据，DOUT将保持最后一次转换的数据位作为低6位(6位最低有效位)。 $\overline{CS}/WAKE$ 置高时，DOUT进入高阻态。当AD10清零(AD10=0)时，不能够从DOUT获取辅助ADC数据(参见表18)。

辅助ADC完成一次转换后，转换结果将装载到输出寄存器，等待移出。在数据移出之前不能有进一步的转换操作，即如果第一个转换命令设置AD10=0、AD0=1，随后的命令不能是转换命令：AD10=0、AD0=1或AD10=1、AD0=1。如果不小心使用了这些命令，DOUT将被禁止。为简单起见，可设置AD0=0。

通过连续发送指令，设置AD10=1、AD0=1，能够以最高速率实现辅助ADC的转换。该转换过程中，在 $\overline{CS}/WAKE$ 的下降沿将前一次转换完成的数据移至DOUT，在 $\overline{CS}/WAKE$ 的上升沿从DIN装载下一个转换命令。在每次发送下一转换命令之前有足够的时间完成转换操作。图9给出了单次转换、连续转换的时序。

表 19. 基准模式

VREFIN	REFERENCE MODE
$> 0.8V \times V_{DD}$	Internal Reference Mode. VREF is internally generated to be 0.512V. Bypass REFP, REFN, and COM each with a 0.33 μ F capacitor.
1.024V $\pm$ 10%	Buffered External Reference Mode. An external 1.024V $\pm$ 10% reference voltage is applied to REFIN. VREF is internally generated to be VREFIN / 2. Bypass REFP, REFN, and COM each with a 0.33 μ F capacitor. Bypass REFN to GND with a 0.1 μ F capacitor.

可对DIN进行写操作，与DOUT状态无关。从DIN端输入的16位指令更新器件配置。为防止从DOUT读数据时更改内部寄存器，须保持DIN处于高电平状态(仅适用没有执行辅助ADC转换的情况)。可向地址1111写入全1，因为不存在地址1111，所以内部寄存器不会受到影响。

基准设置

MAX19711内部精密的1.024V带隙基准可在整个电源范围和温度范围内保持稳定。REFIN输入提供两种基准模式。由REFIN电压(VREFIN)设置基准工作模式(表19)。

内部基准模式下，将REFIN连接到 V_{DD} 。VREF是由内部产生的0.512V $\pm$ 4%电压基准。COM、REFP和REFN分别为低阻输出， $V_{COM} = V_{DD} / 2$ 、 $V_{REFP} = V_{DD} / 2 + V_{REF} / 2$ 、 $V_{REFN} = V_{DD} / 2 - V_{REF} / 2$ 。分别采用0.33 μ F电容旁路REFP、REFN和COM。采用0.1 μ F电容旁路REFIN至GND。

对于带缓冲的外部基准模式，在REFIN端接1.024V $\pm$ 10%电压。此时，COM、REFP和REFN为低阻输出， $V_{COM} = V_{DD} / 2$ 、 $V_{REFP} = V_{DD} / 2 + V_{REFIN} / 4$ 、 $V_{REFN} = V_{DD} / 2 - V_{REFIN} / 4$ 。分别采用0.33 μ F电容旁路REFP、REFN和COM。采用0.1 μ F电容旁路REFIN至GND。此模式下，Tx通道满量程输出与外部基准成正比。例如，如果VREFIN增加10% (最大值)，Tx通道满量程输出也相应增大10%，达到 $\pm$ 451mV。

应用信息

采用非平衡变压器AC耦合

RF变压器(图10)为单端信号至差分信号转换提供了一种优异的解决方案，可获得最佳ADC性能。将变压器中心抽头连至COM，为输入提供一个 $V_{DD} / 2$ 的DC电平偏置。可以使用1:1变压器，为降低对驱动电路的要求，也可使

10位、11Mbps、全双工模拟前端

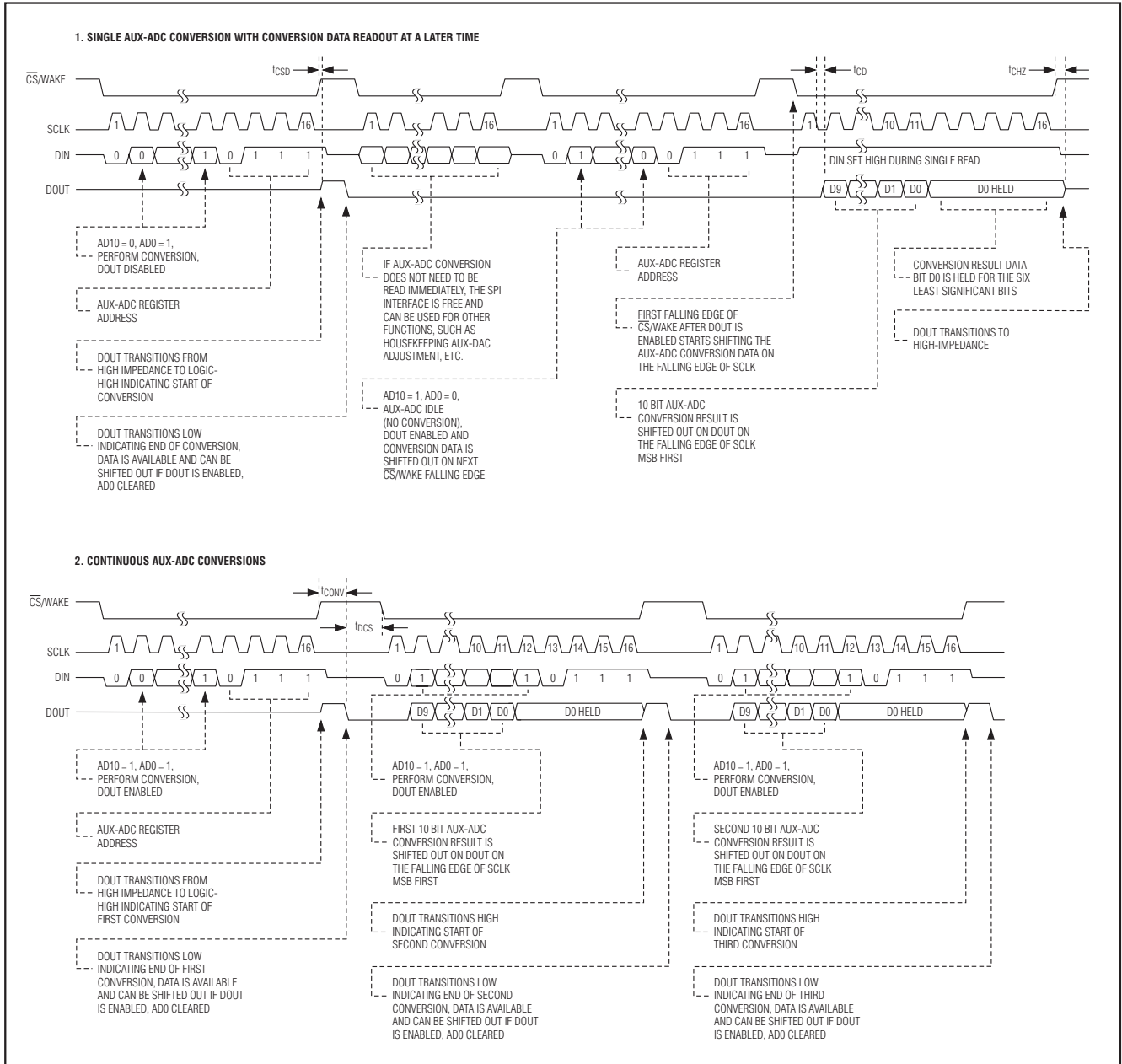


图9. 辅助ADC转换时序

用升压变压器。通常，MAX19711全差分输入可以获得比单端信号更好的SFDR和THD性能，特别是高频输入的情况。差分模式下，由于输入信号(IAP、IAN、QAP、QAN)

对称，偶次谐波分量很低，与单端模式相比，每路Rx ADC输入只需单端信号摆幅的一半。图11是将MAX19711 Tx DAC差分模拟输出转换为单端输出的RF变压器电路。

MAX19711



在无法使用非平衡变压器的情况下，可以采用运算放大器驱动MAX19711 Rx ADC。Rx ADC通过运算放大器驱动实现的单端AC耦合和差分DC耦合电路分别如图12和图13所示。MAX4454和MAX4354等放大器具有高速、宽带、低噪声和低失真特性，能够保持输入信号的完整性。图13运算放大器电路还可以做为Tx DAC差分模拟输出的接口电路，用来提供增益或缓冲。由于存在内部共模电压，Tx DAC差分模拟输出不能用于单端模式。Tx DAC模拟输出设计用于驱动输入阻抗 $\geq 70\text{k}\Omega$ 的差分输入级。如果需要单端输出，可由放大器提供差分至单端转换，但需要选择具有适当输入共模电压范围的放大器。



10位、11MSPS、全双工模拟前端

MAX19711

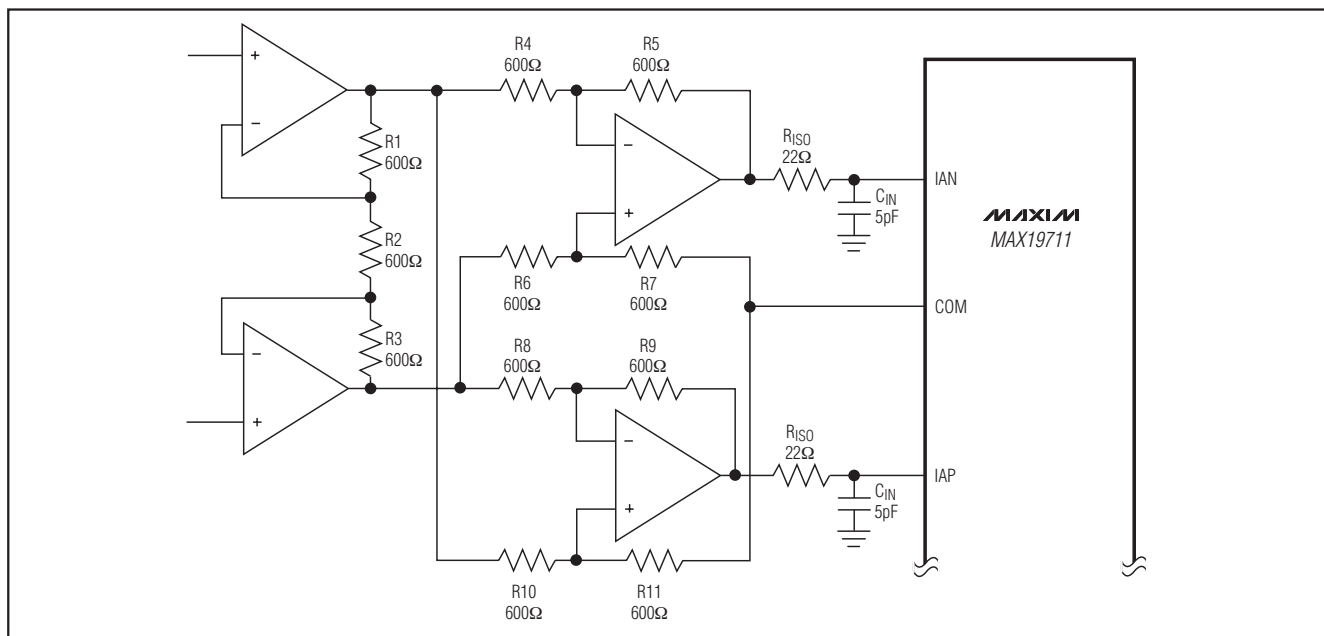


图13. Rx ADC DC耦合差分驱动

CDMA应用

图14是典型的CDMA应用电路，MAX19711可直接与MAX2504、MAX2584射频前端连接，提供完整的“RF至数字”解决方案。MAX19711直接配合MAX2584、MAX2504使用时，为数字基带设计提供了多项有益于系统开发的优势：

- 集成Tx滤波器有利于减少元件数量、降低成本，符合CDMA频谱模板的要求。
- 可编程直流共模Tx输出电平省去了分离直流电平调节元件，并可保持Tx DAC的动态范围
- 经过优化的Tx满量程输出电平省去了用于ID-QD增益控制的分离放大器
- Tx-ID-QD失调校准省去了用于改善边带/载波抑制的失调调节DAC
- 具有1μs建立时间的辅助DAC可用于VGA、AGC控制，保证快速、精确的Tx功率控制和Rx增益控制

接地、旁路与布线

MAX19711需要采用高速电路板布线技术，电路板布线请参考MAX19711评估板数据资料。所有旁路电容应尽可能靠近器件安装，并与器件放置在电路板的同一层，应该选用表贴器件以减小寄生电感。用0.1μF陶瓷电容与2.2μF电容并联，将V_{DD}旁路到GND。用0.1μF陶瓷电容与2.2μF电容并联，将OV_{DD}旁路到OGND。分别用0.33μF陶瓷电容将REFP、REFN与COM旁路到GND。用0.1μF电容将REFIN旁路到GND。

具有独立的地平面、电源平面的多层板可提供最佳的信号完整性。模拟地(GND)与数字输出地(OGND)采用独立的地平面，并与器件封装的物理位置相对应，连接MAX19711背面的裸露焊盘至GND。两个地平面单点相连，使噪声较大的数字地电流不会影响模拟地。可以凭经验将两个地平面之间的某一点确定为最佳连接点。通过一个低阻值、表贴电阻(1Ω至5Ω)或磁珠连接两个地平面，也可以直接短路将两个地平面连接在一起。如果该地平面与所有

10位、11Mps、全双工模拟前端

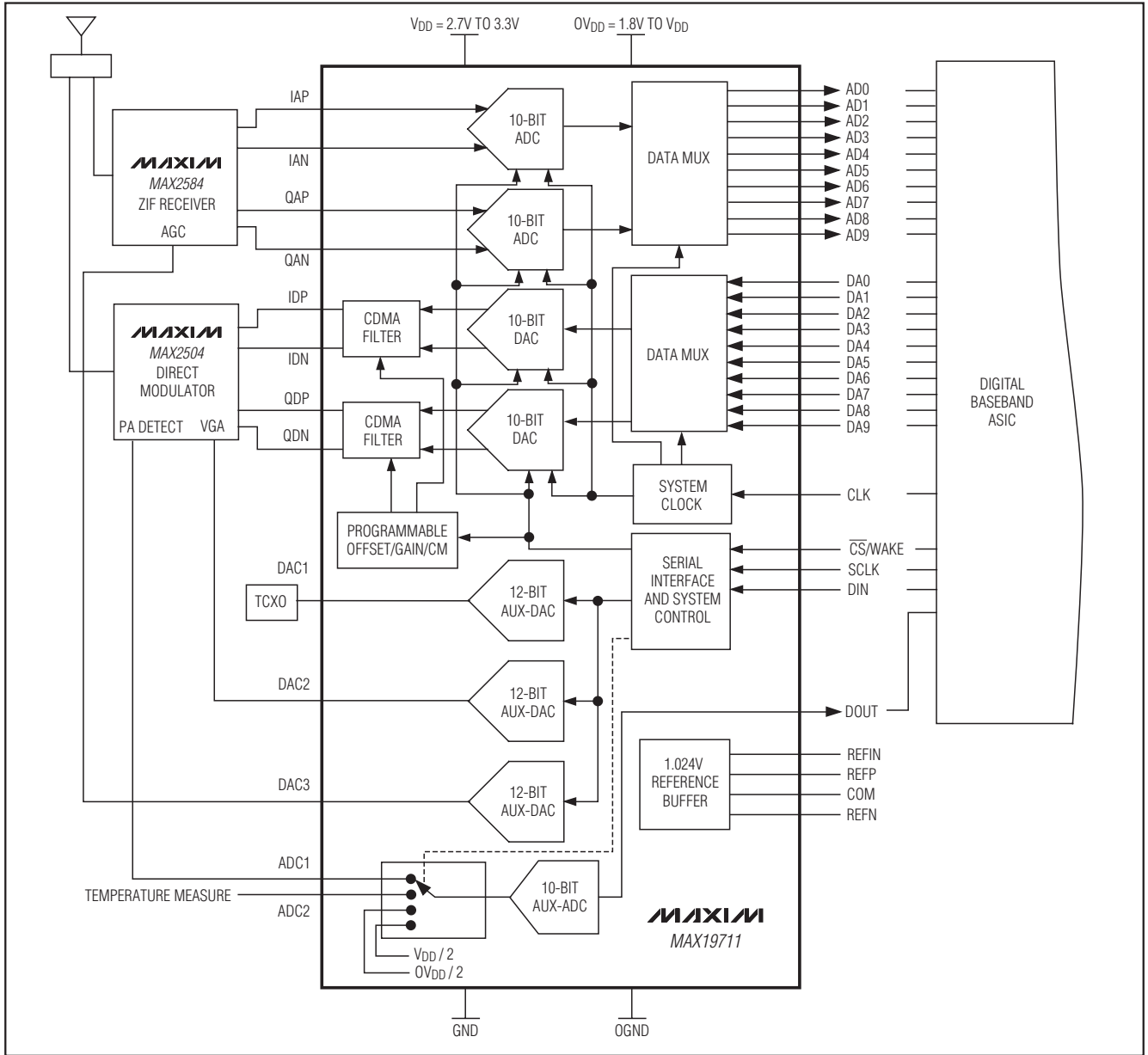


图14. 典型CDMA无线通信应用电路

噪声较大的数字系统地(如后续输出缓冲器或DSP地平面)充分隔离, 则可以使所有接地引脚共用同一个地平面。

高速数字信号线应远离敏感的模拟信号线。确保模拟输入引线与其相应的变换器隔离开, 以减小通道间串扰。确保所有信号引线尽可能短, 并避免90°转角。

动态参数定义

ADC与DAC的静态参数定义

积分非线性(INL)

积分非线性是实际传输函数与直线的偏差。这条直线可以是最佳直线拟合，也可以是消除失调与增益误差后传输函数两个端点间的连线。该器件静态线性参数测量采用的是最佳直线拟合法(DAC图15a)。

微分非线性(DNL)

微分非线性是实际步长宽度与1个LSB理想值之差，小于1LSB的DNL误差保证不会产生失码(ADC)，并可确保传输函数(ADC与DAC)的单调性(DAC图15b)。

ADC失调误差

理想情况下，中点跳变出现在中点以上0.5个LSB处，失调误差是测试得到的跳变点与理想跳变点间的差值。

DAC失调误差

失调误差(图15a)是理想失调点与实际失调点之差。失调点是数字输入为中点时对应的输出值。该误差对所有编码的影响是相等的，通常可通过微调加以补偿。

ADC增益误差

理想情况下，ADC满量程跳变出现在低于满量程1.5个LSB处。增益误差是在消除失调误差后测试的跳变点与理想跳变点之间的差值。

ADC动态参数定义

孔径抖动

图16给出了孔径抖动(t_{AJ})的说明，它是孔径延时期间采样值的变化。

孔径延时

孔径延时(t_{AD})是指采样时钟上升沿与实际采样瞬间的时间差(图16)。

信噪比(SNR)

从数字采样中重建最佳波形，理论上SNR最大值是满量程模拟输入(RMS值)与量化误差RMS(剩余误差)之比，并直接由ADC的分辨率(N位)确定：

$$SNR(\text{最大值}) = 6.02 \times N + 1.76 \text{ (单位: dB)}$$

实际上，除了量化噪声外还有其它噪声源：热噪声、基准噪声、时钟抖动等。SNR采用信号RMS与噪声RMS之比计算。噪声RMS包括除基波、前五次谐波与DC失调以外所有奈奎斯特频率的频谱成份。

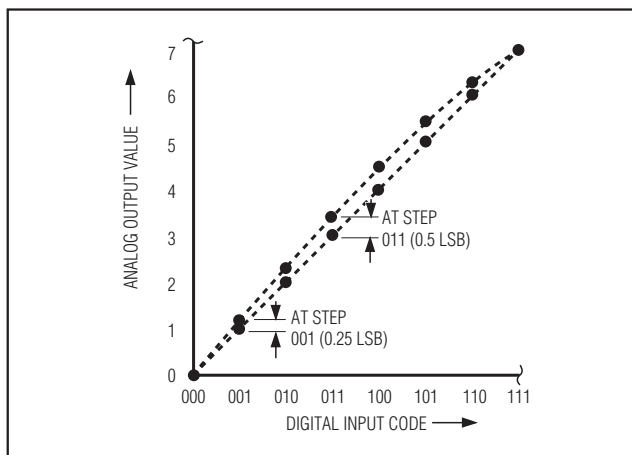


图15a. 积分非线性

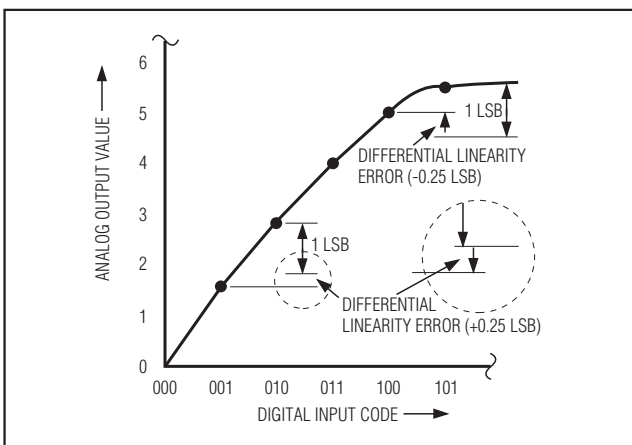


图15b. 微分非线性

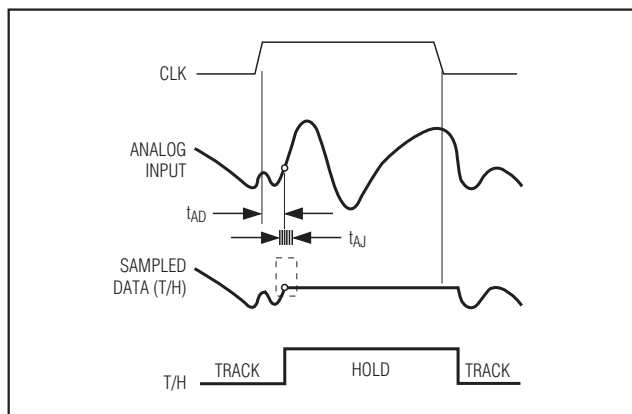


图16. T/H孔径延时

10位、11Msps、全双工模拟前端

信号与噪声 + 失真比(SINAD)

SINAD采用信号RMS与噪声RMS之比计算。噪声RMS包括除基波与DC失调以外奈奎斯特频率的所有频谱成份。

有效位数(ENOB)

ENOB规定了在指定输入频率与采样频率下ADC的动态性能。理想的ADC误差仅包括量化误差。满量程正弦输入波形的ENOB由下式计算：

$$\text{ENOB} = (\text{SINAD} - 1.76) / 6.02$$

总谐波失真(THD)

THD通常是输入信号前5次谐波RMS之和与基波之比，可以用下式表示：

$$\text{THD} = 20 \times \log \left[\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1} \right]$$

其中， V_1 为基波幅值， V_2 – V_6 为2次至6次谐波幅值。

三次谐波失真(HD3)

HD3被定义为3次谐波分量的RMS值与输入信号基波的比值。

无杂散动态范围(SFDR)

SFDR是基波(信号成分最大值) RMS值与不包括DC失调的第二谐波成份的RMS值之比，以分贝为单位。

交调失真(IMD)

当 f_{IN1} 和 f_{IN2} 两路信号加在输入端时，IMD是相对于总输入功率的交调分量总功率，交调分量为 $(f_{\text{IN1}} \pm f_{\text{IN2}})$ 、 $(2 \times f_{\text{IN1}})$ 、 $(2 \times f_{\text{IN2}})$ 、 $(2 \times f_{\text{IN1}} \pm f_{\text{IN2}})$ 、 $(2 \times f_{\text{IN2}} \pm f_{\text{IN1}})$ 。每路输入信号电平为-7dBFS。

3阶交调(IM3)

当 f_{IN1} 和 f_{IN2} 两路信号加在输入端时，IM3是相对于任意一路输入信号的最差工作条件下三阶交调分量的功率。三阶交调分量为 $(2 \times f_{\text{IN1}} \pm f_{\text{IN2}})$ 、 $f_{\text{IN2}} (2 \times f_{\text{IN2}} \pm f_{\text{IN1}})$ 。每路输入信号电平为-7dBFS。

电源抑制比

电源抑制比定义为电源变化 $\pm 5\%$ 时产生的失调量与增益误差的偏移量。

小信号带宽

将-20dBFS的模拟输入信号送入ADC、并且信号摆率不会限制ADC性能的条件下，随着输入频率的升高数字转换结果将会下降，下降3dB时所对应的频点称为小信号带宽。注意，T/H性能通常是制约小信号输入带宽的因素。

满功率带宽

将-0.5dBFS的模拟输入信号送入ADC，随着输入频率的升高数字转换结果将会下降，下降3dB时所对应的频点称为满功率带宽频率。

DAC动态参数定义

总谐波失真

THD是奈奎斯特频率输出谐波的RMS之和与基波的比值：

$$\text{THD} = 20 \times \log \left[\frac{\sqrt{V_2^2 + V_3^2 + \dots + V_n^2}}{V_1} \right]$$

其中， V_1 为基波幅值， V_2 至 V_n 为奈奎斯特频率的2次至n次谐波幅值。

无杂散动态范围

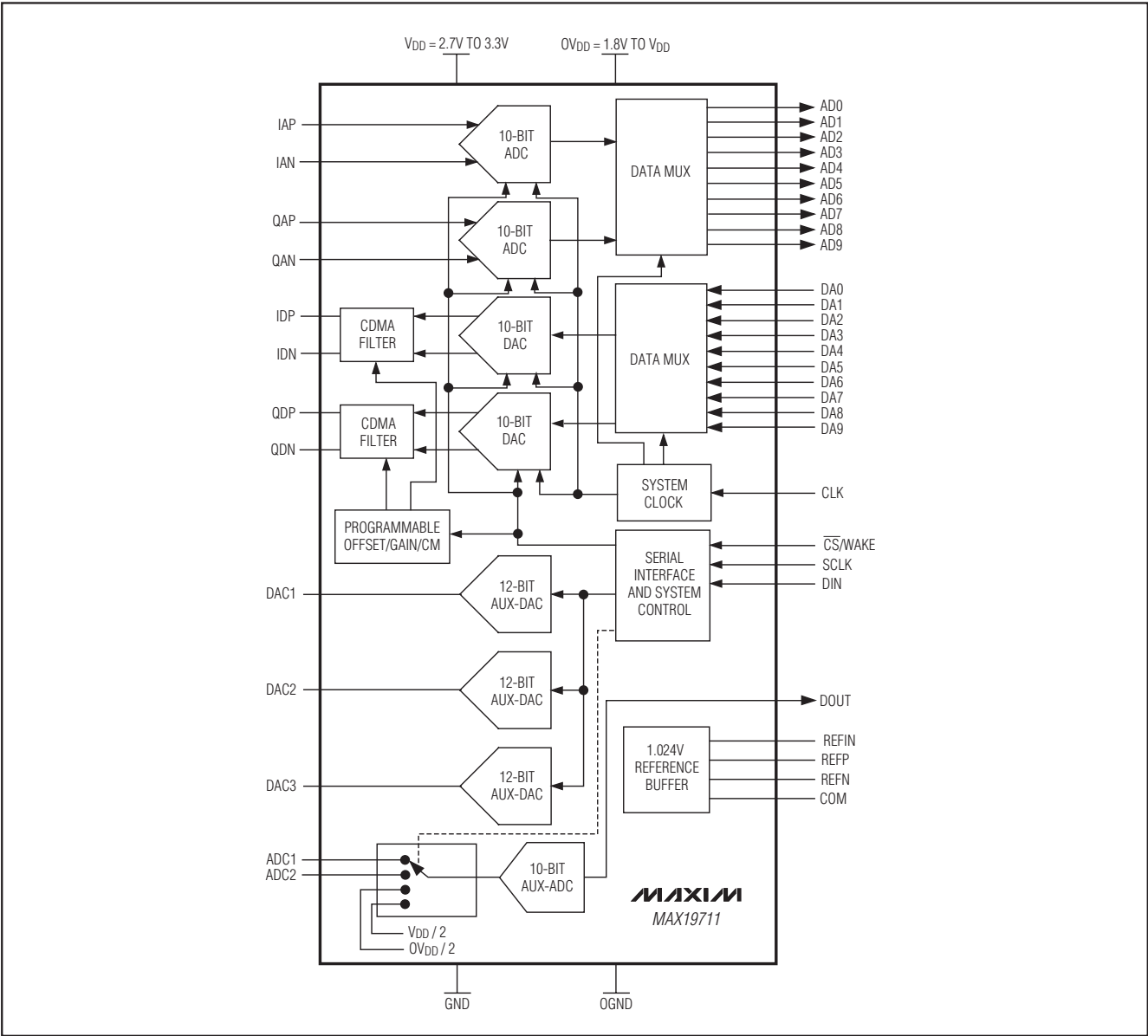
无杂散动态范围(SFDR)是基波(信号成分最大值) RMS值与不包括DC成份的奈奎斯特频率第二谐波RMS值之比。

10位、11Msps、全双工模拟前端

选型指南
MAX19711

PART	SAMPLING RATE (Msps)	INTEGRATED CDMA Tx FILTERS
MAX19710	7.5	No
MAX19711	11	Yes
MAX19712	22	No
MAX19713	45	No

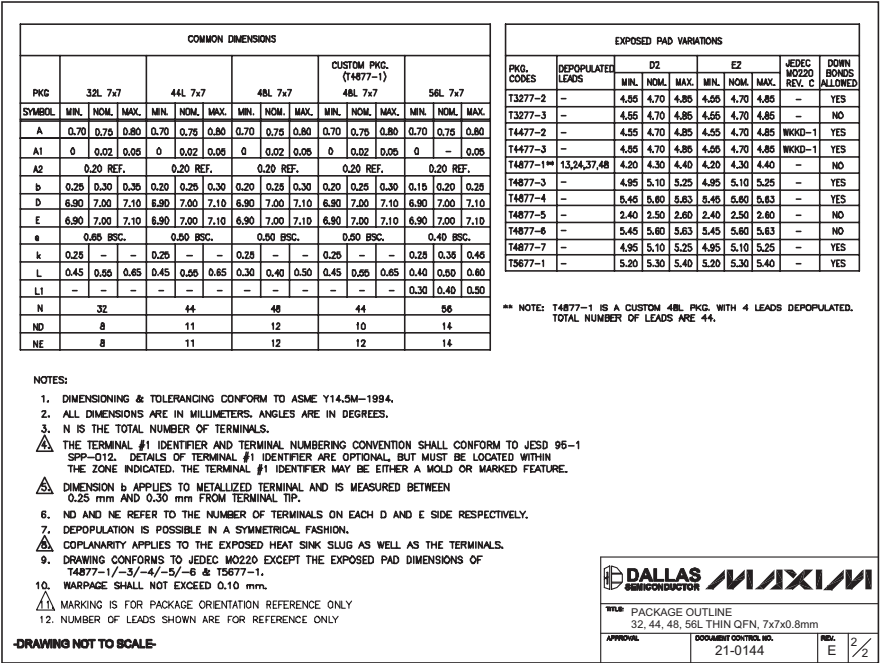
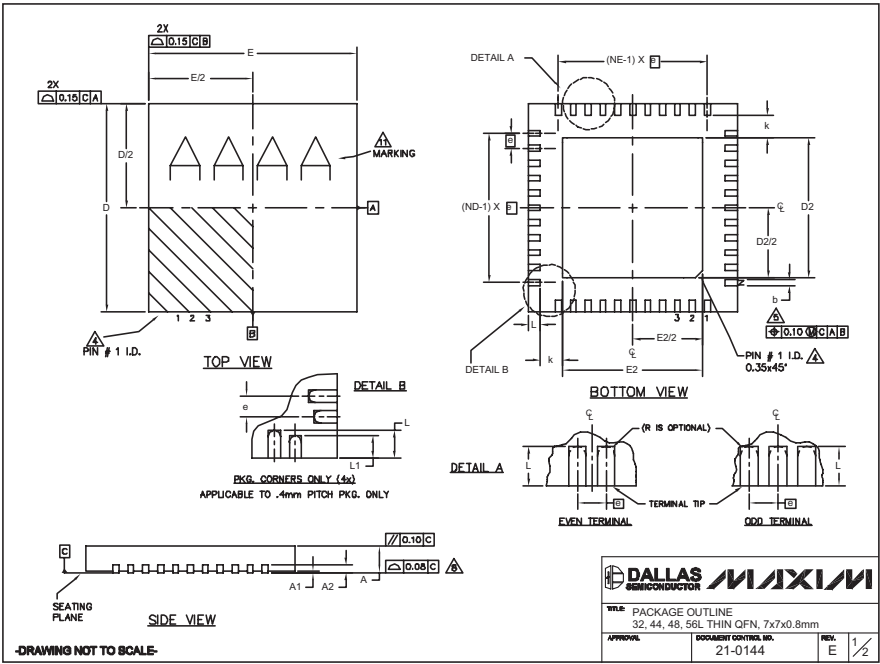
功能框图



10位、11Msps、全双工模拟前端

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外形信息，请查询 www.maxim-ic.com.cn/packages.)



Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。