

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的 ±5V SAR ADC，TDFN封装

概述

MAX11166/MAX11167 16位、500ksps/250ksps、SAR ADC具有优异的交流和直流性能，真正的双极性输入范围，尺寸小，带有内部基准。MAX11166/MAX11167采用单5V电源工作，可测量±5V (10V_{P-P})输入范围。拥有专利的电荷泵结构允许直接采样高阻信号源。MAX11166/MAX11167集成可选的5ppm/°C基准，带内部缓冲器，节约外部基准成本和空间。

ADC达到93dB SNR和-105dB THD。MAX11166/MAX11167保证16位无失码和±2 LSB (最大值) INL。

MAX11166/MAX11167利用SPI兼容串行接口进行通信，工作在2.5V、3V、3.3V或5V逻辑电平。串行接口能够以菊花链形式并联多个ADC，以用于多通道应用，以及提供忙碌指示选项，简化系统同步和定时。

MAX11166/MAX11167采用12引脚、3mm x 3mm、TDFN封装，工作在-40°C至+85°C温度范围。

应用

- 数据采集系统
- 工业控制系统/过程控制
- 医疗仪表
- 自动测试设备

特性

- 高精度，适用于直流和交流应用
- 16位分辨率，无失码
- SNR: 92.6dB
- THD: -105dB @ 20kHz
- ±0.5 LSB INL (典型值)
- ±0.2 LSB DNL (典型值)
- 内部基准和基准缓冲器，节约成本和电路板空间
- 6ppm/°C，典型值
- 微小、12引脚、3mm x 3mm、TDFN封装
- 双极性±5V模拟输入范围，节省外部信号调理
- 单电源ADC，低功耗
- 5V模拟电源
- 2.3V至5V数字电源
- 19.5mW @ 500ksps
- 1μA关断模式
- 500ksps吞吐率(MAX11166)
- 250ksps吞吐率(MAX11167)
- 无流水线延时/延迟
- 灵活的工业标准串行接口，节省I/O引脚
- SPI/QSPI™/MICROWIRE®/DSP兼容

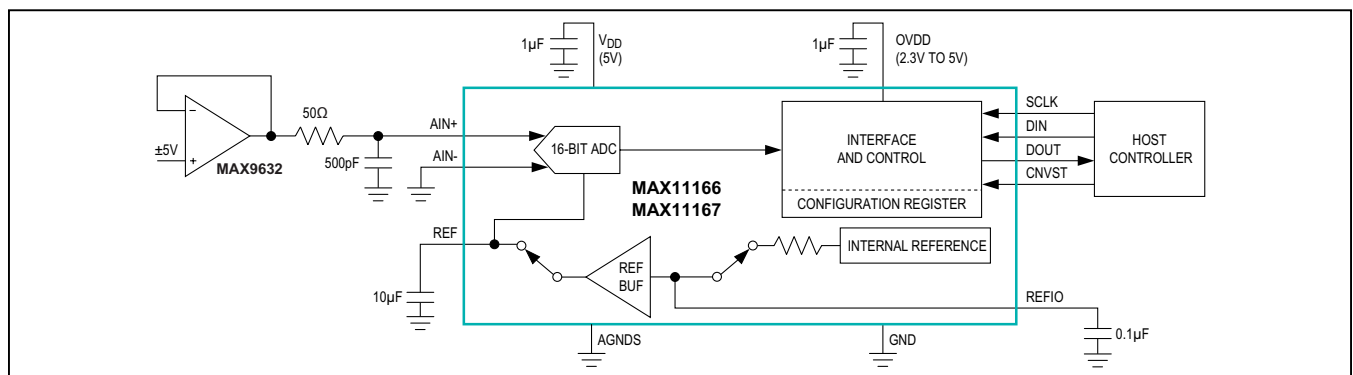
QSPI是Motorola, Inc.的商标。

MICROWIRE是National Semiconductor Corporation.的注册商标。

[选型指南](#)和[订购信息](#)在数据资料最后给出。

相关型号以及配合该器件使用的推荐产品，请参见：china.maximintegrated.com/MAX11166.related。

典型工作电路



本文是英文数据资料的译文，文中可能存在翻译上的不准确或错误。如需进一步确认，请在您的设计中参考英文资料。

有关价格、供货及订购信息，请联络Maxim亚洲销售中心：10800 852 1249 (北中国区)，10800 152 1249 (南中国区)，或访问Maxim的中文网站：china.maximintegrated.com。

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的 ±5V SAR ADC，TDFN封装

Absolute Maximum Ratings

V_{DD} to GND -0.3V to +6V
OVDD to GND -0.3V to the lower of ($V_{DD} + 0.3V$) and +6V
AIN+ to GND ±7V
AIN-, REF, REFIO, AGNDS
to GND -0.3V to the lower of ($V_{DD} + 0.3V$) and +6V
SCLK, DIN, DOUT, CNVST
to GND -0.3V to the lower of ($V_{DD} + 0.3V$) and +6V
Maximum Current into Any Pin 50mA

Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)
TDFN (derate 18.2mW/°C above +70°C) 1349mW
Operating Temperature Range -40°C to +85°C
Junction Temperature +150°C
Storage Temperature Range -65°C to +150°C
Lead Temperature (soldering, 10s) +300°C
Soldering Temperature (reflow) +260°C

Stresses beyond those listed under “Absolute Maximum Ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Package Thermal Characteristics (Note 1)

TDFN

Junction-to-Ambient Thermal Resistance (θ_{JA}) 59.3°C/
Junction-to-Case Thermal Resistance (θ_{JC}) 22.5°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to china.maximintegrated.com/thermal-tutorial.

电气特性

($V_{DD} = 4.75V$ to $5.25V$, $V_{OVDD} = 2.3V$ to $5.25V$, $f_{SAMPLE} = 500kHz$ or $250kHz$, $V_{REF} = 4.096V$; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ\text{C}$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUT (Note 3)						
Input Voltage Range		AIN+ to AIN-, $K = \frac{5.000}{4.096}$	-K x V_{REF}	+K x V_{REF}		V
Absolute Input Voltage Range		AIN+ to GND	-($V_{DD} + 0.1$)		($V_{DD} + 0.1$)	V
		AIN- to GND	-0.1		+0.1	
Analog Input CMRR	CMRR			-77		dB
Input Leakage Current		Acquisition phase	-10	+0.001	+10	µA
Input Capacitance				15		pF
Input-Clamp Protection Current		Both inputs	-20		+20	mA
DC ACCURACY (Note 4)						
Resolution	N		16			Bits
No Missing Codes			16			Bits
Differential Nonlinearity	DNL		-0.5	+0.2	+0.5	LSB
Integral Nonlinearity	INL	$T_A = T_{MIN}$ to T_{MAX}	-2.0	±0.5	+2.0	LSB
		$T_A = +25^\circ\text{C}$ to $+85^\circ\text{C}$	-1.0	±0.5	+1.0	
Transition Noise				0.5		LSB
Gain Error (T_{MIN} to T_{MAX})				±2	±10	LSB
Gain Error Temperature Coefficient				±1		ppm/°C
Offset Error (T_{MIN} to T_{MAX})				±0.1	+1.1	mV

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的 ±5V SAR ADC，TDFN封装

电气特性(续)

($V_{DD} = 4.75V$ to $5.25V$, $V_{OVDD} = 2.3V$ to $5.25V$, $f_{SAMPLE} = 500kHz$ or $250kHz$, $V_{REF} = 4.096V$; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Offset Temperature Coefficient				±2.4		μV/°C
Positive Full-Scale Error					±13	LSB
Negative Full-Scale Error					±13	LSB
Power-Supply Rejection (Note 5)	PSR			±3.0		LSB
THROUGHPUT SAMPLE RATE						
Throughput Sample Rate		MAX11166	0.01		500	ksps
		MAX11167	0.01		250	
Transient Response		Full-scale step			400	ns
DYNAMIC SPECIFICATIONS (Note 6)						
Signal-to-Noise Ratio (Note 7)	SNR	$f_{IN} = 20kHz$	$V_{REF} = 2.5V$, reference mode 3		89.8	dB
			$V_{REF} = 4.096V$, reference mode 3		91.2	
			Internal reference, reference mode 0		92.4	
			$V_{REF} = 4.096V$, reference mode 1		92.5	
Signal-to-Noise Plus Distortion (Note 7)	SINAD	$f_{IN} = 20kHz$	$V_{REF} = 2.5V$, reference mode 3		89.5	dB
			$V_{REF} = 4.096V$, reference mode 3		90	
			Internal reference, reference mode 0		91.8	
			$V_{REF} = 4.096V$, reference mode 1		91.4	
Spurious-Free Dynamic Range	SFDR		96	105		dB
Total Harmonic Distortion	THD			-105	-96	dB
Intermodulation Distortion (Note 8)	IMD			-115		dB
REFERENCE (Note 7)						
REF Output Initial Accuracy	V_{REF}	Reference mode 0	4.092	4.096	4.100	V
REF Output Temperature Coefficient	TC_{REF}	Reference mode 0		±9	±17	ppm/°C
REFIO Output Initial Accuracy	V_{REFIO}	Reference modes 0 and 2	4.092	4.096	4.100	V
REFIO Output Temperature Coefficient	TC_{REFIO}	Reference modes 0 and 2		±6	±15	ppm/°C
REFIO Output Impedance		Reference modes 0 and 2		10		kΩ
REFIO Input Voltage Range		Reference mode 1	3	4.096	4.25	V
Reference Buffer Initial Offset		Reference mode 1	-500		+500	μV
Reference Buffer Temperature Coefficient		Reference mode 1		±6	±10	μV/°C
External Compensation Capacitor	C_{EXT}	Required for reference modes 0 and 1, recommended for reference modes 2 and 3	10			μF
REF Voltage Input Range	V_{REF}	Reference modes 2 and 3	2.5		4.25	V
REF Input Capacitance		Reference modes 2 and 3		20		pF

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的 ±5V SAR ADC，TDFN封装

电气特性(续)

($V_{DD} = 4.75V$ to $5.25V$, $V_{OVDD} = 2.3V$ to $5.25V$, $f_{SAMPLE} = 500kHz$ or $250kHz$, $V_{REF} = 4.096V$; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
REF Load Current	I _{REF}	V _{REF} = 4.096V, reference modes 2 and 3	MAX11167, 250ksps	65			μA
			MAX11166, 500ksps	130			
SAMPLING DYNAMICS							
Full-Power Bandwidth		-3dB point	6			MHz	
		-0.1dB point	> 0.2				
Full-Linear Bandwidth		SINAD > 90dB	100			kHz	
Acquisition Time	t _{ACQ}		400			ns	
Aperture Delay			2.5			ns	
Aperture Jitter			50			pSRMS	
DIGITAL INPUTS (DIN, SCLK, CNVST)							
Input Voltage High	V _{IH}		0.7 x V _{OVDD}			V	
Input Voltage Low	V _{IL}		0.3 x V _{OVDD}			V	
Input Hysteresis	V _{HYS}		±0.05 x V _{OVDD}			V	
Input Capacitance	C _{IN}		10			pF	
Input Current	I _{IN}	V _{IN} = 0V or V _{OVDD}	-10	+10		μA	
DIGITAL OUTPUT (DOUT)							
Output Voltage High	V _{OH}	I _{SOURCE} = 2mA	V _{OVDD} - 0.4			V	
Output Voltage Low	V _{OL}	I _{SINK} = 2mA	0.4			V	
Three-State Leakage Current			-10	+10		μA	
Three-State Output Capacitance			15			pF	
POWER SUPPLIES							
Analog Supply Current	I _{VDD}	Internal reference mode	5.0	5.8	6.5	mA	
		External reference mode	3.0	3.5	4.0		
V _{DD} Shutdown Current				6.3	10	μA	
Interface Supply Current (Note 9)	I _{OVDD}	V _{OVDD} = 2.3V		0.75	0.85	mA	
		V _{OVDD} = 5V		2.0	2.3		
OVDD Shutdown Current				0.9	10	μA	
Power Dissipation		V _{DD} = 5V, V _{OVDD} = 2.3V (external reference mode)	19			mW	
		V _{DD} = 5V, V _{OVDD} = 2.3V (internal reference mode)	30.5				
		V _{DD} = 5V, V _{OVDD} = 3.0V (external reference mode)	20.5				
		V _{DD} = 5V, V _{OVDD} = 3.0V (internal reference mode)	32				
		V _{DD} = 5V, V _{OVDD} = 5V (external reference mode)	28				
		V _{DD} = 5V, V _{OVDD} = 5V (internal reference mode)	38				

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的 ±5V SAR ADC，TDFN封装

电气特性(续)

($V_{DD} = 4.75V$ to $5.25V$, $V_{OVDD} = 2.3V$ to $5.25V$, $f_{SAMPLE} = 500kHz$ or $250kHz$, $V_{REF} = 4.096V$; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Analog Supply Voltage	V_{DD}		4.75		5.25	V
Interface Supply Voltage	V_{OVDD}		2.3		5.25	V
TIMING (Note 9)						
Conversion Time	t_{CONV}	CNVST rising to data available	MAX11166	1.35	1.5	μs
			MAX11167	2.7	3.0	
Acquisition Time	t_{ACQ}	MAX11166	500			ns
		MAX11167	1			μs
Time Between Conversions	t_{CYC}	MAX11166	0.002		100	ms
		MAX11167	0.004		100	ms
CNVST Pulse Width	t_{CNVPW}	$\overline{CS}$ mode	5			ns
SCLK Period ($\overline{CS}$ Mode)	t_{SCLK}	$V_{OVDD} > 4.5V$	14			ns
		$V_{OVDD} > 2.7V$	20			
		$V_{OVDD} > 2.3V$	26			
SCLK Period (Daisy-Chain Mode)	t_{SCLK}	$V_{OVDD} > 4.5V$	16			ns
		$V_{OVDD} > 2.7V$	24			
		$V_{OVDD} > 2.3V$	30			
SCLK Low Time	t_{SCLKL}		5			ns
SCLK High Time	t_{SCLKH}		5			ns
SCLK Falling Edge to Data Valid Delay	t_{DDO}	$V_{OVDD} > 4.5V$			12	ns
		$V_{OVDD} > 2.7V$			18	
		$V_{OVDD} > 2.3V$			23	
CNVST Low to DOUT D15 MSB Valid ($\overline{CS}$ Mode)	t_{EN}	$V_{OVDD} > 2.7V$			14	ns
		$V_{OVDD} < 2.7V$			17	
CNVST High or Last SCLK Falling Edge to DOUT High Impedance	t_{DIS}	$\overline{CS}$ Mode			20	ns
DIN Valid Setup Time from SCLK Falling Edge	$t_{SDINSCK}$	$V_{OVDD} > 4.5V$	3.0			ns
		$V_{OVDD} > 2.7V$	5.0			
		$V_{OVDD} > 2.3V$	6.0			
DIN Valid Hold Time from SCLK Falling Edge	$t_{HDINSCK}$		0			ns
SCLK Valid Setup Time to CNVST Falling Edge	$t_{SSCKCNF}$		3			ns
SCLK Valid Hold Time to CNVST Falling Edge	$t_{HSCKCNF}$		6			ns

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的 ±5V SAR ADC，TDFN封装

电气特性(续)

($V_{DD} = 4.75V$ to $5.25V$, $V_{OVDD} = 2.3V$ to $5.25V$, $f_{SAMPLE} = 500kHz$ or $250kHz$, $V_{REF} = 4.096V$; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

Note 2: Maximum and minimum limits are fully production tested over specified supply voltage range and at a temperature of $+25^\circ C$ and $+85^\circ C$. Limits below $+25^\circ C$ are guaranteed by design and device characterization. Typical values are not guaranteed.

Note 3: See the [Analog Inputs](#) and [Overvoltage Input Clamps](#) sections.

Note 4: See the [Definitions](#) section.

Note 5: Defined as the change in positive full-scale code transition caused by a $\pm 5\%$ variation in the V_{DD} supply voltage.

Note 6: 20kHz sine wave input, $-0.05dB$ below full scale.

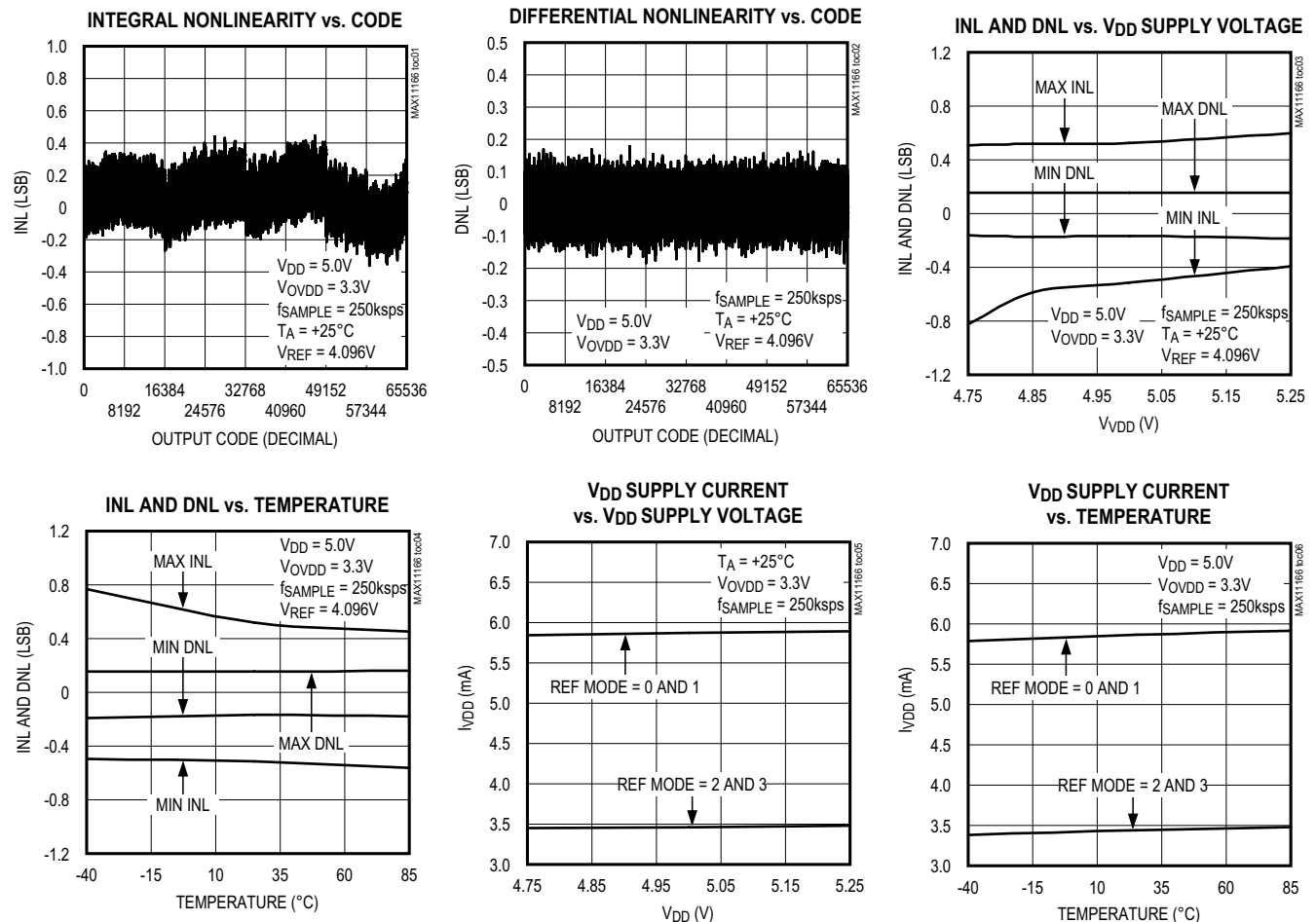
Note 7: See [Table 4](#) for definition of the reference modes.

Note 8: $f_{IN1} = 19.8kHz$, $f_{IN2} = 20.2kHz$, Each tone at $-6.05dB$ below full scale.

Note 9: $C_{LOAD} = 65pF$ on DOUT.

典型工作特性

(Typical values are at $T_A = +25^\circ C$.)

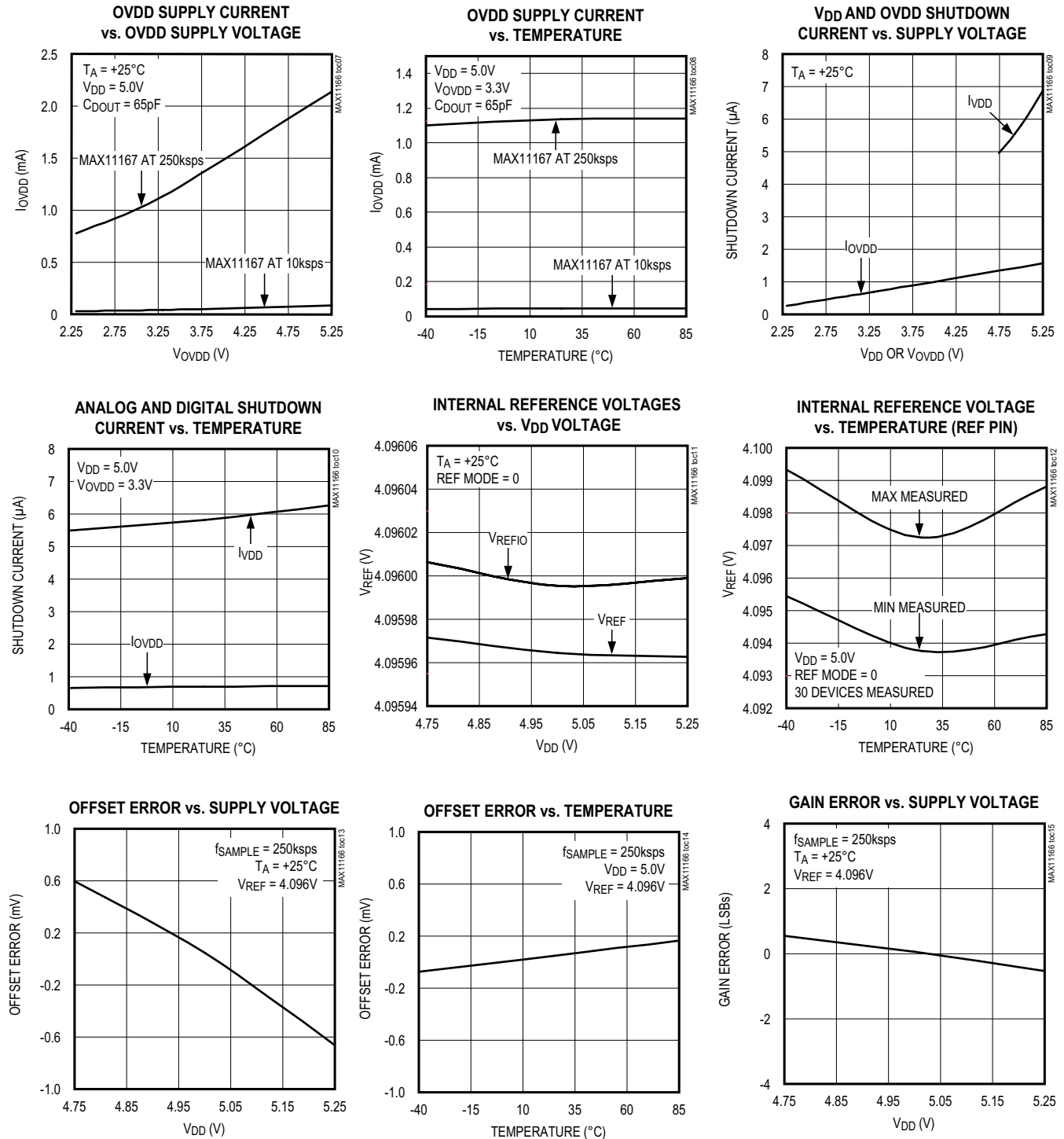


MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的
±5V SAR ADC，TDFN封装

典型工作特性(续)

(Typical values are at $T_A = +25^\circ\text{C}$.)

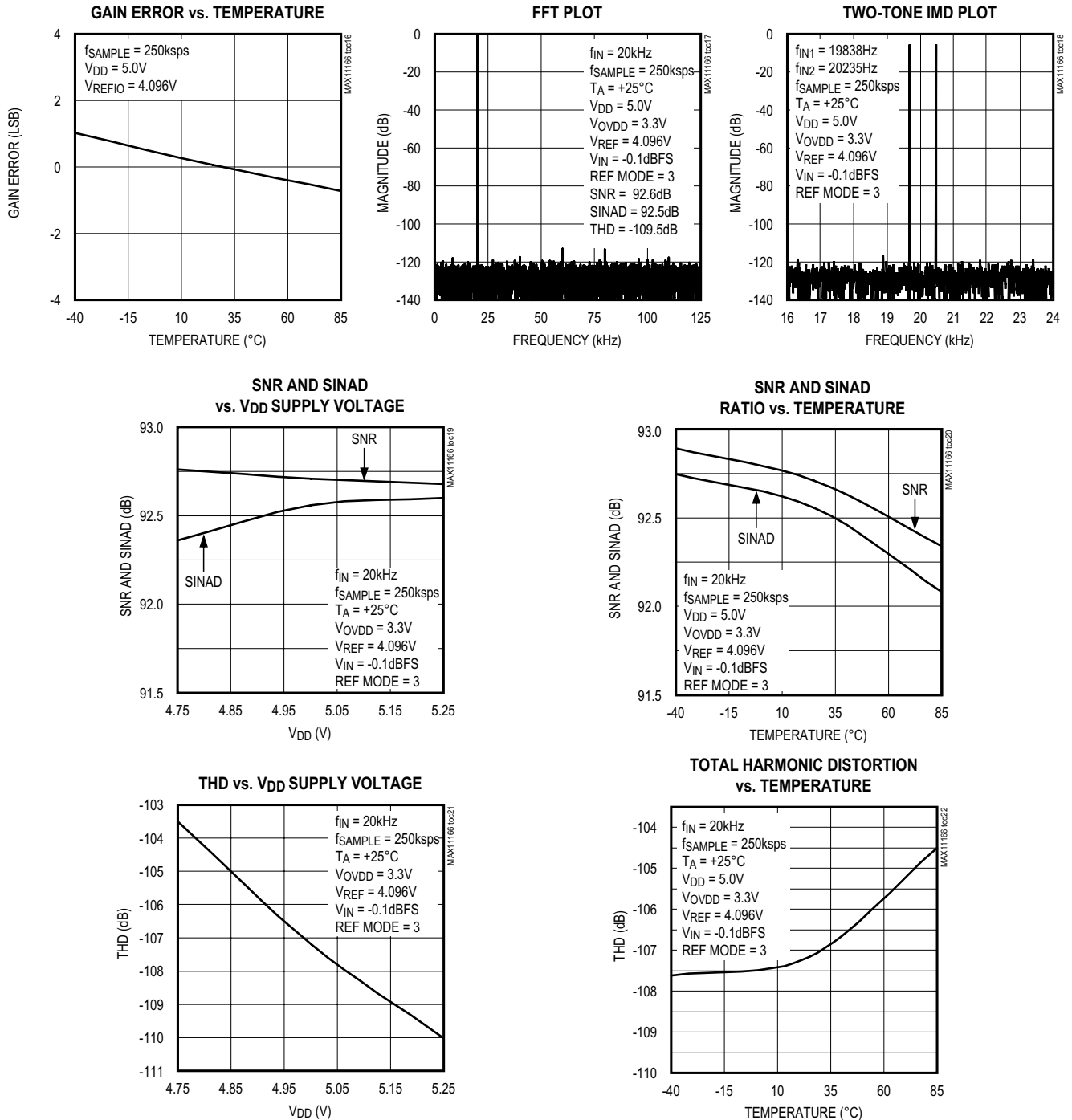


MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的
±5V SAR ADC，TDFN封装

典型工作特性(续)

(Typical values are at $T_A = +25^\circ\text{C}$.)



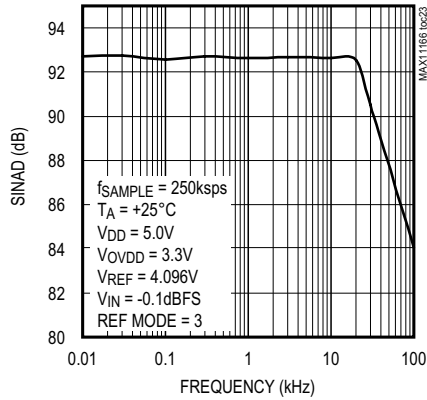
MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的
±5V SAR ADC，TDFN封装

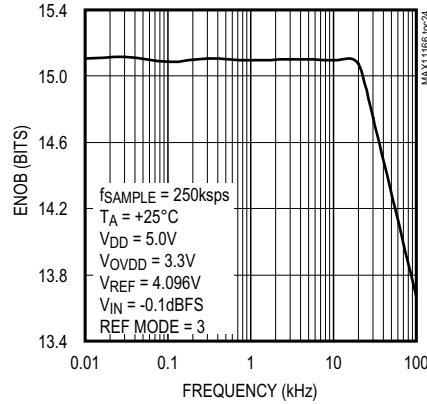
典型工作特性(续)

(Typical values are at $T_A = +25^\circ\text{C}$.)

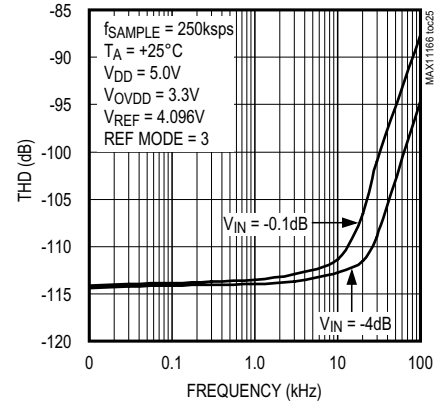
**SIGNAL-TO-NOISE AND DISTORTION
RATIO vs. FREQUENCY**



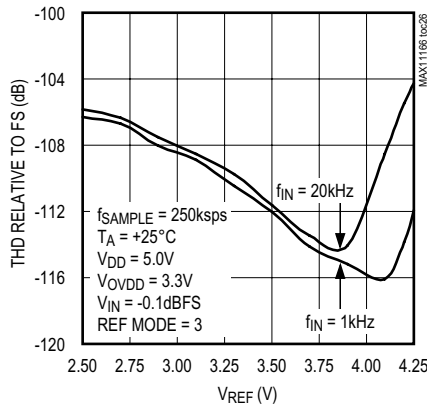
ENOB vs. INPUT SIGNAL FREQUENCY



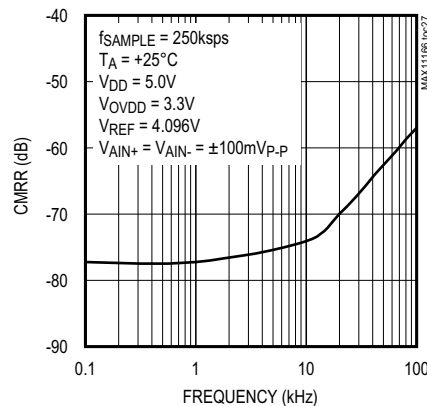
THD vs. INPUT FREQUENCY



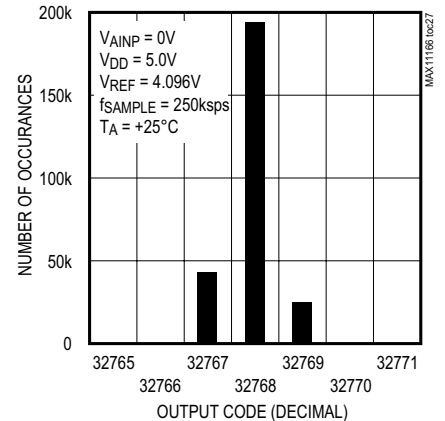
THD vs. REFERENCE VOLTAGE



CMRR vs. INPUT FREQUENCY



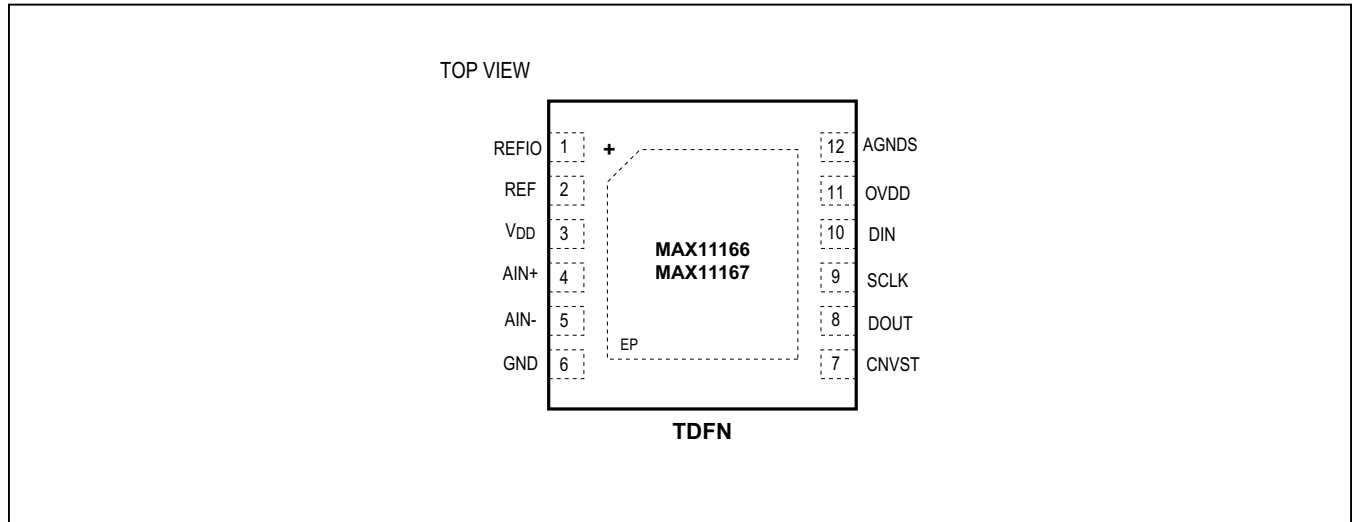
**OUTPUT NOISE HISTOGRAM WITH
INPUT CONNECTED TO GND**



MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的
±5V SAR ADC，TDFN封装

引脚配置



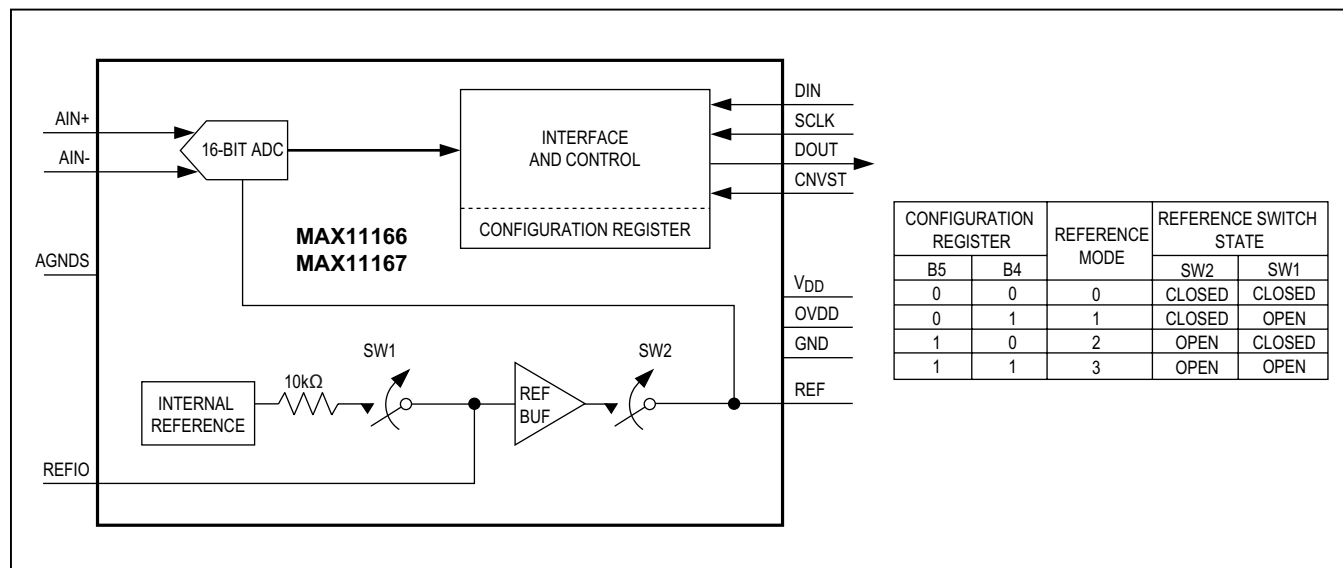
引脚说明

引脚	名称	I/O	功能
1	REFIO	I/O	外部基准输入/内部基准输出。在REFIO和AGNDS之间连接0.1μF电容。
2	REF	I/O	外部基准输入/基准缓冲器去耦。利用X5R或X7R 10μF 16V芯片旁路至AGNDS，参见布局、接地和旁路部分。
3	V _{DD}	I	模拟电源，将每个器件利用0.1μF电容旁路至GND，将每块PCB利用10μF电容旁路至GND。
4	AIN+	I	模拟输入正端。
5	AIN-	I	模拟输入负端，将AIN-连接至模拟接地区域或连接至远端检测地。
6	GND	I	电源地。
7	CNVST	I	转换启动输入，CNVST上升沿启动转换。SCLK为高电平时，CNVST的下降沿使能串行接口。
8	DOUT	O	串行数据输出。DOUT在SCLK下降沿改变状态。
9	SCLK	I	串行时钟输入。选中器件时，利用时钟将数据移出串行接口。
10	DIN	I	串行数据输入。DIN上的数据在SCLK上升沿锁存至串行接口。
11	OVDD	I	数字电源。将每个器件利用0.1μF电容旁路至GND，将每块PCB利用10μF电容旁路至GND。
12	AGNDS	I	模拟地检测。板载DAC和基准源的零电流基准。用于REFIO和REF的基准。
—	EP	—	裸焊盘。EP内部连接至GND。连接至PCB GND。

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的
±5V SAR ADC，TDFN封装

功能框图



详细说明

MAX11166/MAX11167为16位、单通道、伪差分ADC，最大吞吐率为500ksps/250ksps。ADC具有高精度内部基准，允许测量范围为±5V的双极性输入电压。对于±3.05V至±5.19V的输入范围，也可使用外部基准。采用伪差分片上采样/保持对两个输入(AIN+和AIN-)进行采样，无流水线延时或延迟，使这些ADC可理想用于多路复用应用。

MAX11166/MAX11167测量真正的双极性±5V (10V_{P-P})电压，输入具有高达±20mA的过量程电流保护。这些ADC由4.75至5.25V模拟电源(V_{DD})和独立2.3V至5.25V数字电源(OVDD)供电。MAX11166/MAX11167内部采样/保持需要500ns/1μs对输入进行采样，然后使用内部时钟驱动的转换器将采样信号转换为16位精度。

模拟输入

MAX11166/MAX11167 ADC包括真正的采样伪差分输入级，具有高阻、电容性输入。内部T/H电路具有约6MHz小信号带宽，采样时间为500ns (MAX11166)/1μs (MAX11167)时提供16位精度。这允许利用外部多路复用器对多路扫描通道进行高精度采样。针对大约20kHz输入频率优化了THD。

高于该输入频率时，THD逐渐下降。更多详细信息请参见[典型工作特性](#)。

MAX11166/MAX11167可转换AIN+上范围为-(K × V_{REF} + AIN-)至+(K × V_{REF} + AIN-)的输入信号，其中K = 5.000/4.096。为实现高精度转换，AIN+也应限制到±(V_{DD} + 0.1V)。AIN-的输入范围为-0.1V至+0.1V，应连接至输入信号源的接地基准。MAX11162/MAX11163对AIN+和AIN-之间的输入进行真正的差分采样，具有良好的共模抑制(见[典型工作电路](#))，这允许改善对远端变送器输入的采样。

许多采用单电源测量双极性输入信号的传统ADC直接在模拟输入上使用电阻分压器网络，这些网络增加了输入信号调理的复杂度。然而，MAX11166/MAX11167具有拥有专利的输入开关结构，允许对低于GND的高阻源(> 1MΩ)直接进行采样，无需使用电阻分压器网络。这种结构要求最小采样率为10Hz，以在设计温度和电源范围内进行高精度转换。

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的 ±5V SAR ADC，TDFN封装

过压输入箝位

MAX11166/MAX11167包括输入箝位电路，在AIN+上的输入电压高于($V_{DD} + 300\text{mV}$)或低于($-V_{DD} + 300\text{mV}$)时激活。输入信号在 $\pm(V_{DD} + 100\text{mV})$ 范围之内时，箝位电路保持高阻，消耗极少或不消耗电流。然而，输入信号超过该范围时，箝位电路开始工作。所以，为获得最高精度，确保输入电压不超出 $\pm(V_{DD} + 100\text{mV})$ 范围。

为使用输入箝位功能，在AIN+输入和电压源之间连接一个电阻(R_S)，以限制模拟输入上的电压，并确保流入器件的故障电流不超过 $\pm 20\text{mA}$ 。注意，故障条件期间，AIN+输入引脚上的电压限制到7V，所以可用下式计算 R_S 值：

$$R_S = \frac{V_{\text{FAULT_MAX}} - 7\text{V}}{20\text{mA}}$$

式中， $V_{\text{FAULT_MAX}}$ 为电压源在故障条件期间产生的最大电压。

图1和图2所示为源阻抗 $R_S = 1280\Omega$ 时箝位电路的电压电流特性。输入电压在 $\pm(V_{DD} + 300\text{mV})$ 范围之内时，输入箝位电路中无电流通过。一旦输入电压超出该电压范围，箝位电路打开，限制输入引脚上的电压。

内部/外部基准(REFIO)配置

MAX11166/MAX11167具有一个标准SPI接口，通过输入配置寄存器选择内部或外部基准工作模式(见[输入配置接口部分](#))。MAX11166/MAX11167具有内部带隙基准电路($V_{\text{REFIO}} = 4.096\text{V}$)，利用驱动REF引脚的内部基准缓冲器进行缓冲。MAX11166/MAX11167配置寄存器允许四种基准配置组合。基准模式有：

基准模式00：ADC基准由内部带隙基准提供，连接至REFIO引脚输出，由REFIO引脚上的外部电容进行噪声滤波，然后由内部基准缓冲器进行缓冲，并利用REF引脚上的外部电容进行去耦。该模式下，ADC不需要外部基准源。

基准模式01：ADC基准由外部提供，连接至REFIO引脚输入，由内部基准缓冲器进行缓冲，并利用REF引脚上的外部电容进行去耦。当多片MAX11166/MAX11167需要使用公共基准源时，通常采用该模式。

基准模式10：内部带隙用作基准源输出并送至REFIO引脚输出。然而，内部基准缓冲器处于关断状态，REF引脚为高阻。该状态通常用于为多片MAX11166/MAX11167的一组外部基准缓冲器提供公共基准源。

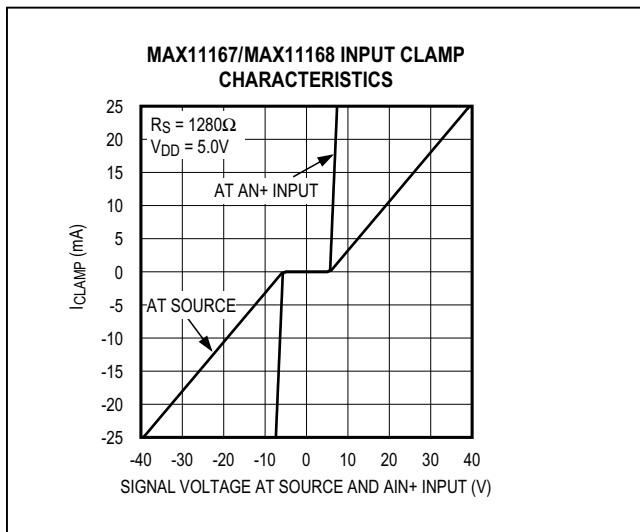


图1. 输入箝位特性

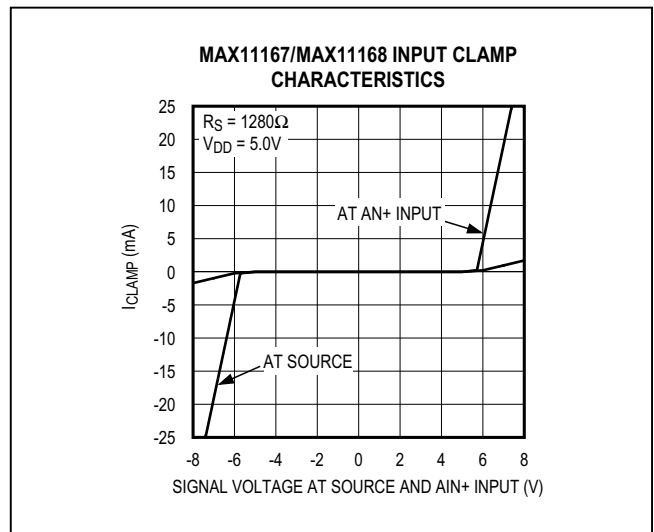


图2. 输入箝位特性(放大)

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的 ±5V SAR ADC，TDFN封装

基准模式11：内部带隙基准源以及内部基准缓冲器均处于关断状态。REF引脚为高阻状态。当利用一个外部基准源和外部基准源缓冲器驱动系统中的全部MAX11166/MAX11167器件时，通常使用该模式。

无论采用哪种基准模式，MAX11166/MAX11167在REF引脚上都需要一个低阻基准源，以支持16位精度。使用内部基准缓冲器时，利用至少10μF、低电感、低ESR电容进行外部旁路，尽量靠近REF引脚，将附加PCB电感降至最小。使用内部带隙基准源时，利用0.1μF电容将REFIO引脚旁路至地。如果提供外部基准并使用内部基准缓冲器，利用3.0V至4.25V范围的外部基准源直接驱动REFIO引脚。最后，如果禁止MAX11166/MAX11167内部带隙基准源和内部基准缓冲器，利用2.5V至4.25V范围的基准电压驱动REF引脚，并安装至少10μF、低电感、低ESR电容，尽量靠近REF引脚。

MAX11166/MAX11167工作在外部基准模式时，建议使用外部基准缓冲器。对于REF引脚上的电容，使用1210或更小尺寸的X7R或X5R陶瓷电容，以提供足够的旁路性能。Y5U或Z5U陶瓷电容的电压及温度系数较高，不建议使用。

Maxim提供多种可理想用于16位精度的高精度基准。[表1](#)中列出了部分推荐选项。

输入放大器

将输入放大器的建立时间与MAX11166/MAX11167的捕获时间相匹配非常重要。

当ADC采样输入信号的间隔长于输入信号的最差建立时间时，转换结果是精确的。根据定义，建立时间是从施加输入电压阶跃到输出信号达到并稳定在给定误差范围内(以放大器最终稳态输出电平为中心)的时间间隔。ADC输入耦合电容在采样周期内充电，被称为捕获周期。捕获周期期间，建立时间受输入电阻和输入采样电容的影响。通过观察捕获周期内采样瞬态稳定的RC时间常数，可估算该误差。

尽管MAX11166/MAX11167易于驱动，当驱动连接至AIN+引脚的500pF电容，信号源的建立时间常数超过 $t_{SAMPLE}/14$ (t_{SAMPLE} 为预期的最小采样时间)时，建议使用放大器缓冲器。

建议使用输入放大器的另一项应用是需要对信号进行增益或失调缩放以匹配ADC的满幅输入范围时。可根据以下要求选择最佳的运算放大器：

- 1) 快速建立时间：对于多通道多路复用应用，施加满幅阶跃信号时，在最小捕获时间内驱动运算放大器必须能够稳定在16位分辨率。
- 2) 低噪声：确保驱动器放大器的平均噪声密度较低、满足相应的应用带宽非常重要。MAX11166/MAX11167使用满幅带宽6MHz时，所用放大器产生的输出噪声频谱密度最好小于6nV/√Hz，以确保总体SNR无明显下降。建议在MAX11166/MAX11167的AIN+输入插入一个外部RC滤波器，以衰减带外输入噪声，保证ADC的SNR。MAX11166/MAX11167 AIN+输入上的有效RMS噪声为64μV，所以来自于缓冲器电路的附加噪声应低得多，以实现最高SNR性能。

表1. 推荐的MAX11166/MAX11167外部基准

PART	V _{OUT} (V)	TEMPERATURE COEFFICIENT (MAX)	INITIAL ACCURACY (%)	NOISE (0.1Hz TO 10Hz) (μV _{p-p})	PACKAGE
MAX6126	2.5, 3, 4.096, 5.0	3 (A), 5 (B)	0.06	1.35	μMAX-8 SO-8
MAX6325 MAX6341 MAX6350	2.5, 4.096, 5.0	1	0.04, 0.02	1.5, 2.4, 3.0	SO-8

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的 ±5V SAR ADC，TDFN封装

3) THD性能: 所用输入缓冲器放大器的THD性能应与MAX11166/MAX11167的THD性能相当，以确保数字化信号的THD不变差。

表2中列出了适合于MAX11166/MAX11167的运算放大器。MAX9632具有支持MAX11166/MAX11167全部性能所需的足够带宽、足够低的噪声和失真。MAX9633为双通道放大器，可支持真正伪差分采样所需的缓冲。MAX44251/MAX44252具有足够低的噪声和失真，适合于低速、对功率更敏感的多通道应用。

传递函数

MAX11166/MAX11167的理想传递特征函数如图3所示，表3中列出了传递函数上各个点的精确位置。

- 1) 这也是过量程模拟输入($V_{AIN+} - V_{AIN-}$ 大于 $+K \times V_{REF}$, $K = 5.000/4.096$)时的编码。
- 2) 这也是欠量程模拟输入($V_{AIN+} - V_{AIN-}$ 小于 $-K \times V_{REF}$, $K = 5.000/4.096$)时的编码。

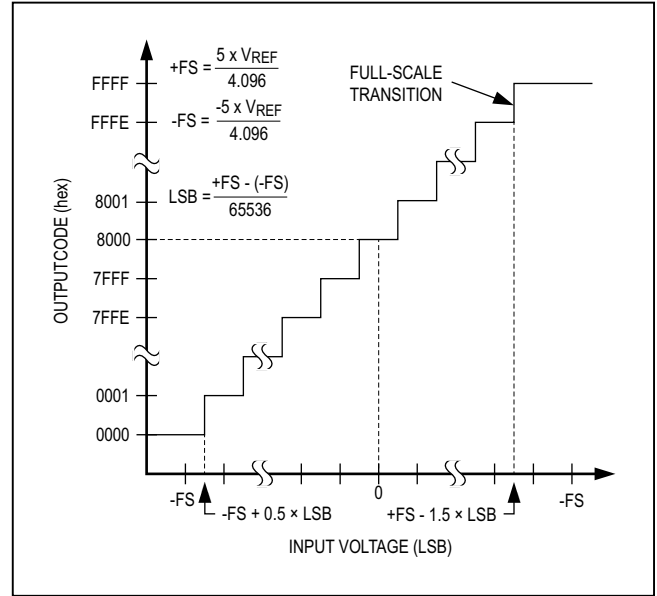


图3. 双极性传递函数

表2. 推荐用于MAX11166/MAX11167的ADC驱动器运算放大器

AMPLIFIER	INPUT-NOISE DENSITY (nV/√Hz)	SMALL-SIGNAL BANDWIDTH (MHz)	SLEW RATE (V/μs)	THD (dB)	I _{CC} (mA)	COMMENTS
MAX9632	1	55	30	-128	3.9	Low noise, THD at 10kHz
MAX9633	3	27	18	-128	3.5	Low noise, dual amp, THD at 10kHz
MAX44251	5.9	10	8	-124	1.75	Precision, dual amp, THD at 20kHz
MAX44252	5.9	10	8	-124	1.75	Precision, quad amp, THD at 20kHz

表3. 传递函数示例

CODE TRANSITION	BIPOLAR INPUT (V)	DIGITAL OUTPUT CODE (HEX)
FS - 0.5 LSB	+4.999771	FFFF - FFEE1
Midscale + 0.5 LSB	+0.000076	8000 - 8001
Midscale	0	8000
Midscale - 0.5 LSB	-0.000076	7FFF - 8000
FS + 0.5 LSB	-4.999924	0000 - 0001 ²

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的 ±5V SAR ADC，TDFN封装

输入配置接口

时钟为50MHz的SPI接口控制MAX11166/MAX11167。输入配置数据在SCLK下降沿通过DIN引脚移入配置寄存器。DIN上的数据用于设置ADC配置寄存器。该寄存器的结构如表4所示。配置寄存器定义MAX11166/MAX11167的输出接口模式、基准模式和关断状态。

CS模式下的配置

图4详细说明将MAX11166/MAX11167连接为CS模式时装载输入配置寄存器的时序(硬件连接见图6和图8)。SCLK保持为高电平时，在CNVST下降沿使能装载过程。在接下来的8个SCLK下降沿，配置数据通过DIN引脚移入配置寄存器。将CNVST拉为高电平时，完成输入配置寄存器装载过程。除输入配置寄存器读操作外，DIN应为空闲高电平。

表4. ADC配置寄存器

BIT NAME	BIT	DEFAULT STATE	LOGIC STATE	FUNCTION
MODE	7:6	00	00	$\overline{\text{CS}}$ Mode, No-Busy Indicator
			01	$\overline{\text{CS}}$ Mode, with Busy Indicator
			10	Daisy-Chain Mode, No-Busy Indicator
			11	Daisy-Chain Mode, with Busy Indicator
REF	5:4	00	00	Reference Mode 0. Internal reference and reference buffer are both powered on.
			01	Reference Mode 1. Internal reference is turned off, but internal reference buffer powered on. Apply the external reference voltage at REFIO.
			10	Reference Mode 2. Internal reference is powered on, but the internal reference buffer is powered off. This mode allows for internal reference to be used with an external reference buffer.
			11	Reference Mode 3. Internal reference and reference buffer are both powered off. Apply an external reference voltage at REF.
SHDN	3	0	0	Normal Mode. All circuitry is fully powered up at all times.
			1	Static Shutdown. All circuitry is powered down.
Reserved	2:0	0	0	Reserved, Set to 0

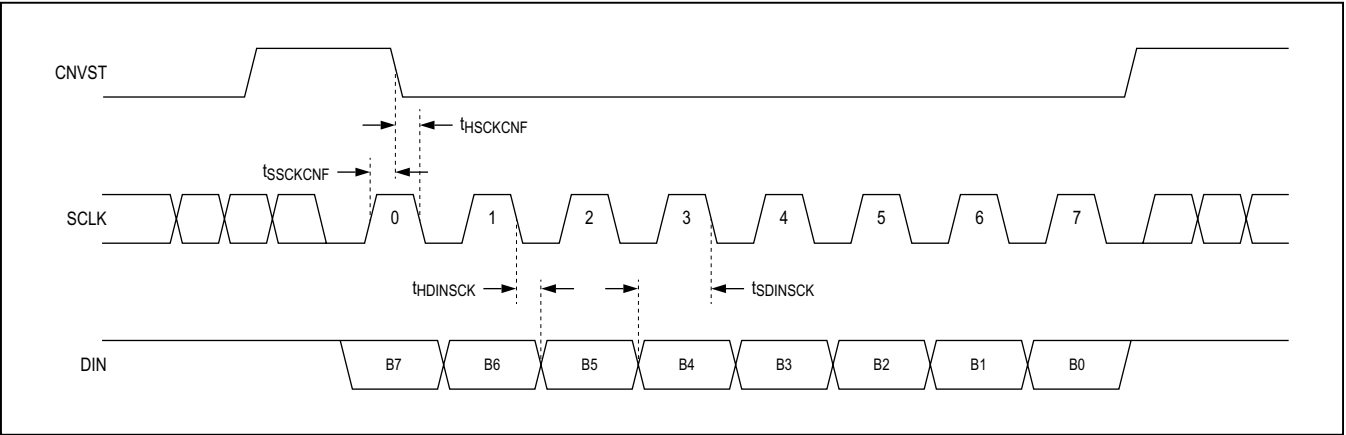


图4. $\overline{\text{CS}}$ 模式下的输入配置时序

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的
±5V SAR ADC，TDFN封装

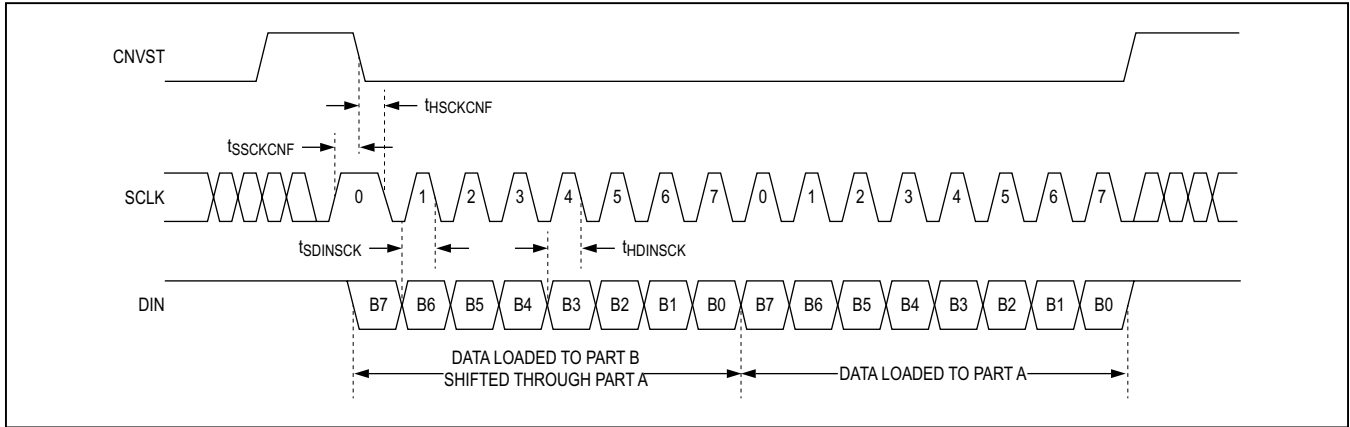


图5. 菊花链模式下的输入配置时序

菊花链模式下的配置

图5详细说明将MAX11166/MAX11167连接为菊花链配置时的配置寄存器装载过程(硬件连接见图12和图14)。SCLK保持为高电平时，在CNVST下降沿使能装载过程。菊花链模式下，输入配置寄存器通过DOUT至DIN以菊花链形式连接在一起。器件A的DOUT将驱动器件B的DIN。输入配置寄存器为8位先进先出移位寄存器。通过 $8 \times N$ 个SCLK下降沿，配置数据移入N次。链中MAX11166/MAX11167 ADC装载配置字节后，将CNVST拉高，完成配置寄存器装载过程。图5所示为装载两片菊花链配置器件时的配置序列。装载寄存器后，装载至配置寄存器数据在下一个转换周期更改MAX11166/MAX11167的状态。然而，内部基准缓冲器上电和REFIO引脚电压稳定将需要几个毫秒的时间才能达到16位精度。

关断模式

配置寄存器中的SHDN位强制MAX11166/MAX11167进入和退出关断模式。SHDN置0时为正常工作；SHDN置1时关断全部内部电路，并将全部寄存器复位至其默认状态。

输出接口

MAX11166/MAX11167可设置为四种输出模式之一：有/无忙碌指示的CS模式和有/无忙碌指示的菊花链模式。无忙碌指示工作时，用户必须在开始读回之前通过外部对最大ADC转换时间进行定时；带有忙碌指示的工作模式下，

用户将MAX11166/MAX11167的DOUT输出连接至数字主机的中断输入，并利用该中断触发输出数据读操作。

无论使用何种输出接口模式，数字动作应限制在转换阶段的前半部分。SCLK或DIN跳变靠近采样时刻时也会造成采样精度变差。因此，在CNVST上升沿之前大约25ns及之后10ns使数字输入保持平稳。在随后的时序图中，将这些时间标注为 t_{SQ} 和 t_{HQ} 。

所有接口模式下，DOUT上的数据在SCLK的两个信号沿有效。然而，如果数据在SCLK下降沿移入数字主机，输入至接收数字主机的建立时间最大。这样将允许在MAX11166/MAX11167和数字主机之间实现较高的数据传输率，从而实现较高的转换器吞吐率。

所有接口模式下，建议SCLK空闲时为低电平，以免在CNVST的下降沿触发输入配置写操作。如果器件在任何时间在CNVST下降沿检测到SCLK高电平状态，将进入输入配置写操作模式，将在接下来的8个SCLK下降沿将DIN的状态写入至输入配置寄存器。

所有接口模式下，必须在读取新转换位之前读取之前转换的全部数据位。读出转换数据时，如果SCLK下降沿太少而不能读出全部数据位，将在下一个读出循环期间仅输出其余未读取的位。发生此类事件时，由于仅输出之前读出循环中的剩余位，所以其它每个读出循环中的输出数据将表现为截断。这向用户表明给定读出循环中的SCLK下降沿不足。表5提供了指南，帮助用户选择适用于给定应用的输出接口模式。

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的 ±5V SAR ADC，TDFN封装

无忙碌指示CS模式

单片MAX11166/MAX11167连接至SPI兼容数字主机时，无忙碌指示的CS模式理想用于最大吞吐率应用。连接图如图6所示，对应的时序如图7所示。

CNVST上升沿完成捕获，启动转换，强制DOUT为高阻。转换连续完成，不考虑CNVST的状态，允许CNVST用作电路板上其它器件的选择线。如果CNVST在转换期间变为低电平，将在转换结束时输出MSB。

完成转换时，MAX11166/MAX11167进入捕获阶段。将CNVST驱动为低电平，以将MSB输出至DOUT。其余的数据位则由随后的SCLK下降沿驱动。第16个SCLK下降沿之后，或者CNVST变为高电平时，DOUT返回至高阻态。

表5. ADC输出接口模式选择指南

MODE	TYPICAL APPLICATION AND BENEFITS
$\overline{\text{CS}}$ Mode, No-Busy Indicator	Single or multiple ADCs connected to SPI-compatible digital host. Ideally suited for maximum throughput.
$\overline{\text{CS}}$ Mode, With Busy Indicator	Single ADC connected to SPI-compatible digital host with interrupt input. Ideally suited for maximum throughput.
Daisy-Chain Mode, No-Busy Indicator	Multiple ADCs connected to a SPI-compatible digital host. Ideally suited for multichannel simultaneous sampled isolated applications.
Daisy-Chain Mode, With Busy Indicator	Multiple ADCs connected to a SPI-compatible digital host with interrupt input. Ideally suited for multichannel simultaneous sampled isolated applications.

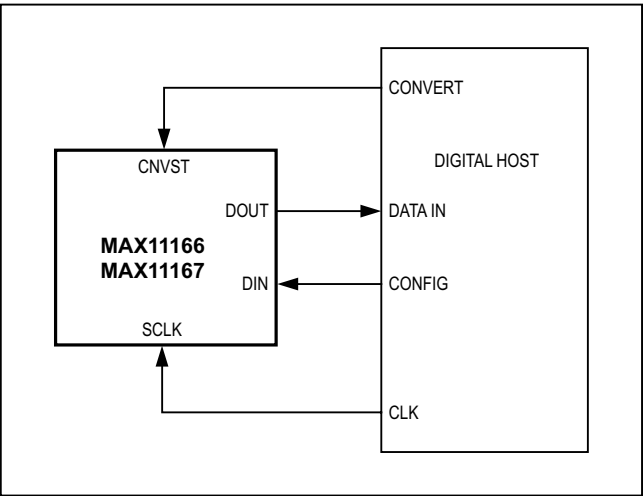


图6. 无忙碌指示CS模式连接图

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的 ±5V SAR ADC，TDFN封装

带忙碌指示CS模式

带忙碌指示CS模式如图8所示，其中单ADC连接至SPI兼容、带有中断输入的数字主机。对应时序图如图9所示。

CNVST上升沿完成捕获，启动转换，强制DOUT为高阻。转换连续完成，不考虑CNVST的状态，允许CNVST用作电路板上其它器件的选择线。

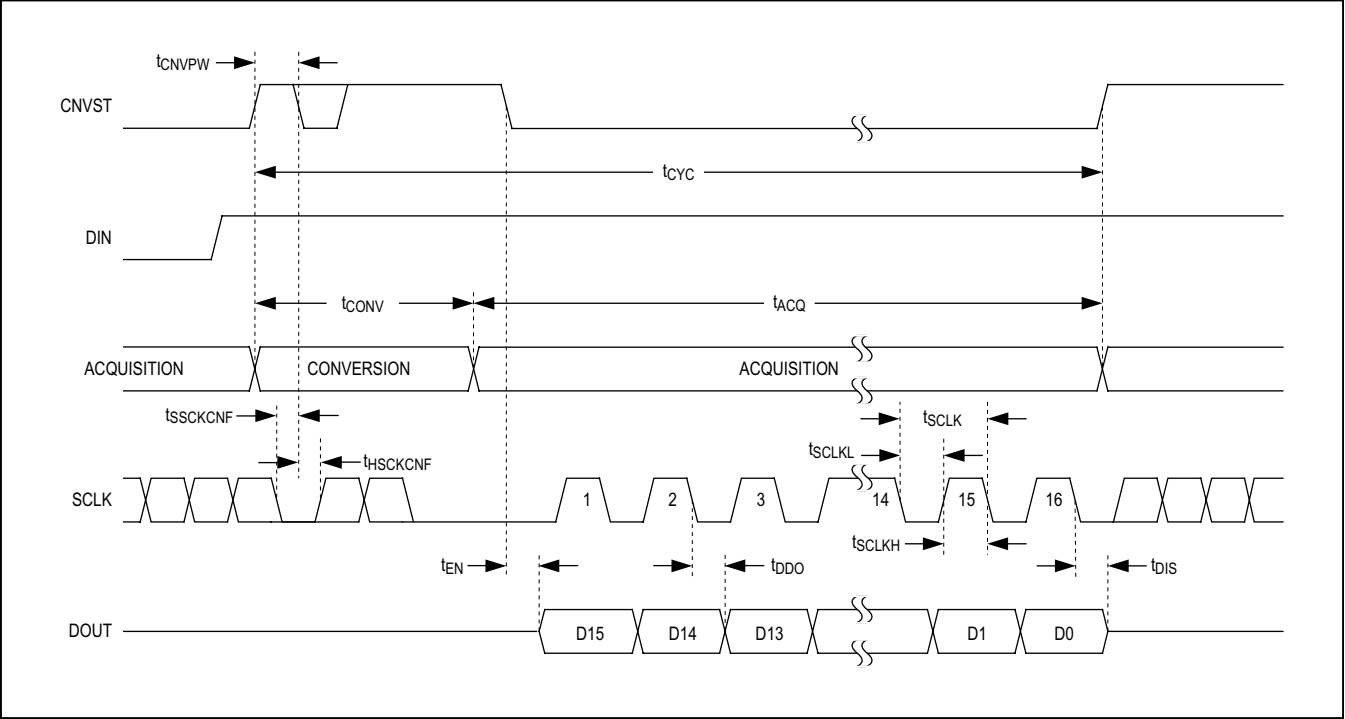


图7. 无忙碌指示CS模式时序

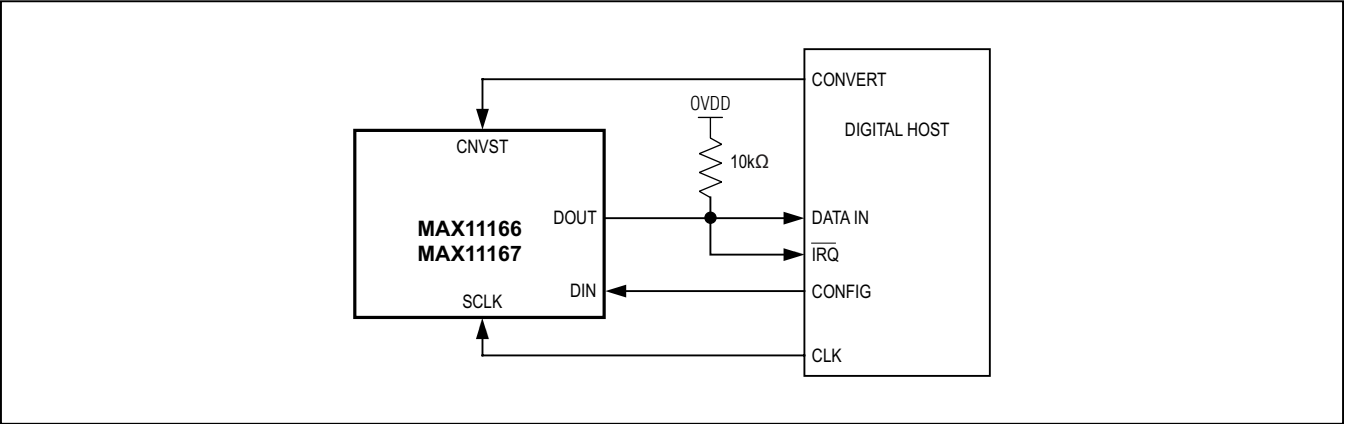


图8. 带忙碌指示CS模式连接图

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的
±5V SAR ADC，TDFN封装

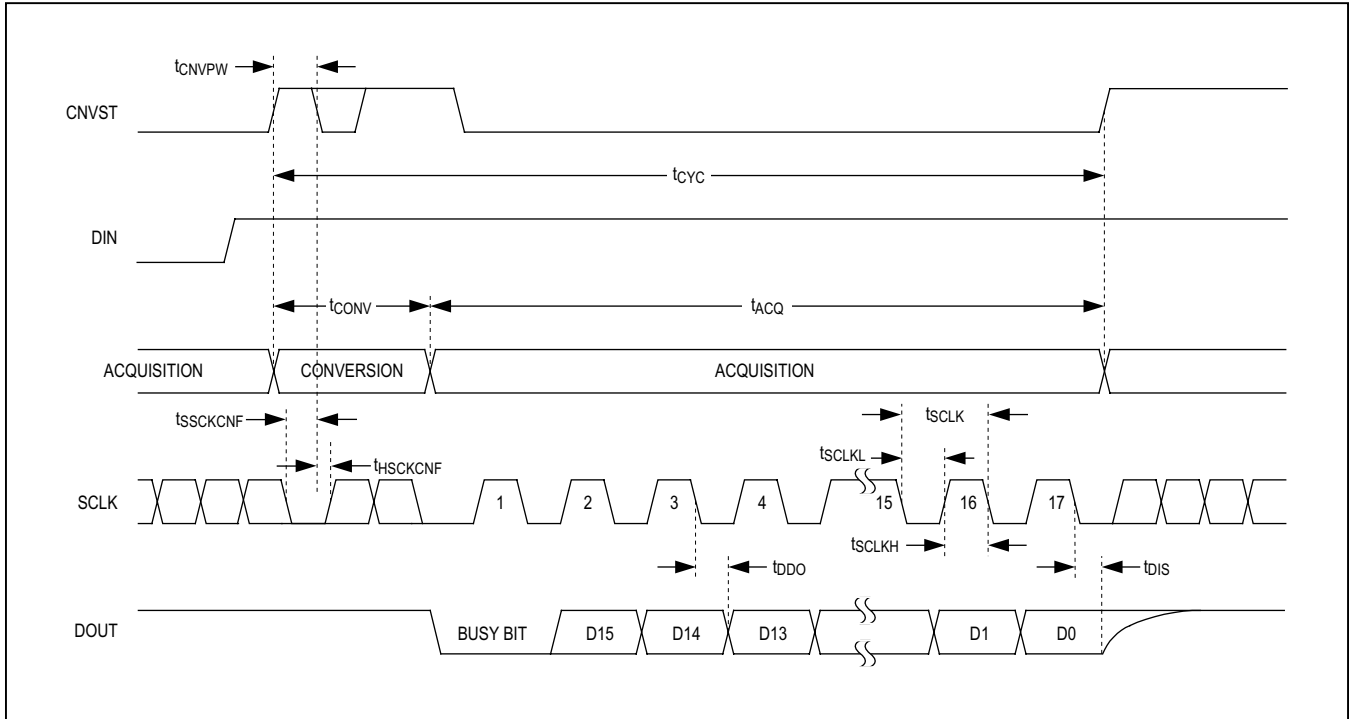


图9. 带忙碌指示CS模式时序

完成转换时，DOUT从高阻态跳变为逻辑低电平，通过中断输入通知数字主机开始读回数据。然后MAX11166/MAX11167进入捕获阶段。然后由随后的SCLK下降沿驱

动移出数据位，MSB在前。第17个SCLK下降沿之后或CNVST变为高电平时，DOUT返回至高阻态，然后通过外部上拉电阻拉至OVDD。

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的 $\pm 5V$ SAR ADC，TDFN封装

多通道CS配置、异步或同时采样

多片MAX11166/MAX11167 ADC连接至一个SPI兼容数字主机时，通常采用多通道CS配置。图10所示为使用两片MAX11166/MAX11167器件的连接图例子。图11所示为对应时序。

通过控制 $\overline{CS1}$ 和 $\overline{CS2}$ 信号沿，可实现异步或同步采样。图10中，与数字主机共用DOUT总线，限制了吞吐率。然而，如果主机独立支持每个ADC的DOUT引脚，可实现最大吞吐率。

CNVST上升沿完成捕获，启动转换，强制DOUT为高阻。转换连续完成，不考虑CNVST的状态，允许CNVST用作电

路板上其它器件的选择线。然而，CNVST必须在最小转换时间之前返回至高电平才能正常工作，使下次转换不会以不足的捕获时间启动，以及正确从器件读出数据。

完成转换时，MAX11166/MAX11167进入捕获阶段。通过将CNVST输入拉为低电平，进而将MSB输出至DOUT，可读出每个ADC的结果。其余的数据位则由随后的SCLK下降沿驱动。对于每个器件，其DOUT将在第16个SCLK下降沿后或CNVST变为高电平后返回至高阻态。这种控制方式允许多片器件共用相同的DOUT总线。

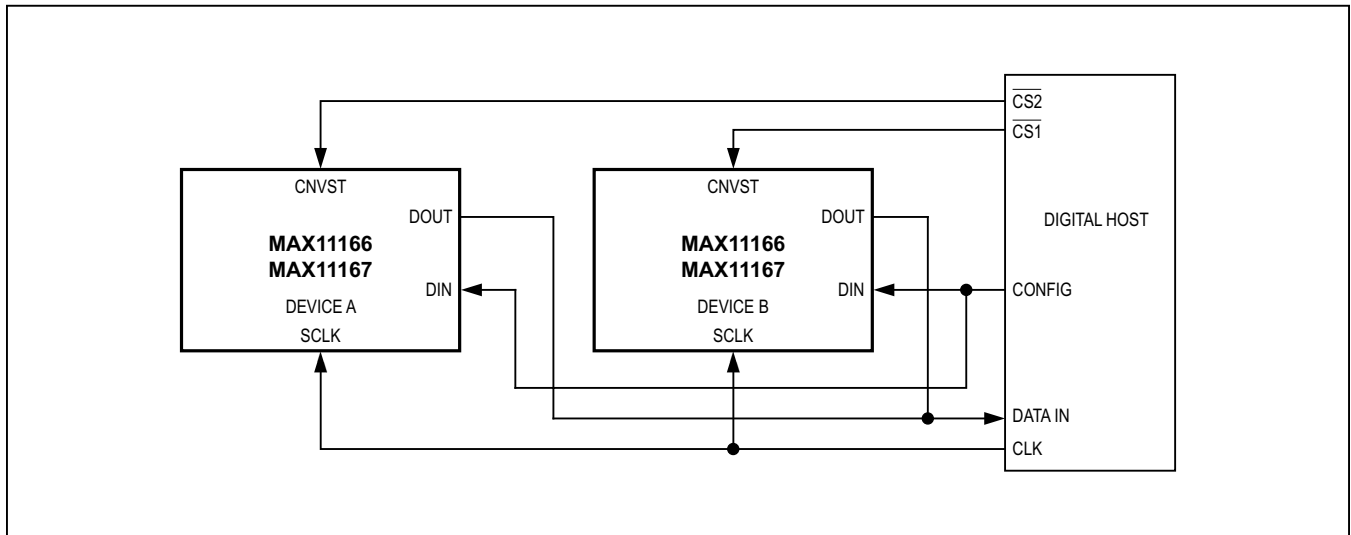


图10. 多通道CS配置图

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的
±5V SAR ADC，TDFN封装

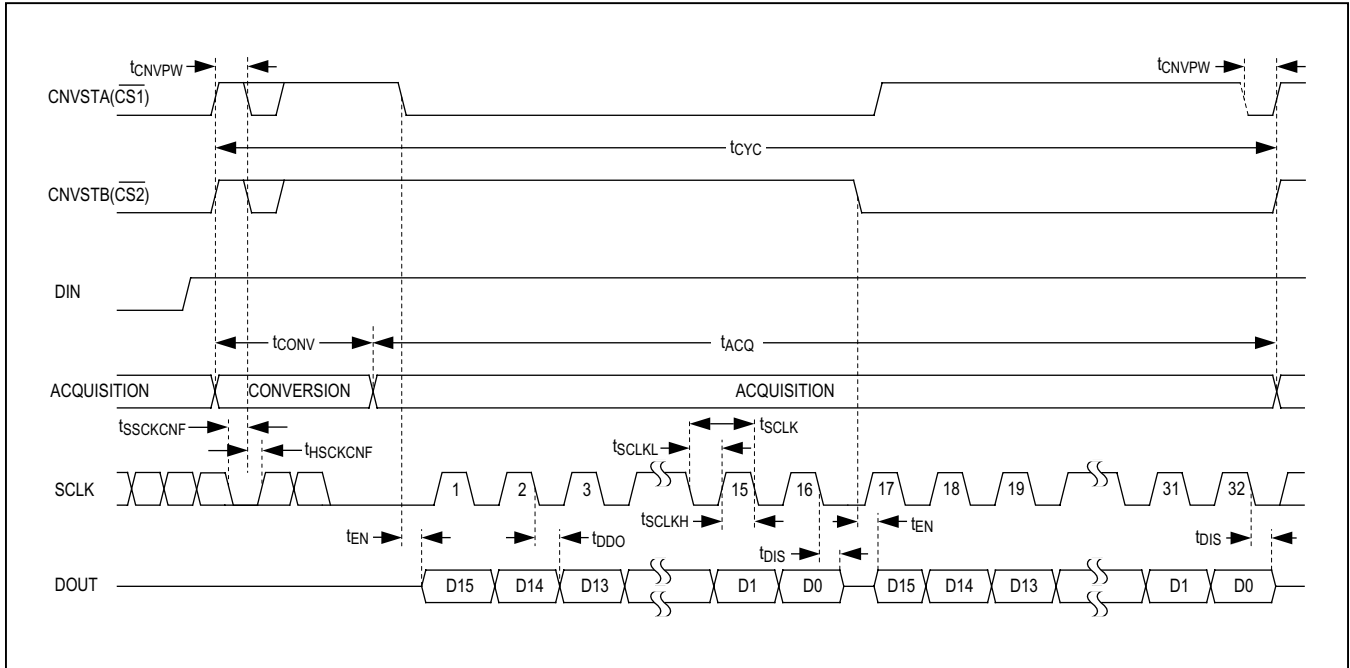


图11. 多通道CS配置时序

无忙碌指示菊花链模式

无忙碌指示菊花链模式理想用于要求最小接线复杂度的多通道隔离应用。在串行接口上实现多个ADC通道同时采样，数据读回类似于时钟驱动移位寄存器。图12所示为两片菊花链配置MAX11166/MAX11167的连接图，对应时序图如图13所示。

CNVST上升沿完成捕获并启动转换。一旦启动转换，则不考虑CNVST状态，连续完成。完成转换时，MSB出现在DOUT，MAX11166/MAX11167返回至捕获阶段。其余数据位储存在内部移位寄存器。为读取这些位，将CNVST拉为低电平，在随后的SCLK下降沿移出每个位。链中每个ADC的DIN输入用于将转换数据从前一个ADC传输至下一个ADC的内部移位寄存器，这允许在每个SCLK下降沿通过多芯片菊花链移出数据。链中的每个ADC首先输出其MSB数据，读回N个ADC需要 $16 \times N$ 个时钟。

菊花链模式下，由于读回时间增加，最大转换率减小。例如，以5ns数字主机建立时间和3V接口为例，能够以菊花

链形式连接最多四片转换速率为218ksps的MAX11166/MAX11167器件。

带忙碌指示菊花链模式

带忙碌指示菊花链模式理想用于要求最小接线复杂度的多通道隔离应用，提供转换完成指示，可用于中断主机处理器，以读取数据。

在串行接口上实现多个ADC通道同时采样，数据读回类似于时钟驱动移位寄存器。带忙碌指示菊花链模式如图14所示，三片MAX11166/MAX11167连接至SPI兼容数字主机，对应时序图如图15所示。

CNVST上升沿完成捕获并启动转换。一旦启动转换，则不考虑CNVST状态，连续完成。完成转换时，忙碌指示出现在每个DOUT，MAX11166/MAX11167返回至捕获阶段。链中最后一个ADC的忙碌指示可连接至数字主机的中断输入。数字主机应在接收到中断到从全部ADC读出数据之前插入50ns延时，以确保链中的全部器件均已完成转换。

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的 ±5V SAR ADC，TDFN封装

转换数据储存在内部移位寄存器。为读取这些位，将CNVST拉为低电平，在随后的SCLK下降沿移出每个位。链中每个ADC的DIN输入用于将转换数据从前一个ADC传输至下一个ADC的内部移位寄存器，这允许在每个SCLK

下降沿通过多芯片菊花链移出数据。从N个ADC读回全部数据所需的SCLK下降沿总数量为 $16 \times N + 1$ ，需要附加一个SCLK下降沿，以从主机侧ADC移出忙碌模式位。

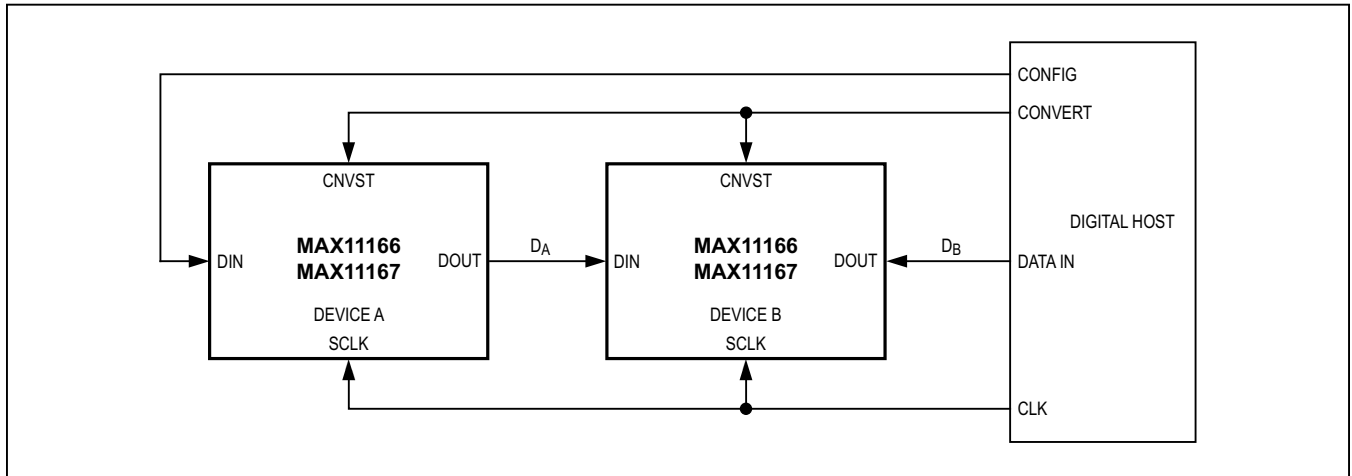


图12. 无忙碌指示菊花链模式连接图

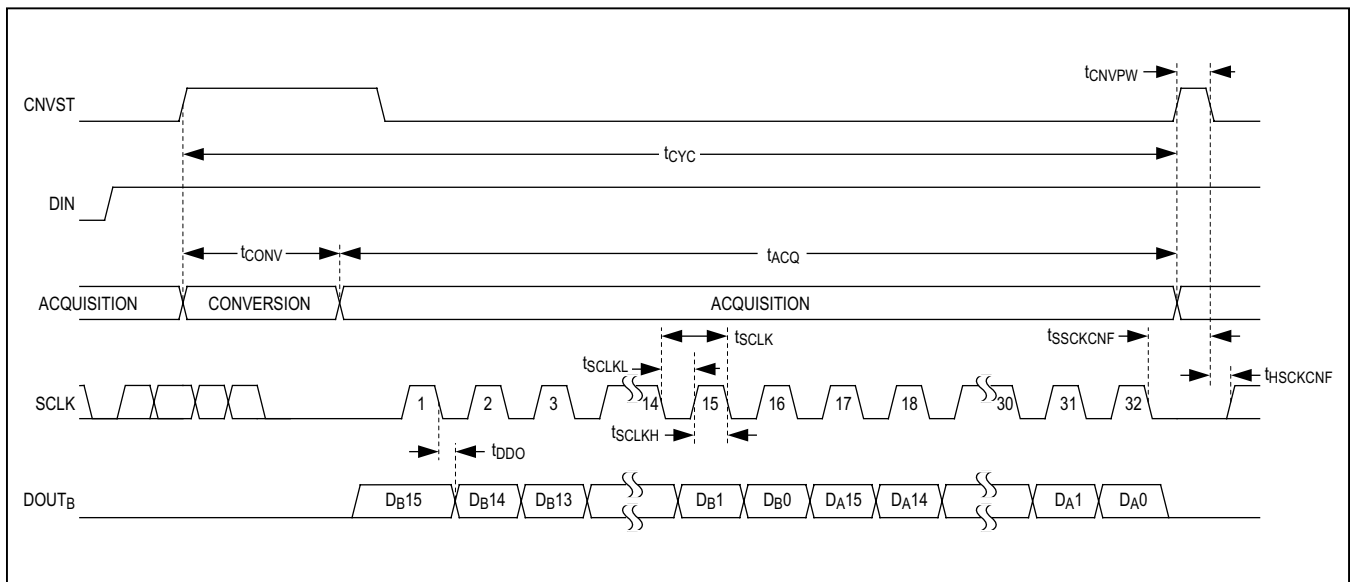


图13. 无忙碌指示菊花链模式时序

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的
 $\pm 5V$ SAR ADC，TDFN封装

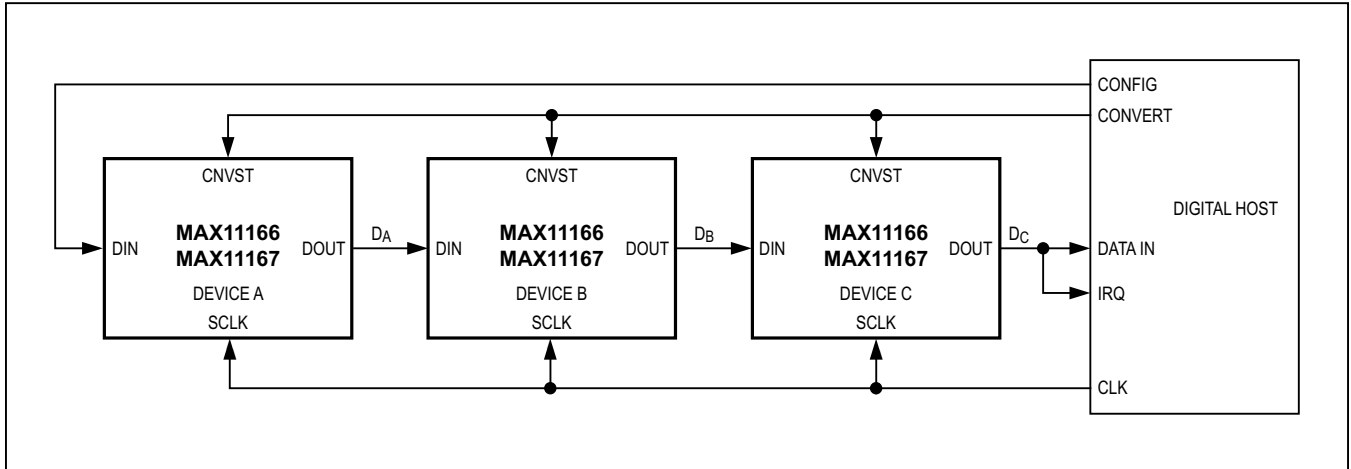


图14. 带忙碌指示菊花链模式连接图

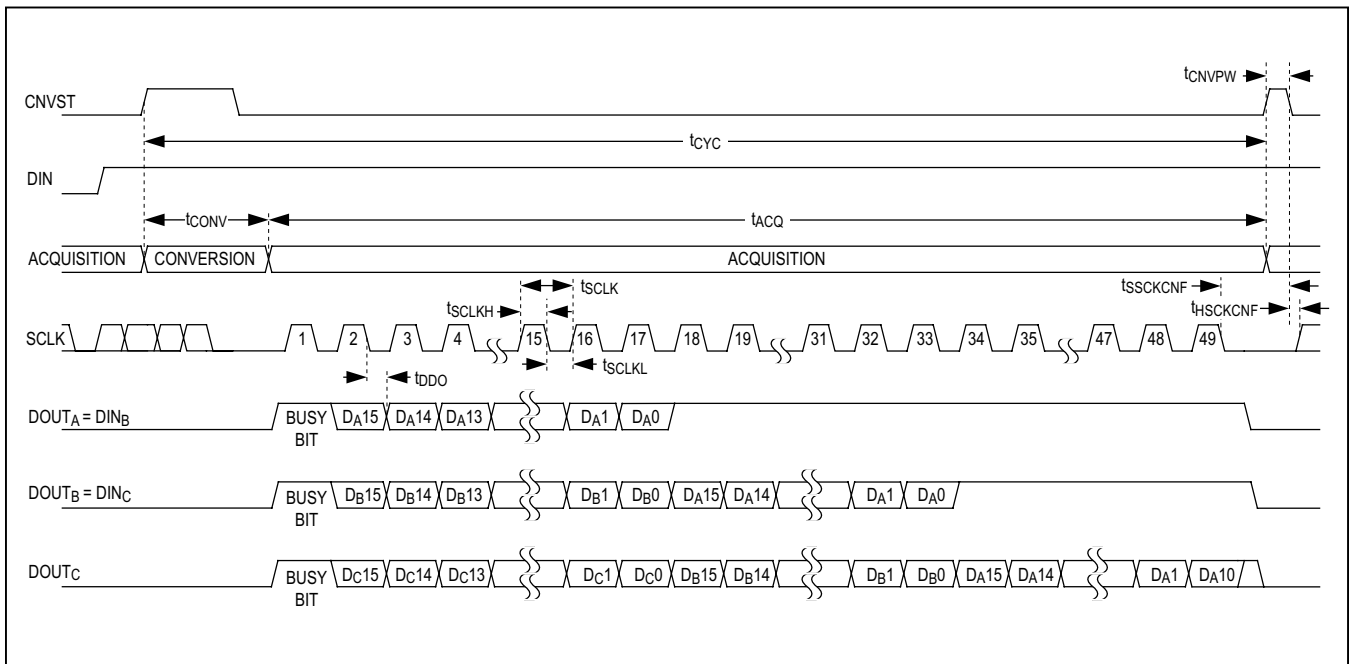


图15. 带忙碌指示菊花链模式时序

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的 ±5V SAR ADC，TDFN封装

菊花链模式下，由于读回时间增加，最大转换率减小。例如，以5ns数字主机建立时间和3V接口为例，能够通过3线端口以菊花链形式连接最多四片转换速率为217ksps的MAX11166/MAX11167器件。

布局、接地和旁路

为获得最佳性能，使用带有地平面的PCB。确保数字和模拟信号线彼此保持分离。请勿将模拟和数字线平行布置(尤其是时钟信号)，避免在ADC封装下方布数字线路。采用单个连续GND区域、数字信号一个方向、模拟信号另一个方向，可实现最佳性能。将MAX11166/MAX11167的GND和AGNDS引脚连接至该接地区域。使连接至电源的接地回路阻抗尽量小、尽量短，以实现无噪声工作。

在AIN+与接地区域之间安装500pF C0G (或NPO)陶瓷电容，尽量靠近MAX11166/MAX11167。该电容降低采样电路的电感，降低输入源电路瞬态电压。

为获得最佳性能，利用X5R或X7R电介质、1210或更小尺寸的16V、10μF贴片陶瓷将REF输出连接至接地区域。确保全部旁路电容通过独立过孔直接连接至接地区域。

在每个芯片上利用0.1μF贴片陶瓷电容将V_{DD}和OVDD旁路至接地区域，尽量靠近器件，以将寄生电感降至最小。在每个PCB上至少有一个10μF大容量电容对V_{DD}和OVDD去耦。为获得最佳性能，在MAX11166/MAX11167的模拟接口侧布置V_{DD}电源区域，在器件的数字接口侧布置OVDD电源区域。

定义

积分非线性

积分非线性(INL)是实际传递函数值与直线的偏差。对于这些器件，这条直线是消除失调与增益误差后传递函数两个端点间的连线。

微分非线性

微分非线性(DNL)是实际阶跃宽度与1个LSB的理想值之差。对于这些器件，每个数字输出码值的DNL都经过测量，

并在电气特性表中给出最大误差。小于±1 LSB的DNL误差保证不会产生失码，并可确保传递函数的单调性。

失调误差

对于MAX11166/MAX11167，在编码从0x8000跳变至0x8001时定义失调误差。失调编码跳变应发生在模拟输入电压严格等于GND以上 $0.5 \times (5.0V/4.096V) \times V_{REF}/65536$ 时。失调误差定义为产生失调编码跳变所需的实际输入电压与理想模拟输入GND以上 $0.5 \times (5.0V/4.096V) \times V_{REF}/65536$ 之间的偏差，以LSB表示。

增益误差

增益误差定义为模拟输入电压 $(5.0V/4.096V) \times V_{REF} \times (65534/65536)$ 减去产生最大码值转换所需模拟输入电压与最小码值转换所需模拟输入电压之差。对于MAX11166/MAX11167，最大码值转换为0xFFFE至0xFFFF，最小码值转换为从0x0000至0x0001。对于MAX11166/MAX11167，产生这些码值转换所需的模拟输入电压均已经过测量，并从测量值中减去 $2.0 \times (5.0V/4.096V) \times V_{REF} \times (65534/65536)$ ，计算得到增益误差。

信噪比

对于从数字采样完美重建的波形，信噪比(SNR)为满幅模拟输入(RMS值)与RMS量化误差(剩余误差)之比。理想情况下，理论上的最小模/数转换噪声仅包含量化误差，并直接由ADC的分辨率(N位)确定：

$$SNR = (6.02 \times N + 1.76)dB$$

式中，N = 16位。实际上，除了量化噪声外还有其它噪声源：热噪声、基准噪声、时钟抖动等。SNR采用RMS信号与RMS噪声之比计算，RMS噪声包括除基波、前五次谐波与直流失调以外的所有频谱成份。

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的 ±5V SAR ADC，TDFN封装

信号与噪声+失真

信号与噪声+失真(SINAD)是基波输入频率的RMS幅值与所有其它ADC输出信号的RMS等效值之比：

$$\text{SINAD (dB)} = 20 \times \log \left[\frac{\text{Signal}_{\text{RMS}}}{(\text{Noise} + \text{Distortion})_{\text{RMS}}} \right]$$

有效位数

有效位数(ENOB)表示一个ADC在特定输入频率和采样率下的总体精度。理想的ADC误差仅包括量化误差。输入范围等于ADC满量程范围时，由下式计算ENOB：

$$\text{ENOB} = \frac{\text{SINAD} - 1.76}{6.02}$$

总谐波失真

总谐波失真(THD)是输入信号前5次谐波的RMS之和与基波之比，可以用下式表示：

$$\text{THD} = 20 \times \log \left[\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \right]$$

式中， V_1 为基波幅值， V_2 至 V_5 为2次至5次谐波幅值。

无杂散动态范围

无杂散动态范围(SFDR)是基波(信号成分最大值)RMS幅值与第二大频率成份的RMS值之比。

孔径延迟

孔径延迟(t_{AD})是从采样时钟沿至实际进行采样时刻之间的时间延迟。

孔径抖动

孔径抖动(t_{AJ})是采样之间的孔径延迟波动。

小信号带宽

向一个ADC施加一个小的-20dBFS模拟输入信号，同时确保信号的摆率不影响ADC性能。然后将输入频率提高至某个点，使数字转换结果的幅值降低3dB。

满功率带宽

将较大的-0.5dBFS模拟输入信号送入ADC，逐渐提高输入频率到数字转换结果的幅值下降3dB，该点所对应的频率称为满功率输入带宽频率。

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的
±5V SAR ADC，TDFN封装

选型指南

PART	BITS	INPUT RANGE (V)	REFERENCE	PACKAGE	SPEED (ksps)
MAX11160	16	0 to 5	Internal	μMAX-10, 3mm x 3mm TDFN-10	500
MAX11161	16	0 to 5	Internal	μMAX-10, 3mm x 3mm TDFN-10	250
MAX11162	16	0 to 5	External	μMAX-10, 3mm x 3mm TDFN-10	500
MAX11163	16	0 to 5	External	μMAX-10, 3mm x 3mm TDFN-10	250
MAX11164	16	0 to 5	Internal/External	3mm x 3mm TDFN-12	500
MAX11165	16	0 to 5	Internal/External	3mm x 3mm TDFN-12	250
MAX11166	16	±5	Internal/External	3mm x 3mm TDFN-12	500
MAX11167	16	±5	Internal/External	3mm x 3mm TDFN-12	250
MAX11168	16	±5	Internal	μMAX-10, 3mm x 3mm TDFN-10	500
MAX11169	16	±5	Internal	μMAX-10, 3mm x 3mm TDFN-10	250

订购信息

器件	温度范围	引脚-封装
MAX11166ETC+*	-40°C至+85°C	12 TDFN-EP**
MAX11167ETC+	-40°C至+85°C	12 TDFN-EP**

+ 表示无铅(Pb)/符合RoHS标准的封装。

* 未来产品—供货状况请联系工厂。

** EP = 裸焊盘

封装信息

如需最近的封装外形信息和焊盘布局(占位面积)，请查询china.maximintegrated.com/packages。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
12 TDFN-EP	TD1233+1	21-0664	90-0397

MAX11166/MAX11167

16位、500ksps/250ksps、内置基准的
±5V SAR ADC，TDFN封装

修订历史

修订号	修订日期	说明	修改页
0	8/12	最初版本。	—

Maxim北京办事处

北京8328信箱 邮政编码100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-10 00

27