



DS80C410/DS80C411 带以太网和 CAN 的网络微控制器

www.maxim-ic.com.cn

概述

DS80C410/DS80C411 网络微控制器是高度集成的 8051 器件。外设包括一个 10/100 以太网 MAC，三个串口，一个可选的 CAN 2.0B 控制器，1-Wire®主机和 64 个 I/O 引脚。DS80C410 和 DS80C411 带有 64kB 内部 SRAM，可用于用户应用程序存储和网络堆栈。

ROM 中提供完整的，可被应用程序访问的 TCP IPv4/6 网络堆栈和 OS，以实现网络功能。网络堆栈同时支持最多 32 个 TCP 连接，通过以太网 MAC 的传送速率高达 5Mbps。最高 75MHz 的系统时钟支持 54ns 的最短指令周期。24 位寻址支持最大 16MB 的连续存储空间，从而简化了对较大程序或数据存储区的访问。

为加速微控制器和存储器之间的数据传输，DS80C410 和 DS80C411 提供 4 个数据指针，每个都可根据与数据指针相关指令的执行情况配置为自动递增或自动递减模式。DS80C410/DS80C411 硬件数学加速器优化了高速移位、归一化、累加功能以及 32 位/16 位乘法和除法。

该数据资料应结合高速微控制器用户指南和高速微控制器用户指南：网络微控制器补充资料使用。它们均可在以下的网址进行下载：www.maxim-ic.com.cn/user_guides。

应用

工业控制/工业自动化	数据转换器 (串口至以太网, CAN 至以太网)
环境监测	
网络传感器	远端数据采集设备
自动贩卖机	
家庭/办公室自动化	
交易/支付终端	

1-Wire 是 Dallas Semiconductor Corp. 的注册商标。
Magic Packet 是 Advanced Micro Devices, Inc. 的注册商标。

特性

- **高性能体系结构**
 - 54ns 单 8051 指令周期
 - DC 至 75MHz 时钟频率
 - 连续 16MB 地址空间
 - 带有自动递增/递减的四个数据指针和可选加速数据移动
 - 16/32 位数学加速器
- **多种网络和 I/O**
 - 10/100 以太网介质访问控制器 (MAC)
 - 可选 CAN 2.0B 控制器
 - 1-Wire 网络控制器
 - 3 个全双工硬件串口
 - 多达 8 个双向 8 位端口 (64 个数字 I/O 引脚)
- **强大的 ROM 固件**
 - 支持以太网采用 DHCP 和 TFTP 的网络启动
 - 完整的、应用程序可访问 TCP/IP 网络堆栈
 - 支持 IPv4 和 IPv6
 - 可实现 UDP、TCP、DHCP、ICMP 和 IGMP
 - 抢先式、基于优先级的任务调度
 - MAC 地址可通过 IEEE-Registered DS2502-E48 设置
- **10/100 以太网 Mac**
 - 灵活的 IEEE 802.3 MII (10/100Mbps) 和 ENDEC (10Mbps) 接口支持选择 PHY
 - 低功耗运行
 - 具有 Magic Packet®和唤醒帧探测的超低功耗睡眠模式
 - 带有缓冲控制单元的 8kB 片内 Tx/Rx 包数据存储单元，减轻 CPU 负荷
 - 带有流控的半/全双工运行
 - 支持 VLAN 的多播/广播地址过滤

第 34 页继续说明特性。
引脚说明在数据资料最后。
选型指南在数据资料最后。

订购信息

PART	TEMP RANGE	PIN-PACKAGE
DS80C410-FNY	-40°C to +85°C	100 LQFP
DS80C410-FNY+	-40°C to +85°C	100 LQFP
DS80C411-FNY	-40°C to +85°C	100 LQFP
DS80C411-FNY+	-40°C to +85°C	100 LQFP

+ 指无铅/符合 RoHS 标准的器件。

注：产品的部分修订版本可能与公布的产品规格有所偏差，可通过产品勘误表了解到具体信息。产品的多种修订版本可能通过不同的销售渠道同时提供给用户。了解产品勘误表的信息可访问：www.maxim-ic.com.cn/errata。

ABSOLUTE MAXIMUM RATINGS

Voltage Range on Any Input Pin Relative to Ground.....	-0.5V to +5.5V
Voltage Range on Any Output Pin Relative to Ground.....	-0.5V to ($V_{CC3} + 0.5V$)
Voltage Range on V_{CC3} Relative to Ground.....	-0.5V to +3.6V
Voltage Range on V_{CC1} Relative to Ground.....	-0.3V to +2.0V
Operating Temperature Range.....	-40°C to +85°C
Junction Temperature.....	+150°C max
Storage Temperature Range.....	-55°C to +160°C
Soldering Temperature.....	See IPC/JEDEC J-STD-020 Standard

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods can affect device reliability.

DC ELECTRICAL CHARACTERISTICS

($V_{CC3} = 3.0V$ to $3.6V$, $V_{CC1} = 1.8V \pm 10\%$, $T_A = -40^\circ C$ to $+85^\circ C$.) (Note 1)

PARAMETER		SYMBOL	MIN	TYP	MAX	UNITS
VCC3	Supply Voltage (V_{CC3}) (Note 2)	V_{CC3}	3.0	3.3	3.6	V
	Power-Fail Warning (V_{CC3}) (Note 3)	V_{PFW3}	2.85	3.00	3.15	V
	Power-Fail Reset Voltage (V_{CC3}) (Note 3)	V_{RST3}	2.76	2.90	3.05	V
	Active Mode Current (V_{CC3}) (Note 4)	I_{CC3}		16	35	mA
	Idle Mode Current (V_{CC3}) (Note 4)	I_{IDLE3}		7	15	mA
	Stop Mode Current (V_{CC3}) (Note 4)	I_{STOP3}		1	10	μA
	Stop Mode Current, Bandgap Enabled (V_{CC3}) (Note 4)	I_{SPBG3}		100	150	μA
VCC1	Supply Voltage (V_{CC1}) (Note 2)	V_{CC1}	1.62	1.8	1.98	V
	Power-Fail Warning (V_{CC1}) (Note 5)	V_{PFW1}	1.52	1.60	1.68	V
	Power-Fail Reset Voltage (V_{CC1}) (Note 5)	V_{RST1}	1.47	1.55	1.63	V
	Active Mode Current (V_{CC1}) (Note 4)	I_{CC1}		30	60	mA
	Idle Mode Current (V_{CC1}) (Note 4)	I_{IDLE1}		20	50	mA
	Stop Mode Current (V_{CC1}) (Note 4)	I_{STOP1}		3	20	mA
	Stop Mode Current, Bandgap Enabled (V_{CC1}) (Note 4)	I_{SPBG1}		3	20	mA
Input Low Level	V_{IL1}			0.8	V	
Input Low Level for XTAL1, RST, OW	V_{IL2}			1.0	V	
Input High Level	V_{IH1}	2.0			V	
Input High Level for XTAL1, RST, OW	V_{IH2}	2.4			V	
Output Low Current for Port 1, 3–7 at $V_{OL} = 0.4V$	I_{OL1}	6	10		mA	
Output Low Current for Port 0, 2, TX_EN, TXD[3:0], MDC, MDIO, \overline{RSTOL} , ALE, \overline{PSEN} , and Ports 3–7 (when used as any of the following: A21–A0, WR, RD, CE0–7, PCE0–3) at $V_{OL} = 0.4V$ (Note 6)	I_{OL2}	12	20		mA	
Output Low Current for OW, \overline{OWSTP} at $V_{OL} = 0.4V$	I_{OL3}	10	16		mA	
Output High Current for Port 1, 3–7 at $V_{OH} = V_{CC3} - 0.4V$ (Note 7)	I_{OH1}		-75	-50	μA	
Output High Current for Port 1, 3–7 at $V_{OH} = V_{CC3} - 0.4V$ (Note 8)	I_{OH2}		-8	-4	mA	
Output High Current for Port 0, 2, TX_EN, TXD[3:0], MDC, MDIO, \overline{RSTOL} , ALE, \overline{PSEN} , and Ports 3–7 (when used as any of the following: A21–A0, WR, RD, CE0–7, PCE0–3) at $V_{OH} = V_{CC3} - 0.4V$ (Notes 6, 9)	I_{OH3}		-16	-8	mA	
Input Low Current for Port 1–7 at 0.4V (Note 10)	I_{IL}	-50	-20	-10	μA	
Logic 1-to-0 Transition Current for Port 1, 3–7 (Note 11)	I_{TL}	-650	-400		μA	
Input Leakage Current, Port 0 Bus Mode, $V_{IL} = 0.8V$ (Note 12)	I_{TH0}	20	50	200	μA	
Input Leakage Current, Port 0 Bus Mode, $V_{IH} = 2.0V$ (Note 12)	I_{TL0}	-200	-50	-20	μA	
Input Leakage Current, Input Mode (Note 13)	I_L	-10	0	10	μA	
RST Pulldown Resistance	R_{RST}	50	100	200	$k\Omega$	

- Note 1:** Specifications to -40°C are guaranteed by design and not production tested.
- Note 2:** The user should note that this part is tested and guaranteed to operate down to $V_{CC3} = 3.0\text{V}$ and $V_{CC1} = 1.62\text{V}$, while the reset thresholds for those supplies, V_{RST3} and V_{RST1} respectively, may be above or below those points. When the reset threshold for a given supply is greater than the guaranteed minimum operating voltage, that reset threshold should be considered the minimum operating point since execution ceases once the part enters the reset state. When the reset threshold for a given supply is lower than the guaranteed minimum operating voltage, there exists a range of voltages for either supply, ($V_{RST3} < V_{CC3} < 1.62\text{V}$) or ($V_{RST1} < V_{CC1} < 3.0\text{V}$), where the processor's operation is not guaranteed, and the reset trip point has not been reached. This should not be an issue in most applications, but should be considered when proper operation must be maintained at all times. For these applications, it may be desirable to use a more accurate external reset.
- Note 3:** While the specifications for V_{PFW3} and V_{RST3} overlap, the design of the hardware makes it such that this is not possible. Within the ranges given, there is a guaranteed separation between these two voltages.
- Note 4:** Current measured with 75MHz clock source on XTAL1, $V_{CC3} = 3.6\text{V}$, $V_{CC1} = 2.0\text{V}$, $\overline{\text{EA}}$ and RST = 0V, Port0 = V_{CC3} , all other pins disconnected.
- Note 5:** While the specifications for V_{PFW1} and V_{RST1} overlap, the design of the hardware makes it such that this is not possible. Within the ranges given, there will be a guaranteed separation between these two voltages.
- Note 6:** Certain pins exhibit stronger drive capability when being used to address external memory. These pins and associated memory interface function (in parentheses) are as follows: Port 3.6-3.7 (WR, RD), Port 4 (CE0-3, A16-A19), Port 5.4-5.7 (PCE0-3), Port 6.0-6.5 ($\overline{\text{CE4-7}}$, A20, A21), Port 7 (demultiplexed mode A0-A7).
- Note 7:** This measurement reflects the weak I/O pullup state that persists following the momentary strong 0 to 1 port pin drive (V_{OH2}). This I/O pin state can be achieved by applying RST = V_{CC3} .
- Note 8:** The measurement reflects the momentary strong port pin drive during a 0-to-1 transition in I/O mode. During this period, a one shot circuit drives the ports hard for two clock cycles. A weak pullup device (V_{OH1}) remains in effect following the strong two-clock cycle drive. If a port 4 or 6 pin is functioning in memory mode with pin state of 0 and the SFR bit contains a 1, changing the pin to an I/O mode (by writing to P4CNT, for example) does not enable the two-cycle strong pullup.
- Note 9:** Port 3 pins 3.6 ($\overline{\text{WR}}$) and 3.7 ($\overline{\text{RD}}$) have a stronger than normal pullup drive for only one system clock period following the transition of either $\overline{\text{WR}}$ or $\overline{\text{RD}}$ from a 0 to a 1.
- Note 10:** This is the current required from an external circuit to hold a logic low level on an I/O pin while the corresponding port latch bit is set to 1. This is only the current required to *hold* the low level; transitions from 1 to 0 on an I/O pin also have to overcome the transition current.
- Note 11:** Following the 0 to 1 one-shot timeout, ports in I/O mode source transition current when being pulled down externally. It reaches a maximum at approximately 2V.
- Note 12:** During external addressing mode, weak latches are used to maintain the previously driven state on the pin until such time that the Port 0 pin is driven by an external memory source.
- Note 13:** The OW pin (when configured to output a 1) at $V_{IN} = 5.5\text{V}$, $\overline{\text{EA}}$, $\overline{\text{MUX}}$, and all MII inputs (TXCLK, RXCLK, RX_DV, RX_ER, RXD[3:0], CRS, COL, MDIO) at $V_{IN} = 3.6\text{V}$.

AC ELECTRICAL CHARACTERISTICS (MULTIPLEXED ADDRESS/DATA BUS)(V_{CC3} = 3.0V to 3.6V, V_{CC1} = 1.8V ±10%, T_A = -40°C to +85°C.) (Note 1)

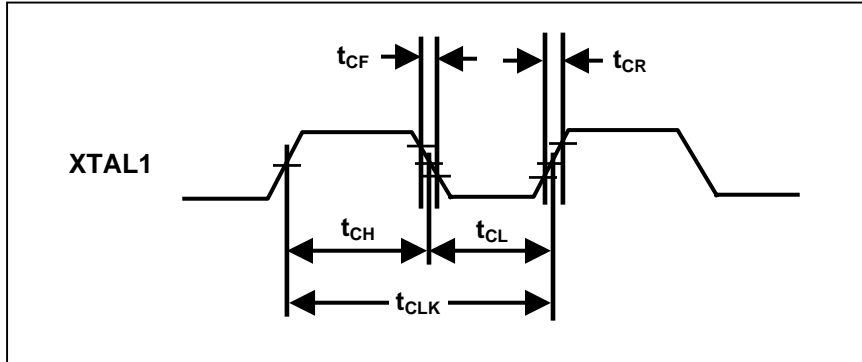
PARAMETER	SYMBOL	75MHz		VARIABLE CLOCK		UNITS
		MIN	MAX	MIN	MAX	
External Crystal Frequency	1 / t _{CLK}			4	40	MHz
Clock Multiplier 2X Mode				16	37.5	
Clock Multiplier 4X Mode				11	18.75	
External Clock Oscillator Frequency	1 / t _{CLK}			DC	75	MHz
Clock Multiplier 2X Mode				16	37.5	
Clock Multiplier 4X Mode				11	18.75	
ALE Pulse Width	t _{LHLL}	15.0		t _{CLCL} + t _{CHCL} - 5		ns
Port 0 Instruction Address Valid to ALE Low	t _{AVLL}	1.7		t _{CHCL} - 5		ns
Address Hold After ALE Low	t _{LLAX}	4.7		t _{CLCH} - 2		ns
ALE Low to Valid Instruction In	t _{LLIV}		14.3		2t _{CLCL} + t _{CLCH} - 19	ns
ALE Low to PSEN Low	t _{LLPL}	3.7		t _{CLCH} - 3		ns
PSEN Pulse Width	t _{PLPH}	21.7		2t _{CLCL} - 5		ns
PSEN Low to Valid Instruction In	t _{PLIV}		8.7		2t _{CLCL} - 18	ns
Input Instruction Hold After PSEN	t _{PXIX}	0		0		ns
Input Instruction Float After PSEN	t _{PXIZ}		8.3		t _{CLCL} - 5	ns
Port 0 Address to Valid Instruction In	t _{AVIV0}		21.0		3t _{CLCL} - 19	ns
Port 2, 4, 6 Address or Port 4 CE to Valid Instruction In	t _{AVIV2}		24.7		3t _{CLCL} + t _{CLCH} - 22	ns
PSEN Low to Address Float	t _{PLAZ}		0		0	ns

- Note 1:** AC electrical characteristics assume 50% duty cycle for the oscillator, oscillator frequency ≤ 75MHz, and are not 100% production tested, but are guaranteed by design.
- Note 2:** All parameters apply to both commercial and industrial temperature operation, unless otherwise noted.
- Note 3:** t_{CLCL}, t_{CLCH}, t_{CHCL} are time periods associated with the internal system clock and are related to the external clock (t_{CLK}) as defined in the *External Clock Oscillator (XTAL1) Characteristics* table.
- Note 4:** The precalculated 75MHz MIN/MAX timing specifications assume an exact 50% duty cycle.
- Note 5:** All signals guaranteed with load capacitance of 80pF except Port 0, Port 2, ALE, PSEN, RD, and WR with 100pF. The following signals, when configured for memory interface, are also characterized with 100pF loading: Port 4 (CE0-3, A16-A19), Port 5.4-5.7 (PCE0-3), Port 6.0-6.5 (CE4-7, A20, A21), Port 7 (demultiplexed mode A0-A7).
- Note 6:** For high-frequency operation, special attention should be paid to the float times of the interfaced memory devices so as to avoid bus contention.
- Note 7:** References to the XTAL, XTAL1 or CLK signal in timing diagrams is to assist in determining the relative occurrence of events, not for determining absolute signal timing with respect to the external clock.

EXTERNAL CLOCK OSCILLATOR (XTAL1) CHARACTERISTICS

PARAMETER	SYMBOL	MIN	MAX	UNITS
Clock Oscillator Period	t_{CLK}	See <i>External Clock Oscillator Frequency</i>		
Clock Symmetry at 0.5 x V_{CC3}	t_{CH}	0.45 t_{CLK}	0.55 t_{CLK}	ns
Clock Rise Time	t_{CR}		3	ns
Clock Fall Time	t_{CF}		3	ns

EXTERNAL CLOCK DRIVE



SYSTEM CLOCK TIME PERIODS (t_{CLCL} , t_{CHCL} , t_{CLCH})

SYSTEM CLOCK SELECTION			SYSTEM CLOCK PERIOD t_{CLCL}	SYSTEM CLOCK HIGH (t_{CHCL}) AND SYSTEM CLOCK LOW (t_{CLCH})	
4X/2X	CD1	CD0		MIN	MAX
1	0	0	$t_{CLK} / 4$	0.45 ($t_{CLK} / 4$)	0.55 ($t_{CLK} / 4$)
0	0	0	$t_{CLK} / 2$	0.45 ($t_{CLK} / 2$)	0.55 ($t_{CLK} / 2$)
X	1	0	t_{CLK}	0.45 t_{CLK}	0.55 t_{CLK}
X	1	1	256 t_{CLK}	0.45 (256 t_{CLK})	0.55 (256 t_{CLK})

Note 1: [Figure 21](#) shows a detailed description and illustration of the system clock selection.

Note 2: When an external clock oscillator is used in conjunction with the default system clock selection (CD1:CD0 = 10b), the minimum/maximum system clock high (t_{CHCL}) and system clock low (t_{CLCH}) periods are directly related to clock oscillator duty cycle.

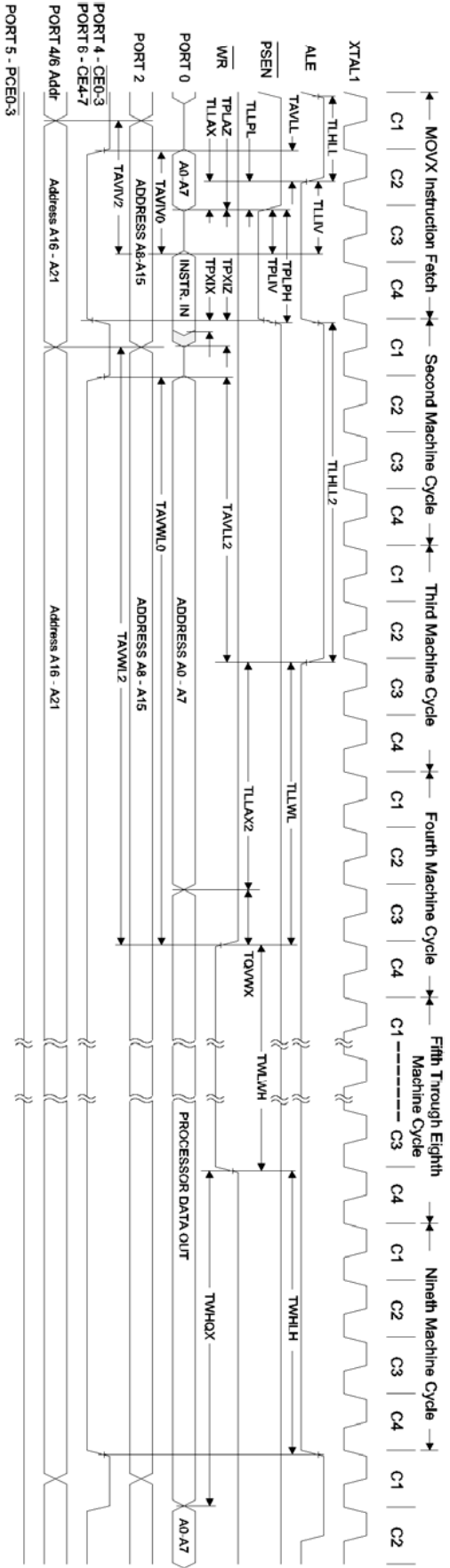
MOVX CHARACTERISTICS (MULTIPLEXED ADDRESS/DATA BUS) (Note 1)

($V_{CC3} = 3.0V$ to $3.6V$, $V_{CC1} = 1.8V \pm 10\%$, $T_A = -40^\circ C$ to $+85^\circ C$.)

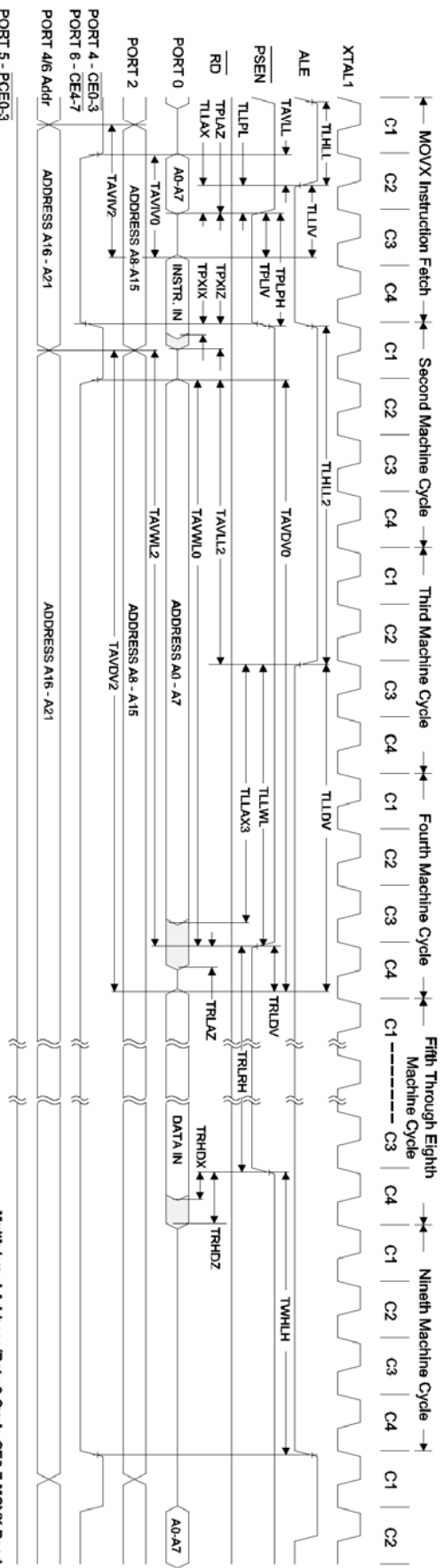
PARAMETER	SYMBOL	MIN	MAX	UNITS	STRETCH VALUES C_{ST} (MD2:0)
MOVX ALE Pulse Width	t_{LHLL2}	$t_{CLCL} + t_{CHCL} - 5$		ns	$C_{ST} = 0$
		$2t_{CLCL} - 5$			$1 \leq C_{ST} \leq 3$
		$6t_{CLCL} - 5$			$4 \leq C_{ST} \leq 7$
Port 0 MOVX Address Valid to ALE Low	t_{AVLL2}	$t_{CHCL} - 5$		ns	$C_{ST} = 0$
		$t_{CLCL} - 6$			$1 \leq C_{ST} \leq 3$
		$5t_{CLCL} - 6$			$4 \leq C_{ST} \leq 7$
Port 0 MOVX Address Hold after ALE Low	t_{LLAX2} and t_{LLAX3}	$t_{CLCH} - 2$		ns	$C_{ST} = 0$
		$t_{CLCL} - 2$			$1 \leq C_{ST} \leq 3$
		$5t_{CLCL} - 2$			$4 \leq C_{ST} \leq 7$
\overline{RD} Pulse Width (P3.7 or PSEN)	t_{RLRH}	$2t_{CLCL} - 5$		ns	$C_{ST} = 0$
		$(4 \times C_{ST}) t_{CLCL} - 3$			$1 \leq C_{ST} \leq 7$
WR Pulse Width (P3.6)	t_{WLWH}	$2t_{CLCL} - 5$		ns	$C_{ST} = 0$
		$(4 \times C_{ST}) t_{CLCL} - 3$			$1 \leq C_{ST} \leq 7$
\overline{RD} (P3.7 or PSEN) Low to Valid Data In	t_{RLDV}	$2t_{CLCL} - 18$		ns	$C_{ST} = 0$
		$(4 \times C_{ST}) t_{CLCL} - 18$			$1 \leq C_{ST} \leq 7$
Data Hold After \overline{RD} (P3.7 or PSEN) High	t_{RHDX}	-2		ns	

PARAMETER	SYMBOL	MIN	MAX	UNITS	STRETCH VALUES C_{ST} (MD2:0)
Data Float After \overline{RD} (P3.7 or PSEN) High	t_{RHDZ}	$t_{CLCL} - 5$		ns	$C_{ST} = 0$
		$2t_{CLCL} - 5$			$1 \leq C_{ST} \leq 3$
		$6t_{CLCL} - 5$			$4 \leq C_{ST} \leq 7$
ALE Low to Valid Data In	t_{LLDV}	$2t_{CLCL} + t_{CLCH} - 19$		ns	$C_{ST} = 0$
		$(4 \times C_{ST} + 1)t_{CLCL} - 19$			$1 \leq C_{ST} \leq 3$
		$(4 \times C_{ST} + 5)t_{CLCL} - 19$			$4 \leq C_{ST} \leq 7$
Port 0 Address to Valid Data In	t_{AVDV0}	$3t_{CLCL} - 19$		ns	$C_{ST} = 0$
		$(4 \times C_{ST} + 2)t_{CLCL} - 19$			$1 \leq C_{ST} \leq 3$
		$(4 \times C_{ST} + 10)t_{CLCL} - 20$			$4 \leq C_{ST} \leq 7$
Port 2, 4, 6 Address, Port 4 CE, or Port 5 PCE to Valid Data In	t_{AVDV2}	$3t_{CLCL} + t_{CLCH} - 22$		ns	$C_{ST} = 0$
		$(4 \times C_{ST} + 2)t_{CLCL} + t_{CLCH} - 22$			$1 \leq C_{ST} \leq 3$
		$(4 \times C_{ST} + 10)t_{CLCL} + t_{CLCH} - 22$			$4 \leq C_{ST} \leq 7$
ALE Low to (\overline{RD} or \overline{PSEN}) or \overline{WR} Low	t_{LLWL}	$t_{CLCH} - 3$	$t_{CLCH} + 6$	ns	$C_{ST} = 0$
		$t_{CLCL} - 3$	$t_{CLCL} + 6$		$1 \leq C_{ST} \leq 3$
		$5t_{CLCL} - 3$	$5t_{CLCL} + 6$		$4 \leq C_{ST} \leq 7$
Port 0 Address to (\overline{RD} or \overline{PSEN}) or \overline{WR} Low	t_{AWWL0}	$t_{CLCL} - 6.5$		ns	$C_{ST} = 0$
		$2t_{CLCL} - 6.5$			$1 \leq C_{ST} \leq 3$
		$10t_{CLCL} - 7$			$4 \leq C_{ST} \leq 7$
Port 2, 4 Address, Port 4 CE, Port 5 PCE, to (\overline{RD} or \overline{PSEN}) or \overline{WR} Low	t_{AWWL2}	$t_{CLCL} + t_{CLCH} - 7$		ns	$C_{ST} = 0$
		$2t_{CLCL} + t_{CLCH} - 7$			$1 \leq C_{ST} \leq 3$
		$10t_{CLCL} + t_{CLCH} - 7$			$4 \leq C_{ST} \leq 7$
Data Valid to \overline{WR} Transition	t_{QVWX}	0		ns	
Data Hold After \overline{WR} High	t_{WHQX}	$t_{CLCL} - 5$		ns	$C_{ST} = 0$
		$2t_{CLCL} - 8$			$1 \leq C_{ST} \leq 3$
		$6t_{CLCL} - 8$			$4 \leq C_{ST} \leq 7$
\overline{RD} Low to Address Float	t_{RLAZ}	(Note 2)			$0 \leq C_{ST} \leq 7$
(\overline{RD} or \overline{PSEN}) or \overline{WR} High to ALE	t_{WHLH}	-2.5 6		ns	$C_{ST} = 0$
		$t_{CLCL} - 2.5$	$t_{CLCL} + 6$		$1 \leq C_{ST} \leq 3$
		$5t_{CLCL} - 2.5$	$5t_{CLCL} + 6$		$4 \leq C_{ST} \leq 7$
(\overline{RD} or \overline{PSEN}) or \overline{WR} High to Port 4 CE or Port 5 PCE High	t_{WHLH2}	$t_{CHCL} - 5$	$t_{CHCL} + 13$	ns	$C_{ST} = 0$
		$t_{CLCL} + t_{CHCL} - 5$	$t_{CLCL} + t_{CHCL} + 13$		$1 \leq C_{ST} \leq 3$
		$5t_{CLCL} + t_{CHCL} - 5$	$5t_{CLCL} + t_{CHCL} + 13$		$4 \leq C_{ST} \leq 7$

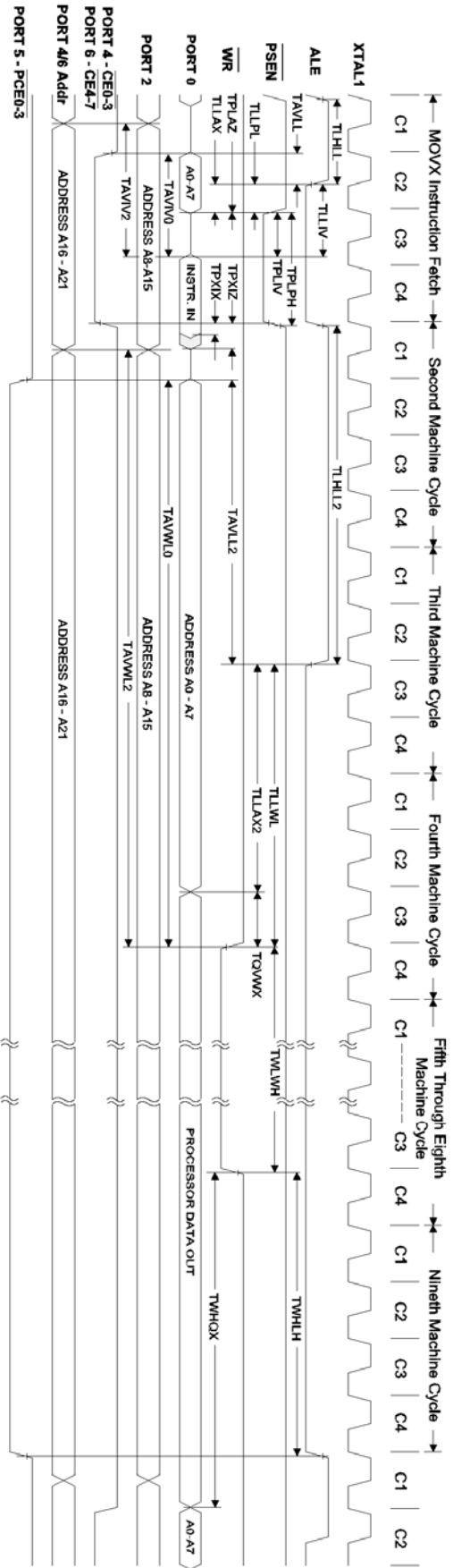
- Note 1:** AC electrical characteristics assume 50% duty cycle for the oscillator, oscillator frequency ≤ 75 MHz, and are not 100% production tested, but are guaranteed by design.
- Note 2:** For a MOVX read operation, on the falling edge of ALE, Port 0 is held by a weak latch until overdriven by external memory.
- Note 3:** All parameters apply to both commercial and industrial temperature operation, unless otherwise noted.
- Note 4:** C_{ST} is the stretch cycle value as determined by the MD2, MD1, and MD0 bits of the CKCON register. t_{CLCL} , t_{CLCH} , t_{CHCL} are time periods associated with the internal system clock and are related to the external clock. See the *System Clock Time Periods* table.
- Note 5:** All signals characterized with load capacitance of 80 pF except Port 0, Port 2, ALE, \overline{PSEN} , \overline{RD} , and \overline{WR} with 100 pF. The following signals, when configured for memory interface, are also characterized with 100 pF loading: Port 4 (CE0-3, A16-A19), Port 5.4-5.7 (PCE0-3), Port 6.0-6.5 (CE4-7, A20, A21), Port 7 (demultiplexed mode A0-A7).
- Note 6:** References to the XTAL, XTAL1 or CLK signal in the timing diagrams are to assist in determining the relative occurrence of events, not for determining absolute signal timing with respect to the external clock.



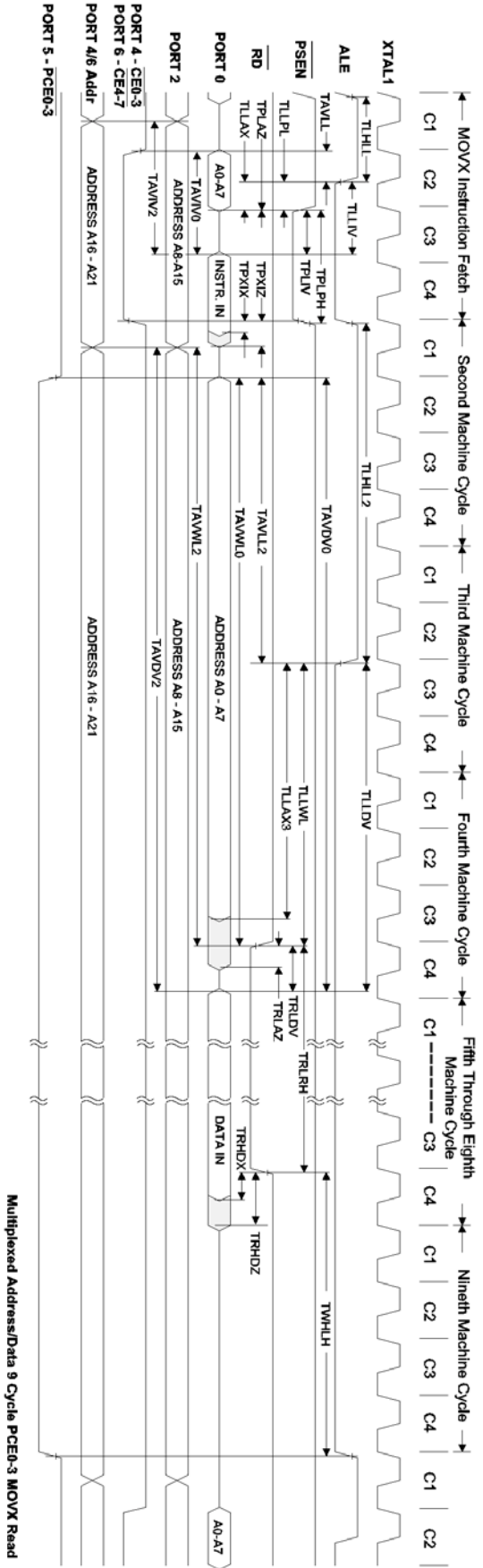
Multiplexed Address/Data 9 Cycle CE0-7 MOVX Write



Multiplexed Address/Data 9 Cycle CE0-7 MOVX Read

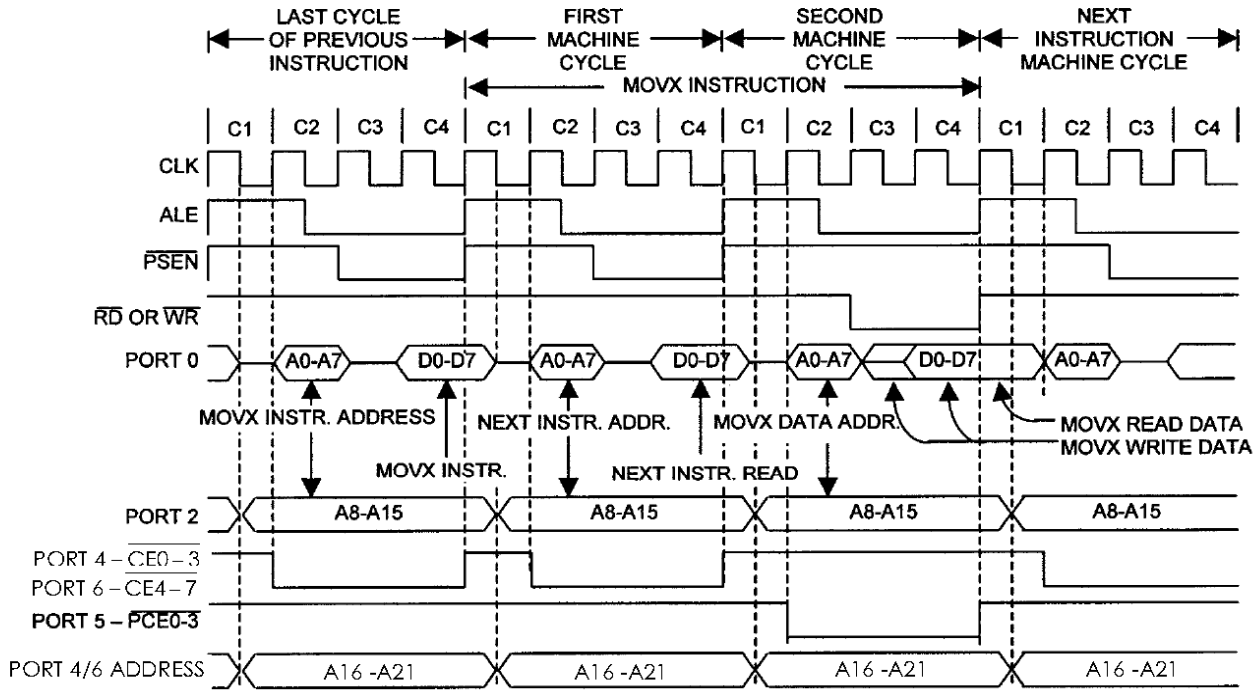


Multiplexed Address/Data 9 Cycle PCE0-3 MOVX Write

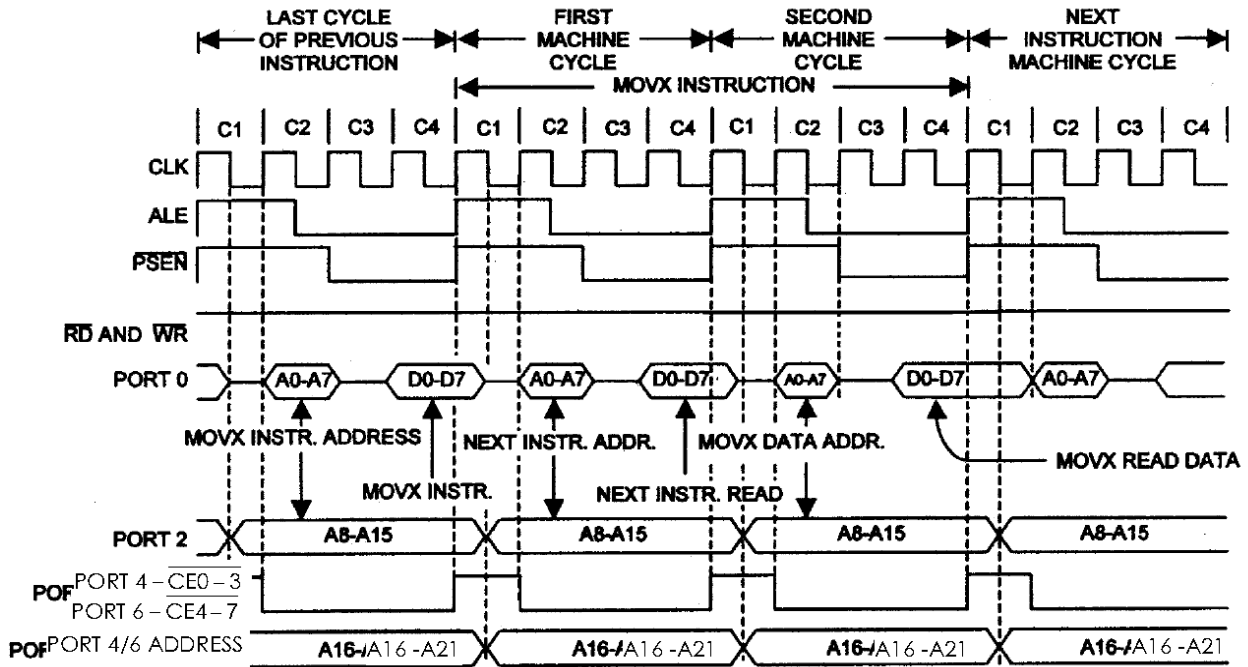


Multiplexed Address/Data 9 Cycle PCE0-3 MOVX Read

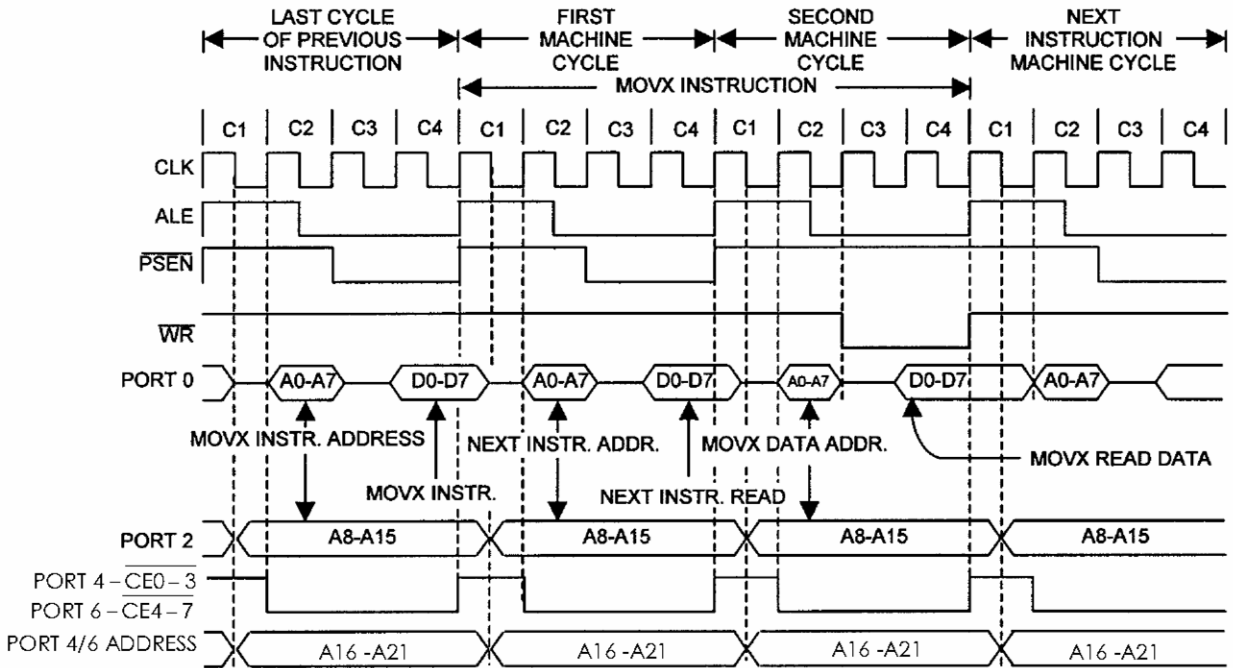
MULTIPLEXED, 2-CYCLE DATA MEMORY $\overline{PCE0-3}$ READ



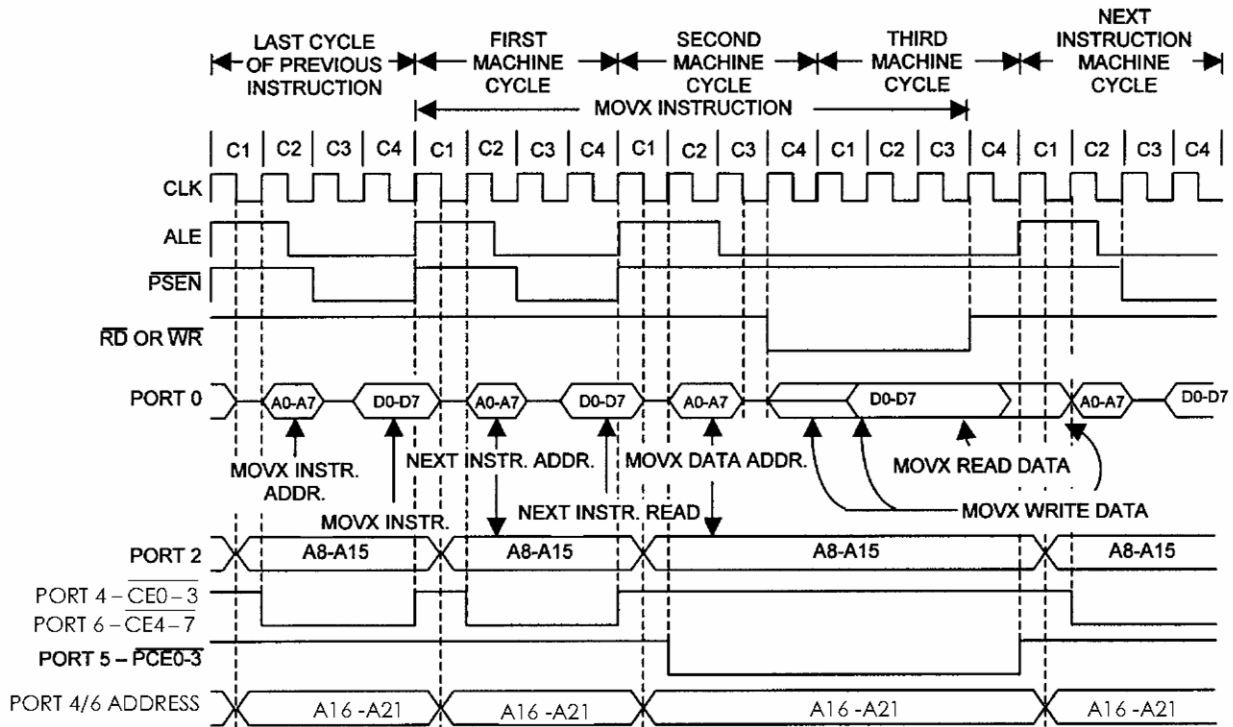
MULTIPLEXED, 2-CYCLE DATA MEMORY $\overline{CE0-7}$ READ



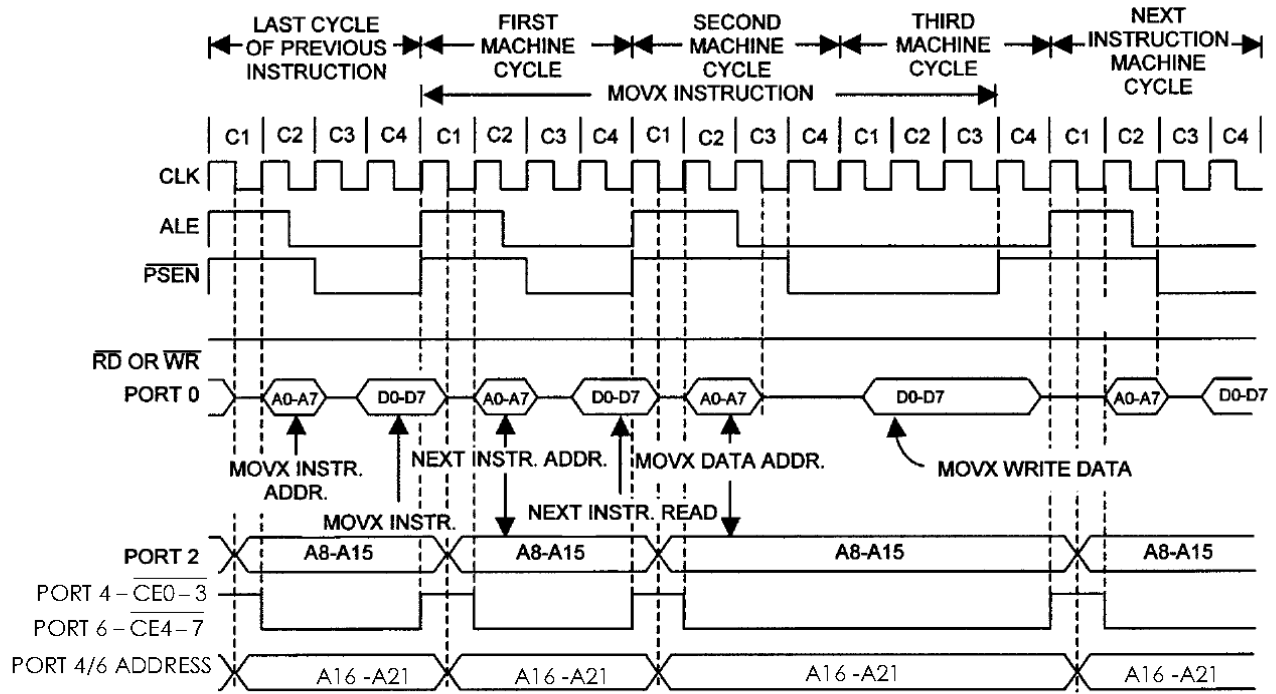
MULTIPLEXED, 2-CYCLE DATA MEMORY $\overline{CE0-7}$ WRITE



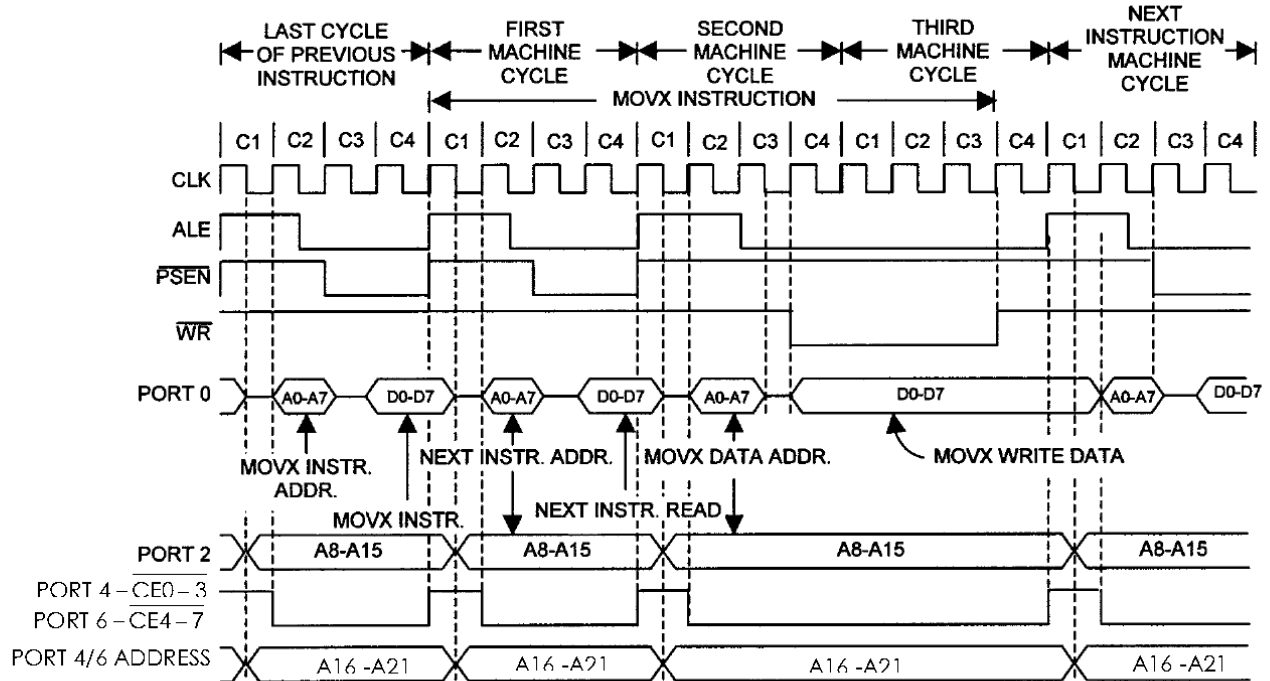
MULTIPLEXED, 3-CYCLE DATA MEMORY $\overline{PCE0-3}$ READ OR WRITE



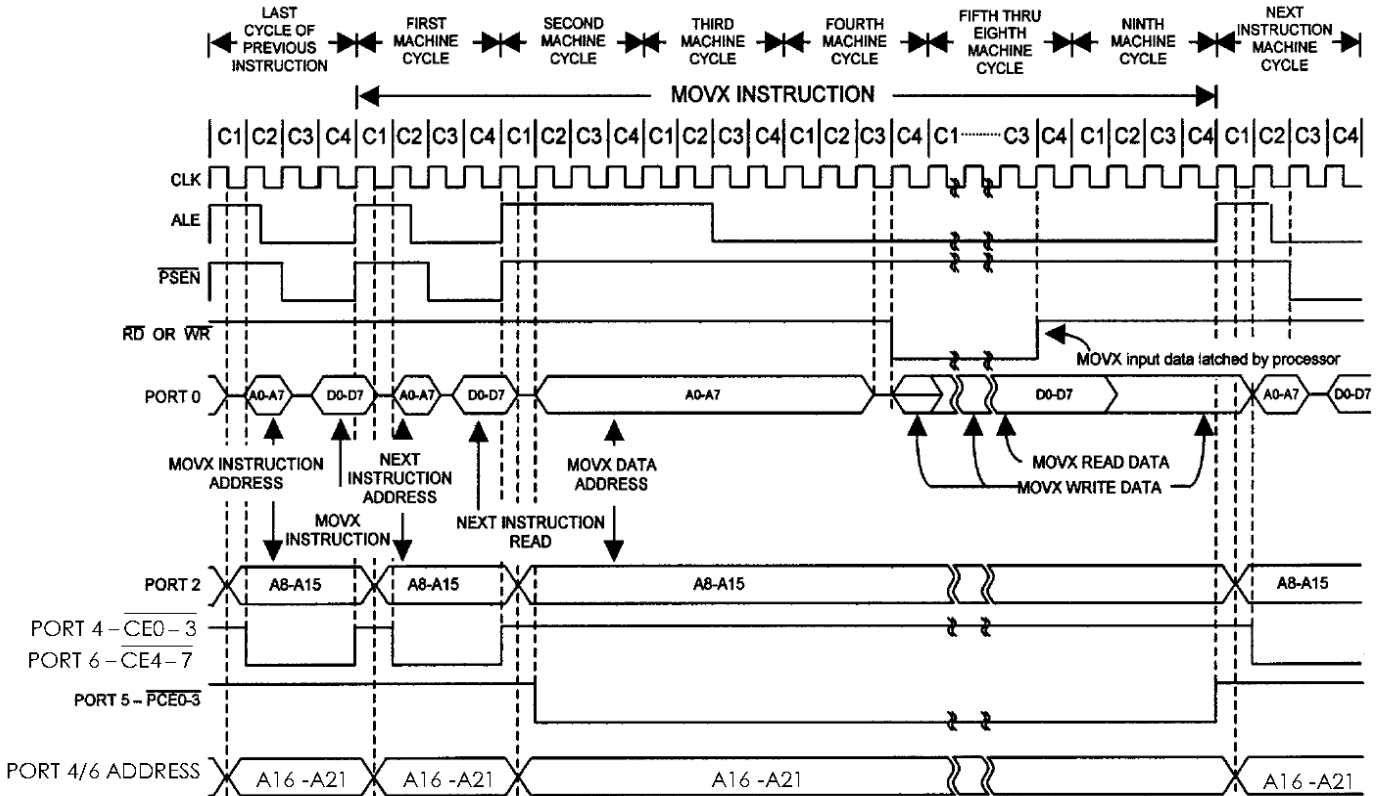
MULTIPLEXED, 3-CYCLE DATA MEMORY $\overline{CE0-7}$ READ



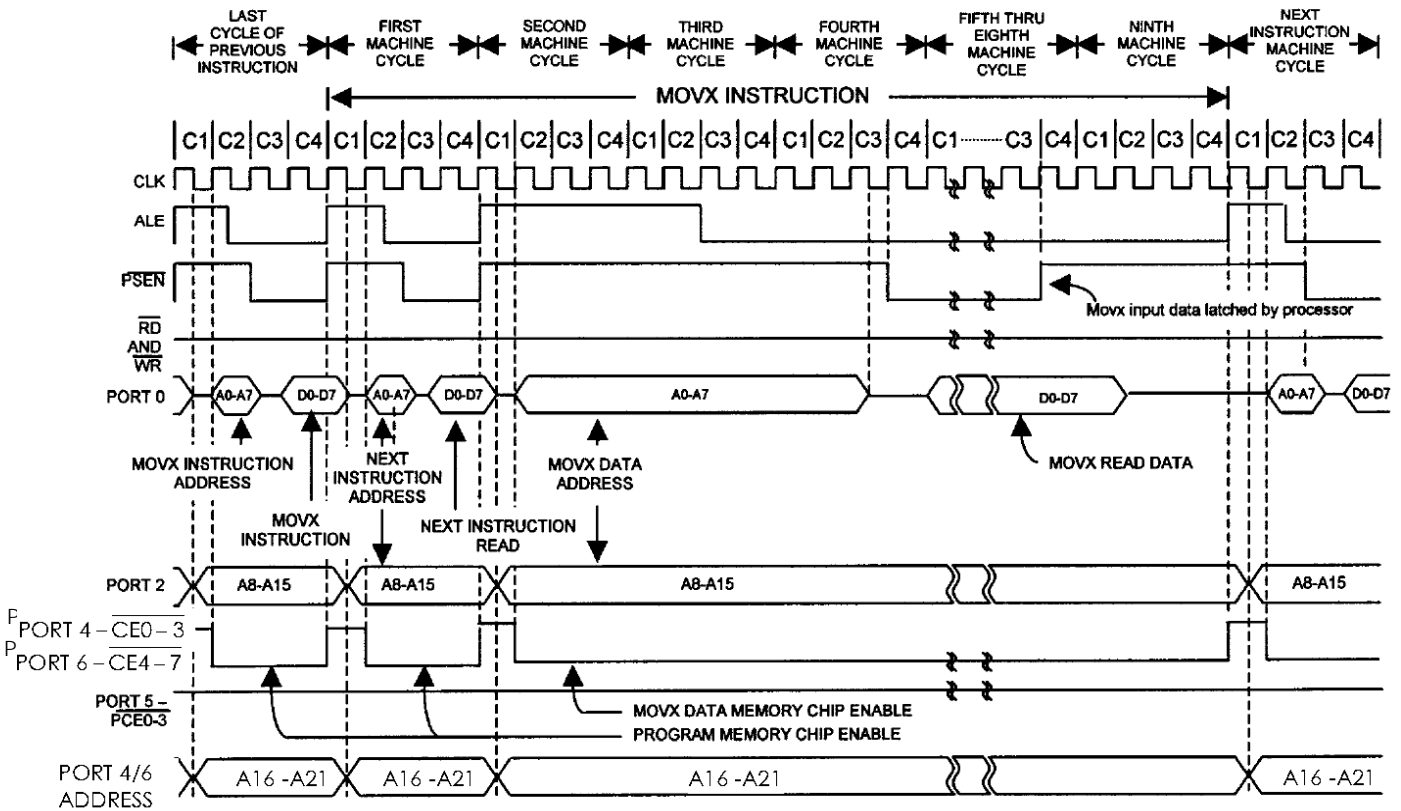
MULTIPLEXED, 3-CYCLE DATA MEMORY $\overline{CE0-7}$ WRITE



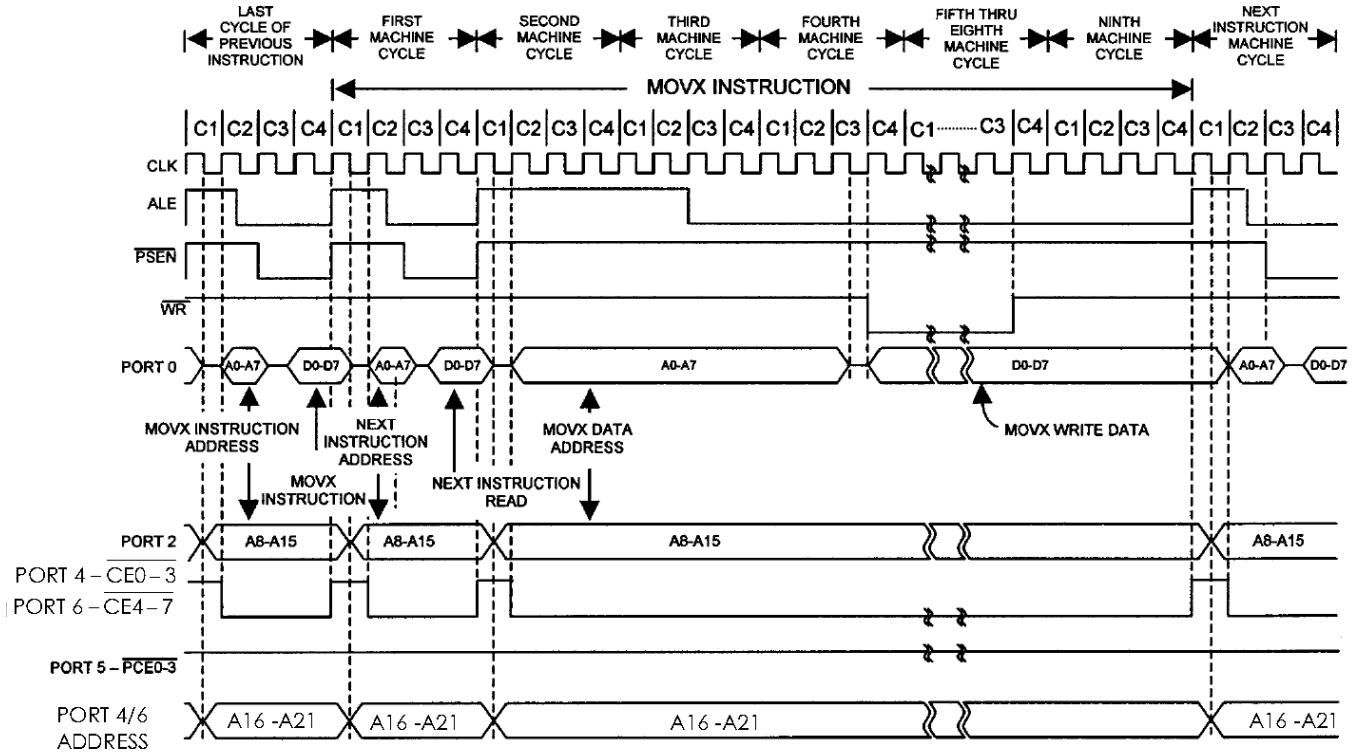
MULTIPLEXED, 9-CYCLE DATA MEMORY PCE0-3 READ OR WRITE



MULTIPLEXED, 9-CYCLE DATA MEMORY CE0-7 READ



MULTIPLEXED, 9-CYCLE DATA MEMORY CE0-7 WRITE



ELECTRICAL CHARACTERISTICS (NONMULTIPLEXED ADDRESS/DATA BUS)(V_{CC3} = 3.0V to 3.6V, V_{CC1} = 1.8V ±10%, T_A = -40°C to +85°C.) (Note 1)

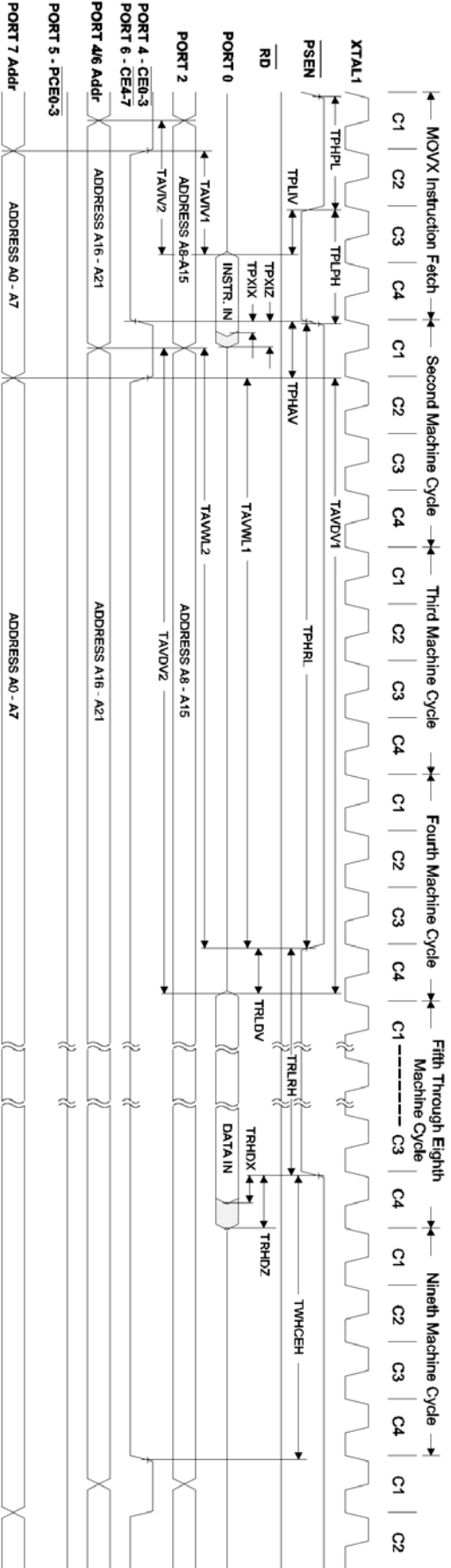
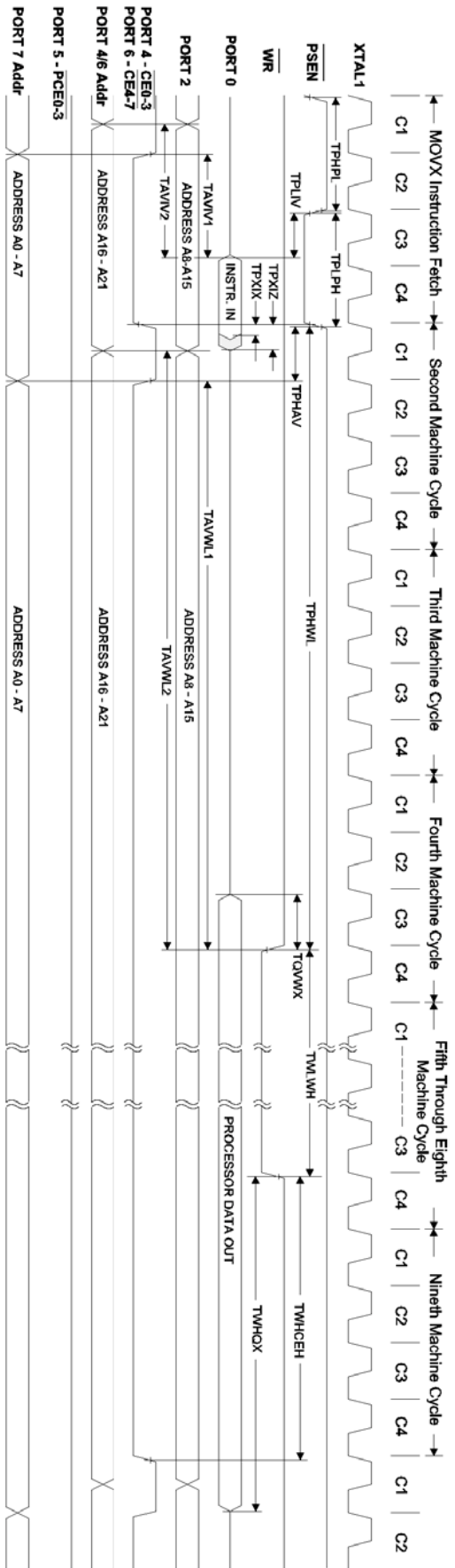
PARAMETER	SYMBOL	75MHz		VARIABLE CLOCK		UNITS
		MIN	MAX	MIN	MAX	
External Crystal Frequency	1 / t _{CLK}			4	40	MHz
Clock Multiplier 2X Mode				16	37.5	
Clock Multiplier 4X Mode				11	18.75	
External Oscillator Frequency	1 / t _{CLK}			DC	75	MHz
Clock Multiplier 2X Mode				16	37.5	
Clock Multiplier 4X Mode				11	18.75	
PSEN Pulse Width	t _{PLPH}	21.7		2t _{CLCL} - 5		ns
PSEN Low to Valid Instruction In	t _{PLIV}		8.7		2t _{CLCL} - 18	ns
Input Instruction Hold After PSEN	t _{PIX}	0		0		ns
Input Instruction Float After PSEN	t _{PIXZ}				See MOVX Characteristics	ns
Port 7 Address to Valid Instruction In	t _{AVIV1}		21.0		3t _{CLCL} - 19	ns
Port 2, 4, 6 Address or Port 4 CE to Valid Instruction In	t _{AVIV2}		24.7		3t _{CLCL} + t _{CLCH} - 22	ns

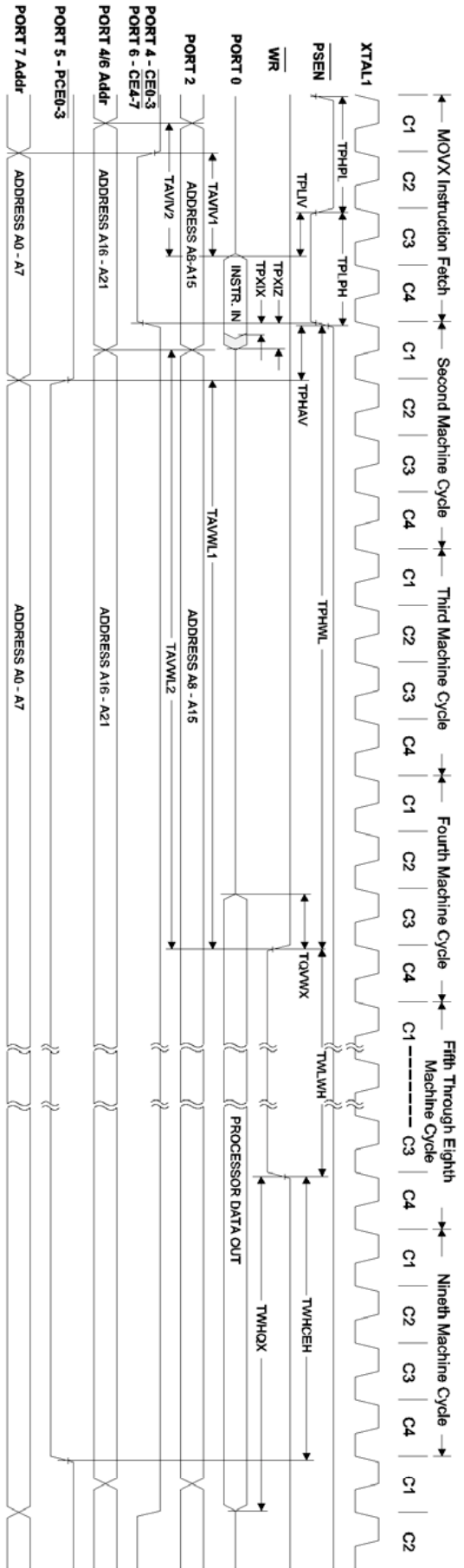
- Note 1:** AC electrical characteristics assume 50% duty cycle for the oscillator, oscillator frequency ≤ 75MHz, and are not 100% production tested, but are guaranteed by design.
- Note 2:** All parameters apply to both commercial and industrial temperature operation, unless otherwise noted.
- Note 3:** t_{CLCL}, t_{CLCH}, t_{CHCL} are time periods associated with the internal system clock and are related to the external clock (t_{CLK}) as defined in the *System Clock Time Periods* table.
- Note 4:** The precalculated 75MHz min/max timing specifications assume an exact 50% duty cycle.
- Note 5:** All signals characterized with load capacitance of 80pF except Port 0, Port 2, ALE, PSEN, RD, and WR with 100pF. The following signals, when configured for memory interface, are also characterized with 100pF loading: Port 4 (CE0-3, A16-A19), Port 5.4-5.7 (PCE0-3), Port 6.0-6.5 (CE4-7, A20, A21), Port 7 (demultiplexed mode A0-A7).
- Note 6:** References to the XTAL, XTAL1, or CLK signal in the timing diagrams are to assist in determining the relative occurrence of events, not for determining absolute signal timing with respect to the external clock.

MOVX CHARACTERISTICS (NONMULTIPLEXED ADDRESS/DATA BUS)(V_{CC3} = 3.0V to 3.6V, V_{CC1} = 1.8V ±10%, T_A = -40°C to +85°C.) (Note 1)

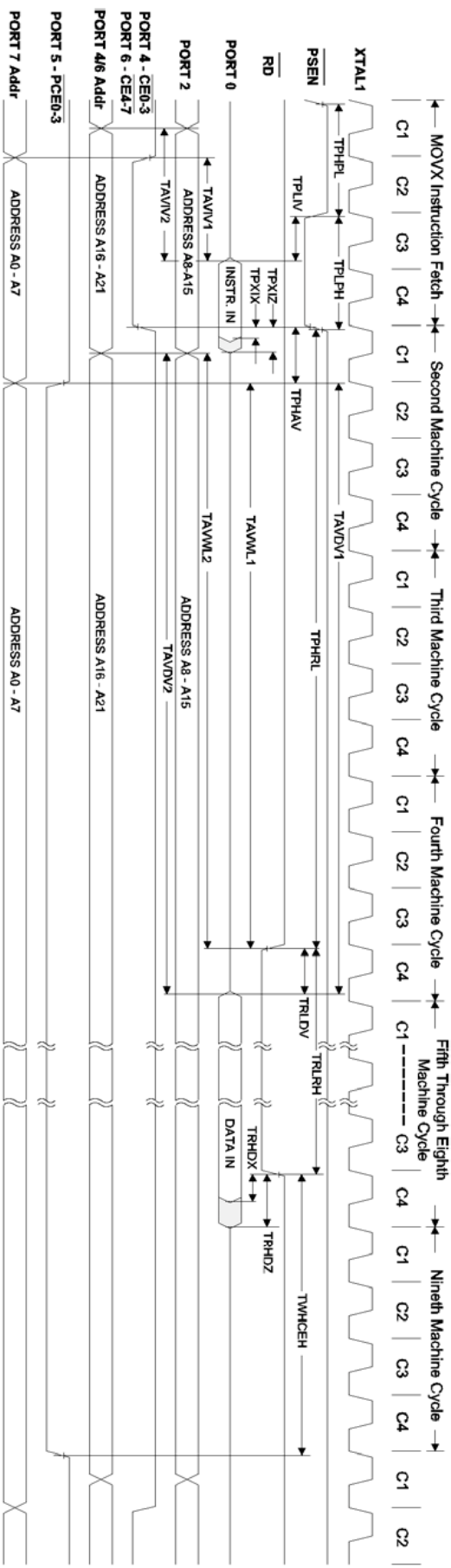
PARAMETER	SYMBOL	MIN	MAX	UNITS	STRETCH VALUES C _{ST} (MD2:0)
Input Instruction Float After $\overline{\text{PSEN}}$	t _{PIXZ}		2t _{CLCL} - 5	ns	C _{ST} = 0
			3t _{CLCL} - 5		1 ≤ C _{ST} ≤ 3
			11t _{CLCL} - 5		4 ≤ C _{ST} ≤ 7
PSEN High to Data Address, Port 4 CE, Port 5 PCE Valid	t _{PHAV}	t _{CHCL} - 3		ns	
$\overline{\text{RD}}$ Pulse Width (P3.7 or $\overline{\text{PSEN}}$)	t _{RLRH}		2t _{CLCL} - 5	ns	C _{ST} = 0
			(4 × C _{ST}) t _{CLCL} - 3		1 ≤ C _{ST} ≤ 7
$\overline{\text{WR}}$ Pulse Width (P3.6)	t _{WLWH}		2t _{CLCL} - 5	ns	C _{ST} = 0
			(4 × C _{ST}) t _{CLCL} - 3		1 ≤ C _{ST} ≤ 7
$\overline{\text{RD}}$ (P3.7 or $\overline{\text{PSEN}}$) Low to Valid Data In	t _{RLDV}		2t _{CLCL} - 17	ns	C _{ST} = 0
			(4 × C _{ST}) t _{CLCL} - 17		1 ≤ C _{ST} ≤ 7
Data Hold After $\overline{\text{RD}}$ (P3.7 or PSEN) High	t _{RHDX}	-2		ns	
Data Float After $\overline{\text{RD}}$ (P3.7 or $\overline{\text{PSEN}}$) High	t _{RHDZ}		t _{CLCL} - 5	ns	C _{ST} = 0
			2t _{CLCL} - 5		1 ≤ C _{ST} ≤ 3
			6t _{CLCL} - 5		4 ≤ C _{ST} ≤ 7
$\overline{\text{PSEN}}$ High to $\overline{\text{WR}}$ Low	t _{PHWL}		2t _{CLCL} - 3	ns	C _{ST} = 0
			3t _{CLCL} - 3		1 ≤ C _{ST} ≤ 3
			11t _{CLCL} - 3		4 ≤ C _{ST} ≤ 7
$\overline{\text{PSEN}}$ High to ($\overline{\text{RD}}$ or $\overline{\text{PSEN}}$) Low	t _{PHRL}		2t _{CLCL} - 3	ns	C _{ST} = 0
			3t _{CLCL} - 3		1 ≤ C _{ST} ≤ 3
			11t _{CLCL} - 3		4 ≤ C _{ST} ≤ 7
Port 7 Address to Valid Data In	t _{AVDV1}		3t _{CLCL} - 19	ns	C _{ST} = 0
			(4 × C _{ST} + 2) t _{CLCL} - 19		1 ≤ C _{ST} ≤ 3
			(4 × C _{ST} + 10) t _{CLCL} - 19		4 ≤ C _{ST} ≤ 7
Port 2, 4, 6 Address, Port 4 CE or Port 5 PCE to Valid Data In	t _{AVDV2}		3t _{CLCL} + t _{CLCH} - 22	ns	C _{ST} = 0
			(4 × C _{ST} + 2) t _{CLCL} + t _{CLCH} - 22		1 ≤ C _{ST} ≤ 3
			(4 × C _{ST} + 10) t _{CLCL} + t _{CLCH} - 22		4 ≤ C _{ST} ≤ 7
Port 7 Address to ($\overline{\text{RD}}$ or $\overline{\text{PSEN}}$) or $\overline{\text{WR}}$ Low	t _{AVWL1}		t _{CLCL} - 6.5	ns	C _{ST} = 0
			2t _{CLCL} - 6.5		1 ≤ C _{ST} ≤ 3
			10t _{CLCL} - 7		4 ≤ C _{ST} ≤ 7
Port 2, 4, 6 Address, Port 4 CE or Port 5 PCE to ($\overline{\text{RD}}$ or $\overline{\text{PSEN}}$) or $\overline{\text{WR}}$ Low	t _{AVWL2}		t _{CLCL} + t _{CLCH} - 7	ns	C _{ST} = 0
			2t _{CLCL} + t _{CLCH} - 7		1 ≤ C _{ST} ≤ 3
			10t _{CLCL} + t _{CLCH} - 7		4 ≤ C _{ST} ≤ 7
Data Valid to $\overline{\text{WR}}$ Transition	t _{QVWX}	0		ns	
Data Hold After $\overline{\text{WR}}$ High	t _{WHQX}		t _{CLCL} - 5	ns	C _{ST} = 0
			2t _{CLCL} - 8		1 ≤ C _{ST} ≤ 3
			6t _{CLCL} - 8		4 ≤ C _{ST} ≤ 7
($\overline{\text{RD}}$ or $\overline{\text{PSEN}}$) or $\overline{\text{WR}}$ High to Port 4 CE or Port 5 PCE High	t _{WHCEH}		t _{CHCL} - 5	ns	C _{ST} = 0
			t _{CLCL} + t _{CHCL} - 5		1 ≤ C _{ST} ≤ 3
			5t _{CLCL} + t _{CHCL} - 5		4 ≤ C _{ST} ≤ 7
		t _{CHCL} + 13	t _{CLCL} + t _{CHCL} + 12		
		5t _{CLCL} + t _{CHCL} + 12	5t _{CLCL} + t _{CHCL} + 12		

- Note 1:** AC electrical characteristics assume 50% duty cycle for the oscillator, oscillator frequency $\leq 75\text{MHz}$, and are not 100% production tested, but are guaranteed by design.
- Note 2:** All parameters apply to both commercial and industrial temperature operation, unless otherwise noted.
- Note 3:** CST is the stretch cycle value as determined by the MD2, MD1, and MD0 bits of the CKCON register. t_{CLCL} , t_{CLCH} , t_{CHCL} are time periods associated with the internal system clock and are related to the external clock. See the *System Clock Time Periods* table.
- Note 4:** All signals characterized with load capacitance of 80pF except Port 0, Port 2, ALE, $\overline{\text{PSEN}}$, $\overline{\text{RD}}$, and $\overline{\text{WR}}$ with 100pF. The following signals, when configured for memory interface, are also characterized with 100pF loading: Port 4 ($\overline{\text{CE0-3}}$, A16–A19), Port 5.4–5.7 ($\overline{\text{PCE0-3}}$), Port 6.0–6.5 ($\overline{\text{CE4-7}}$, A20, A2), Port 7 (demultiplexed mode A0–A7).
- Note 5:** References to the XTAL or CLK signal in the timing diagrams are to assist in determining the relative occurrence of events, not for determining absolute signal timing with respect to the external clock.



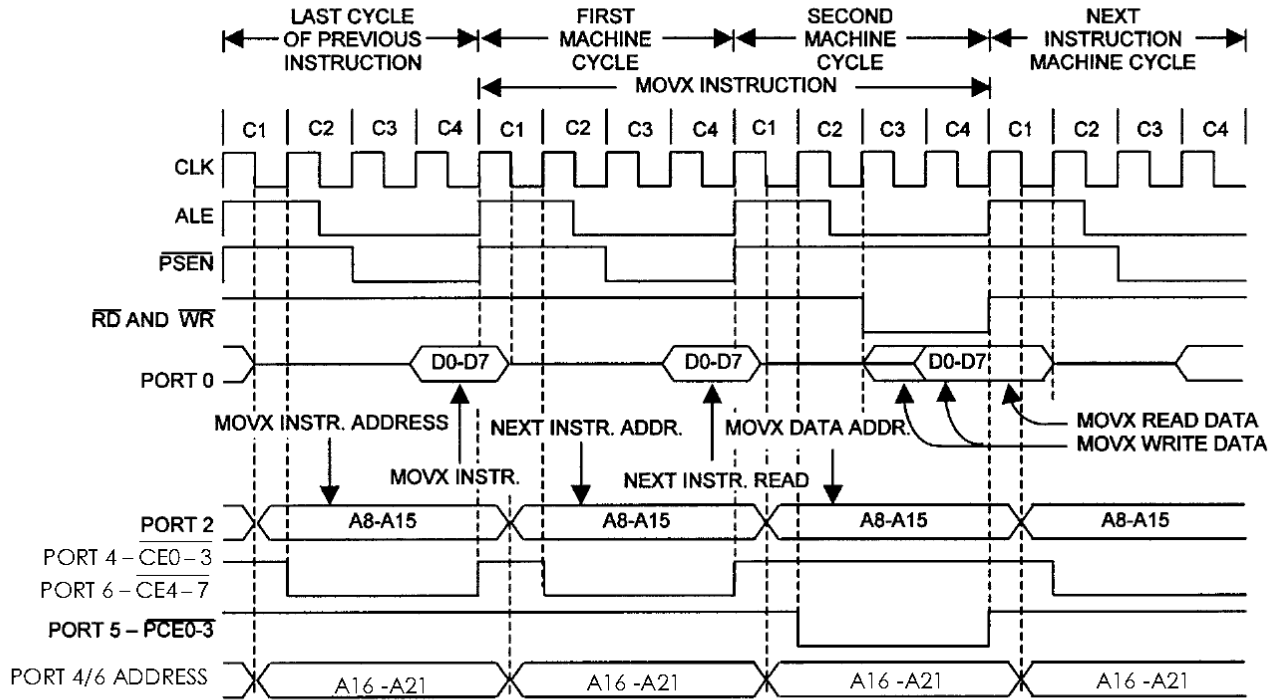


Non-Multiplexed Address/Data 9 Cycle PCE0-3 MOVX Write

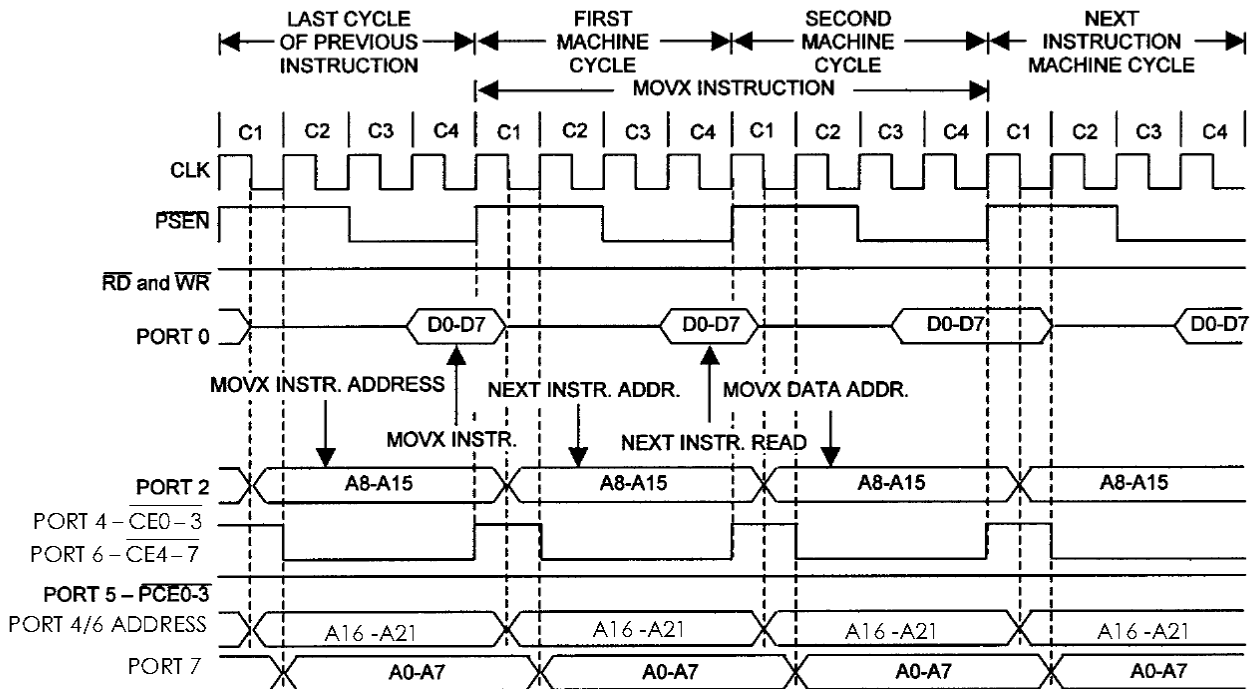


Non-Multiplexed Address/Data 9 Cycle PCE0-3 MOVX Read

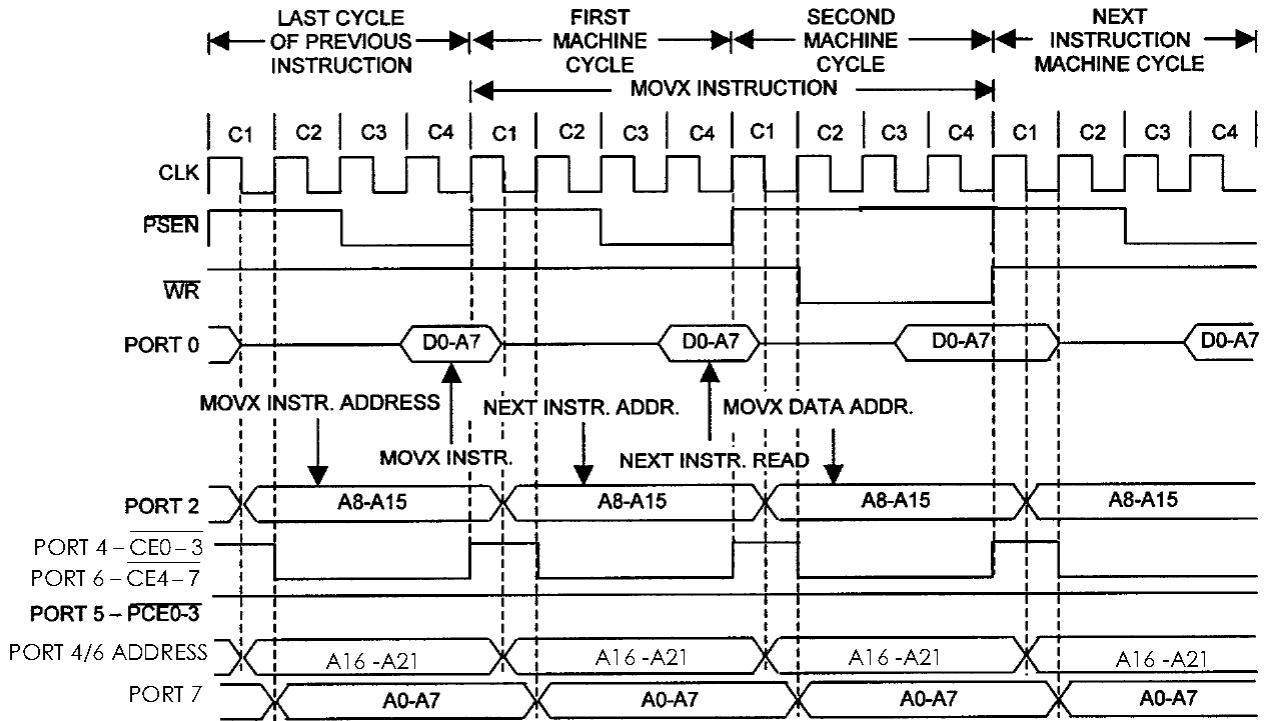
NONMULTIPLEXED, 2-CYCLE DATA MEMORY $\overline{PCE0-3}$ READ OR WRITE



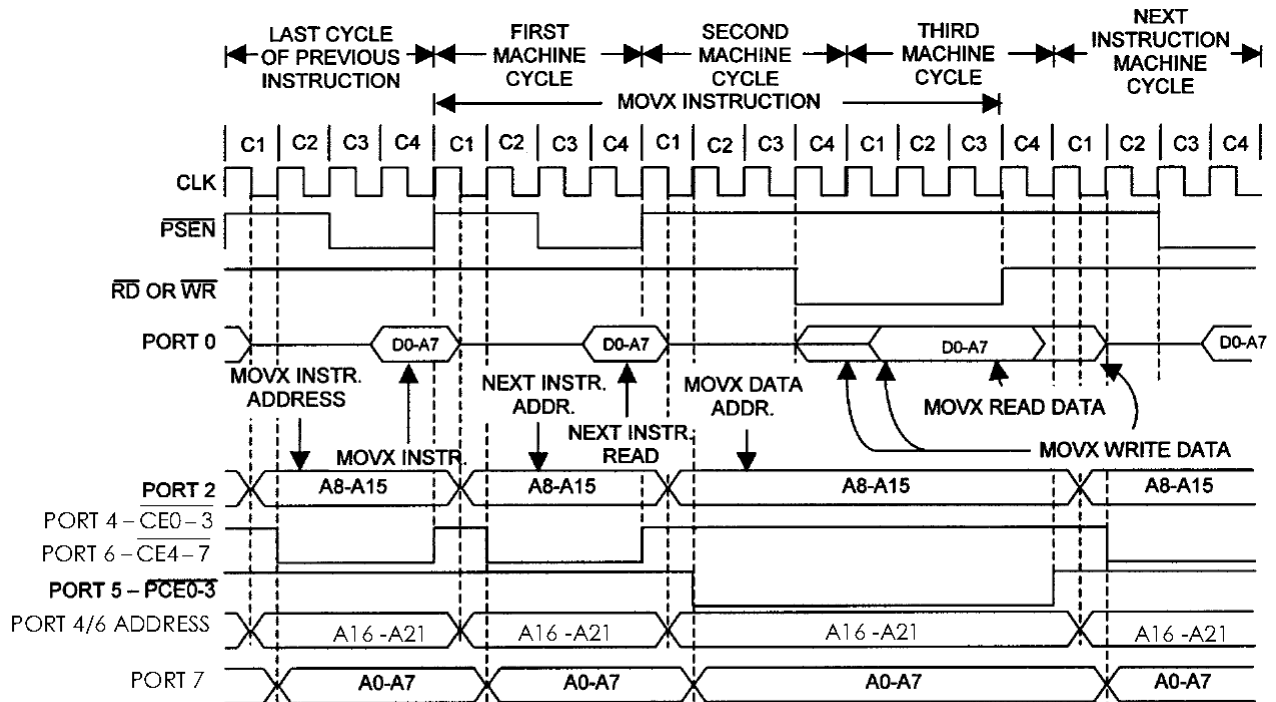
NONMULTIPLEXED, 2-CYCLE DATA MEMORY $\overline{CE0-7}$ READ



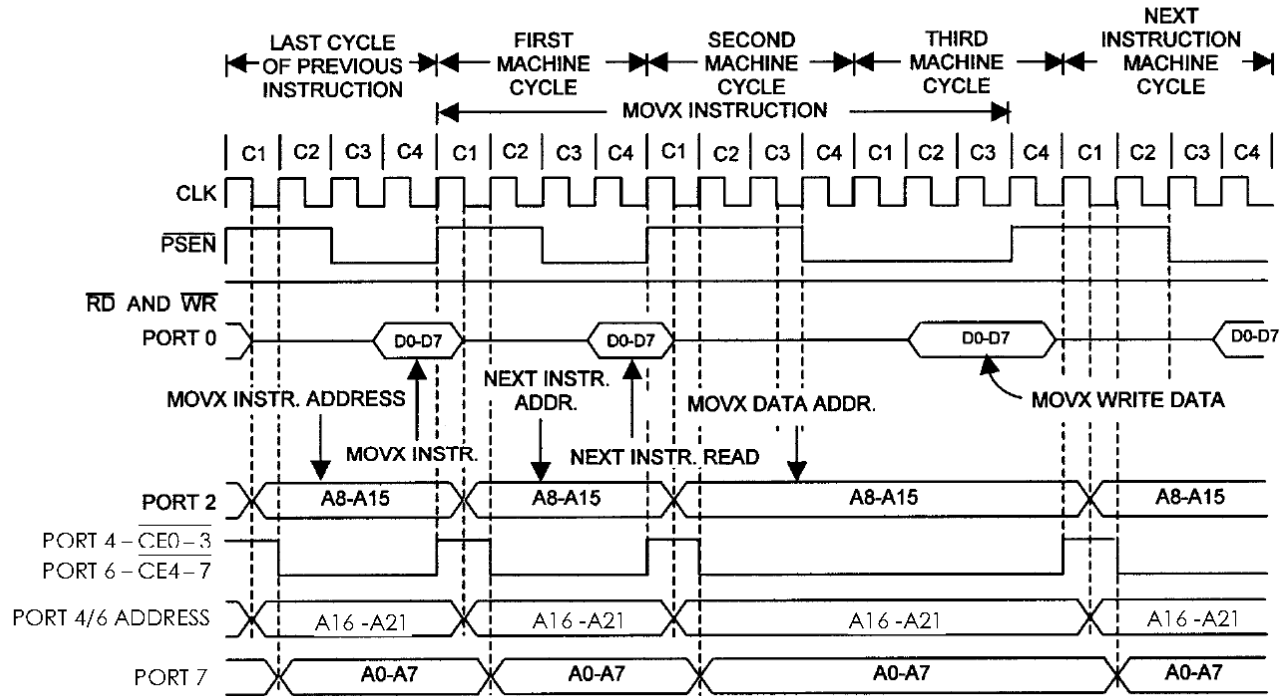
NONMULTIPLEXED, 2-CYCLE DATA MEMORY $\overline{CE0-7}$ WRITE



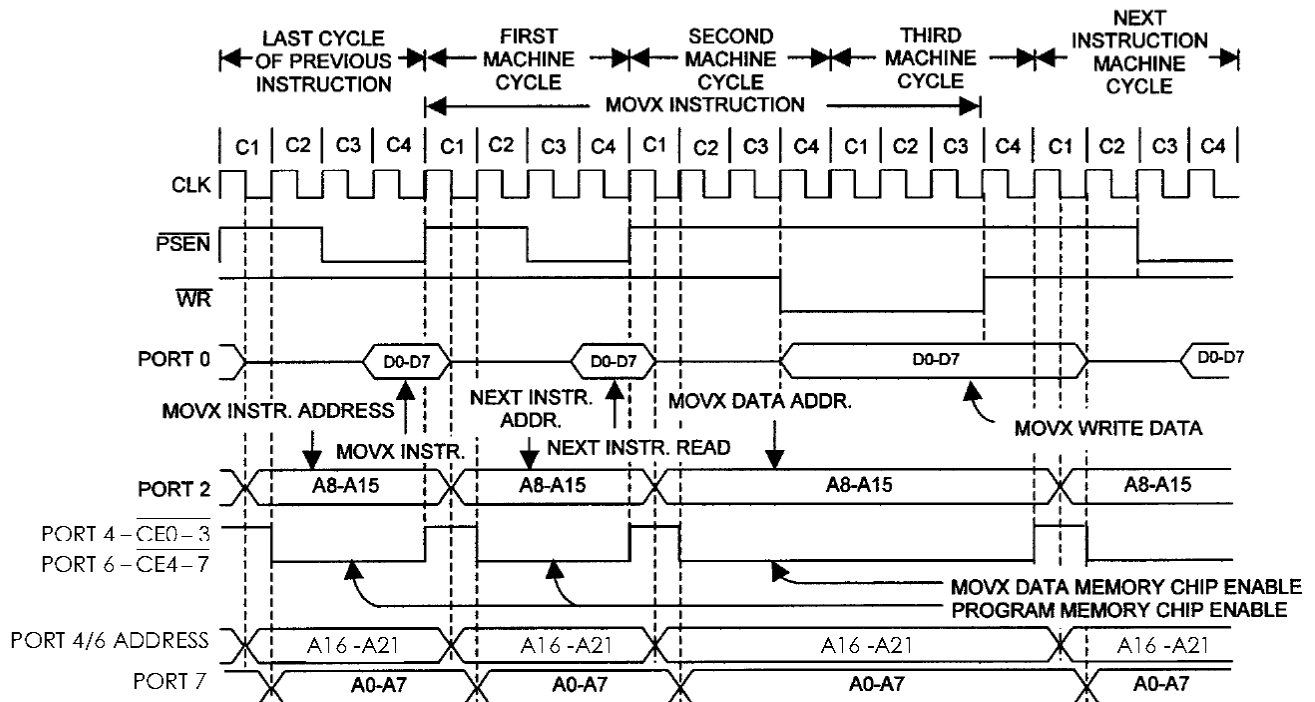
NONMULTIPLEXED, 3-CYCLE DATA MEMORY $\overline{PCE0-3}$ READ OR WRITE



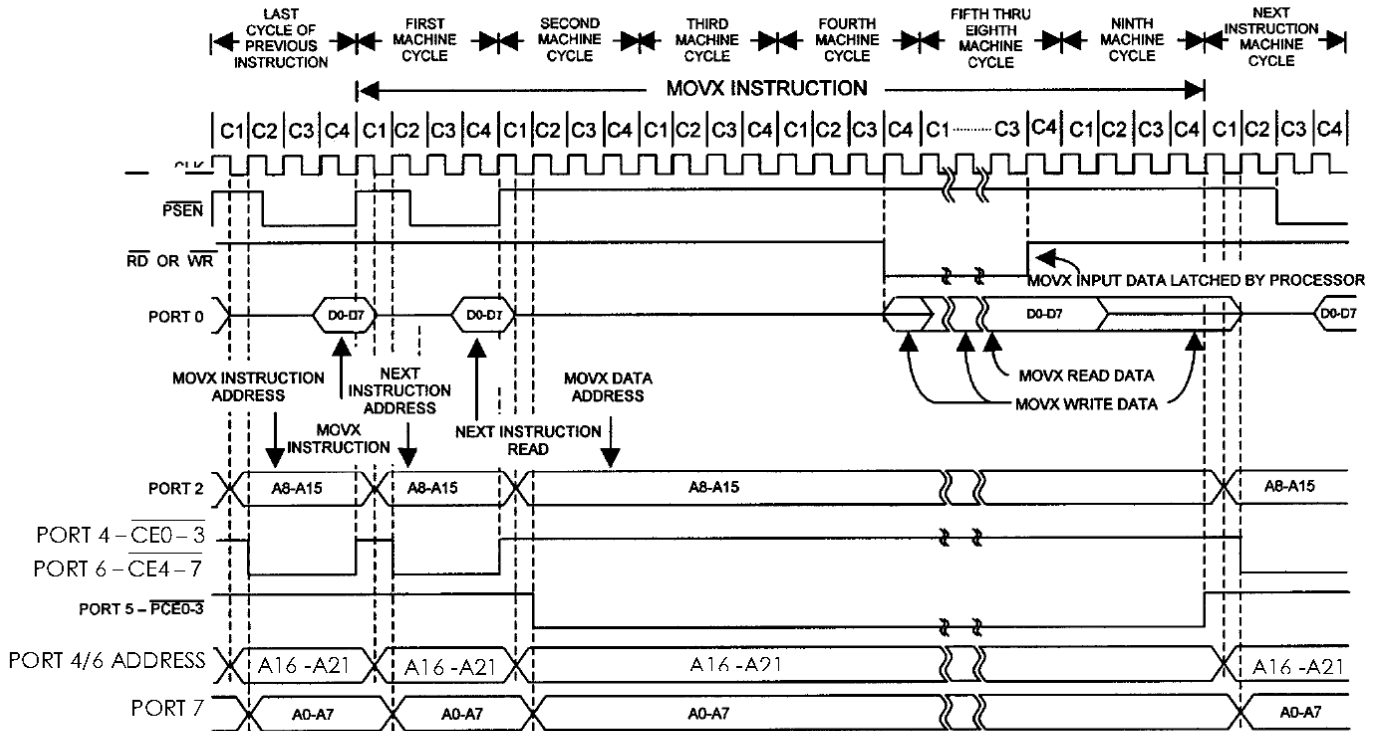
NONMULTIPLEXED, 3-CYCLE DATA MEMORY $\overline{CE0-7}$ READ



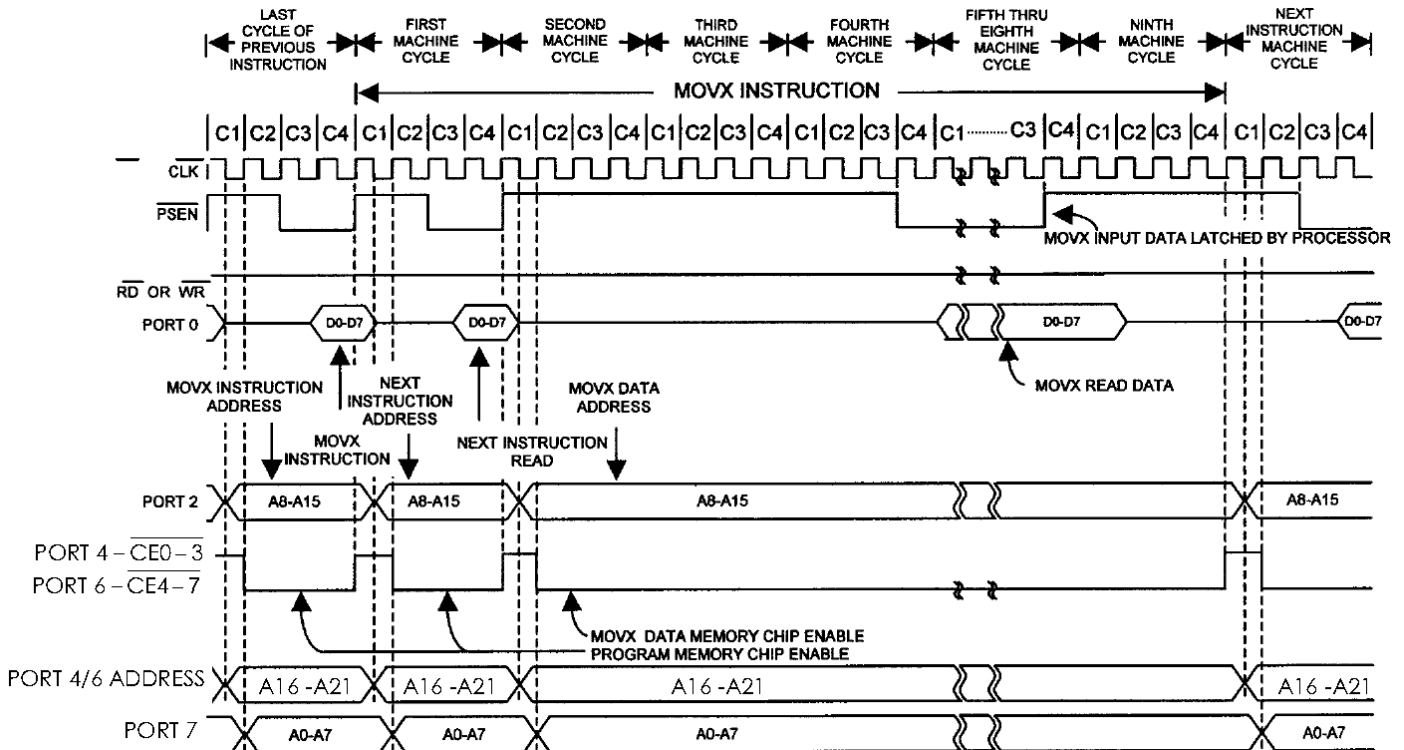
NONMULTIPLEXED, 3-CYCLE DATA MEMORY $\overline{CE0-7}$ WRITE



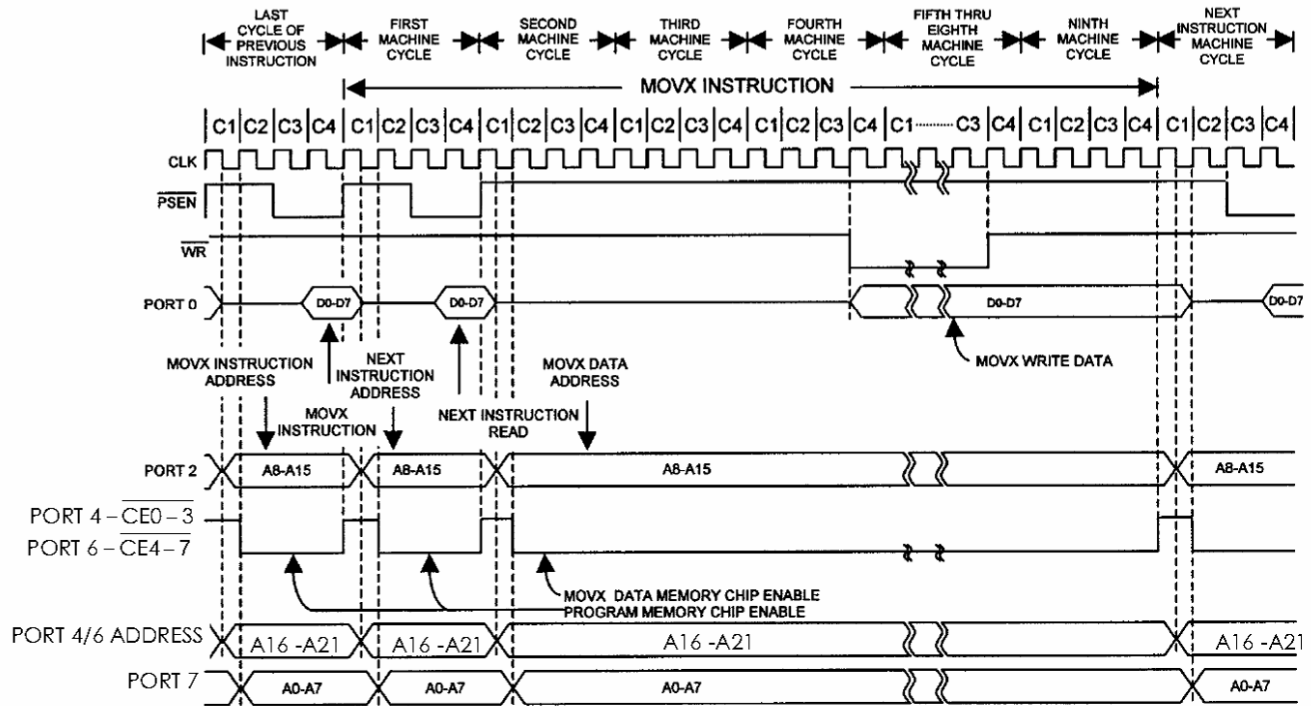
NONMULTIPLEXED, 9-CYCLE DATA MEMORY PCE0-3 READ OR WRITE



NONMULTIPLEXED, 9-CYCLE DATA MEMORY CE0-7 READ



NONMULTIPLEXED, 9-CYCLE DATA MEMORY $\overline{CE0-7}$ WRITE



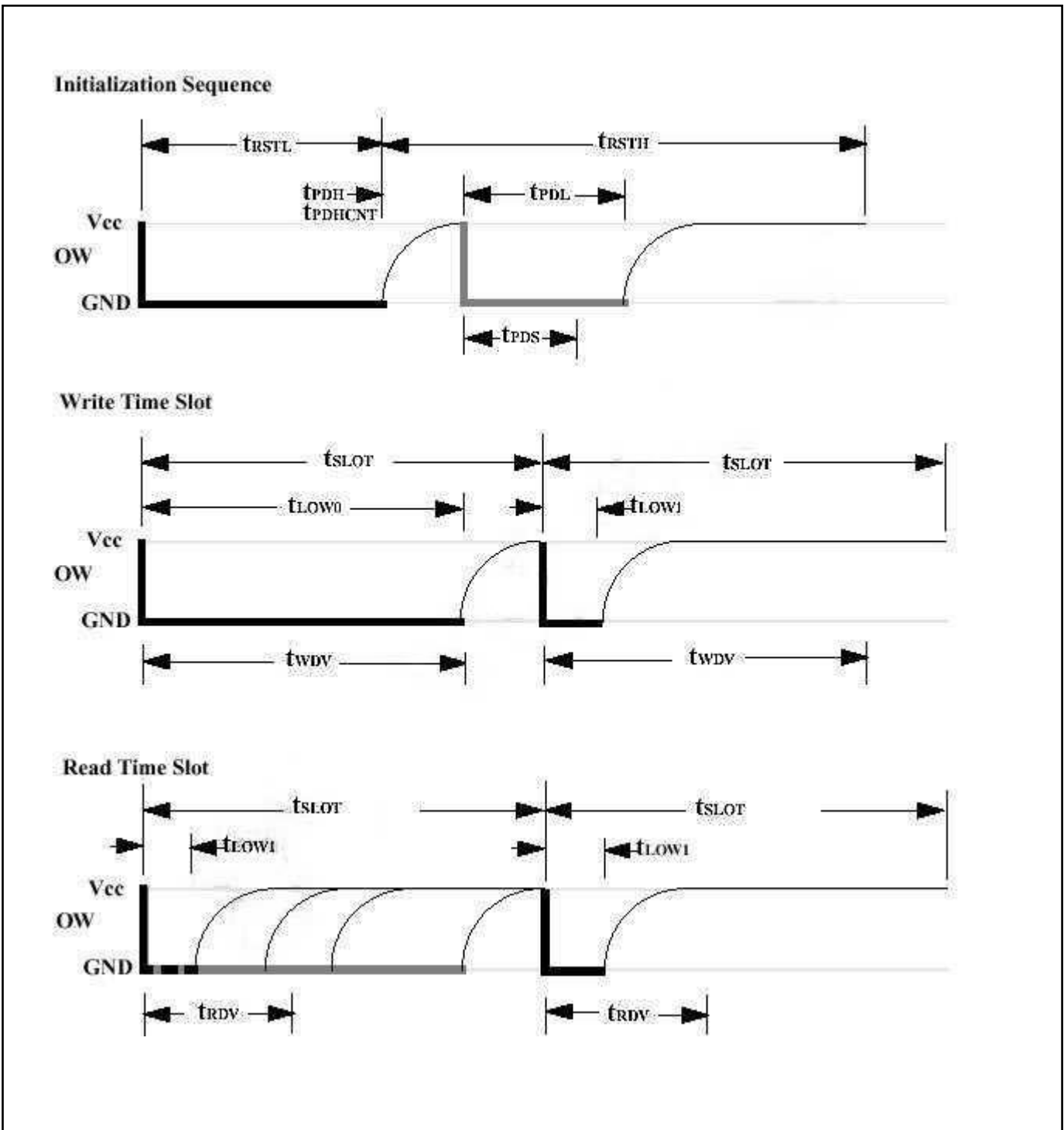
OW PIN TIMING CHARACTERISTICS (Note 1)

($V_{CC3} = 3.0V$ to $3.6V$, $V_{CC1} = 1.8V \pm 10\%$, $T_A = -40^\circ C$ to $+85^\circ C$.)

PARAMETER	SYMBOL	STANDARD		OVERDRIVE		LONGLINE		UNITS
		MIN	MAX	MIN	MAX	MIN	MAX	
Transmit Reset Pulse Low Time (Note 2)	t_{RSTL}	500.8	626	50.4	63	500.8	626	μs
Transmit Reset Pulse High Time (Note 2)	t_{RSTH}	508.8	636	59.2	74	508.8	636	μs
Wait Time for Transmit of Presence Pulse (Notes 2, 3)	t_{PDH}	15	60	2	6	15	60	μs
Wait Time for Absence of Presence Pulse (Notes 2, 4)	t_{PDHCNT}	60	75	6.4	8	60	75	μs
Presence Pulse Width (Note 2)	t_{PDL}	60	240	8	24	60	240	μs
Presence Pulse Sampling Time (Note 2)	t_{PDS}	24	31	2.4	4	30.4	38	μs
Read/Write Data Time Slot	t_{SLOT}	68.8	86	12	15	68.8	86	μs
Low Time for Write 1	t_{LOW1}	4.8	6	0.8	1	7.2	9	μs
Low Time for Write 0	t_{LOW0}	62.4	78	8	10	62.4	78	μs
Write Data Sampling Time	t_{WDV}	15	60	2	6	25	60	μs
Read Data Sampling Time	t_{RDV}	12	15	1.6	2	20	25	μs

- Note 1:** AC electrical characteristics assume 50% duty cycle for the oscillator, oscillator frequency $\leq 75MHz$, and are not 100% production tested, but are guaranteed by design.
- Note 2:** In PMM mode, the master pulls the line low after the first $15\mu s$ for the remainder of the standard speed 1-Wire routine.
- Note 3:** This parameter quantifies the wait time for the slave devices to respond to the reset pulse and is dependent on the slave device timing.
- Note 4:** This parameter quantifies the wait time for the case when no presence pulse detected.
- Note 5:** The maximum timing figures shown apply only when an exact 1-Wire clock frequency can be achieved from the microcontroller input clock.

OW PIN TIMING



OWSTP PIN TIMING CHARACTERISTICS

($V_{CC3} = 3.0V$ to $3.6V$, $V_{CC1} = 1.8V \pm 10\%$, $T_A = -40^\circ C$ to $+85^\circ C$.) (Note 1)

PARAMETER	SYMBOL	STANDARD		OVERDRIVE		UNITS
		MIN	MAX	MIN	MAX	
Active Time for Presence Detect	t_{ON1}	6.4	8	0.8	1	μs
Active Time for Presence Detect Recovery	t_{ON2}	8	10	8	10	μs
Active Time for Write 1 Recovery (Notes 2, 3)	t_{ON3}	51.2	64	7.2	9	μs
Active Time for Write 0 Recovery (Notes 2, 3)	t_{ON4}	6.4	8	0.8	1	μs
Delay Time for Presence Detect	t_{DLY1}	0.8	1	0.8	1	μs
Delay Time for Presence Detect Recovery (Note 4)	t_{DLY2}	399.2	499	31.2	39	μs
Delay Time for Write 1/Write 0 Recovery	t_{DLY3}	0.8	1	0.8	1	μs
Turn-Off Time for 1-Wire Reset	t_{OFF1}	1.6	2	1.6	2	μs
Turn-Off Time for Write 1/Write 0 (Note 5)	t_{OFF2}	0.8	1	0.8	1	μs

Note 1: AC electrical characteristics assume 50% duty cycle for the oscillator, oscillator frequency $\leq 75MHz$, and are not 100% production tested, but are guaranteed by design.

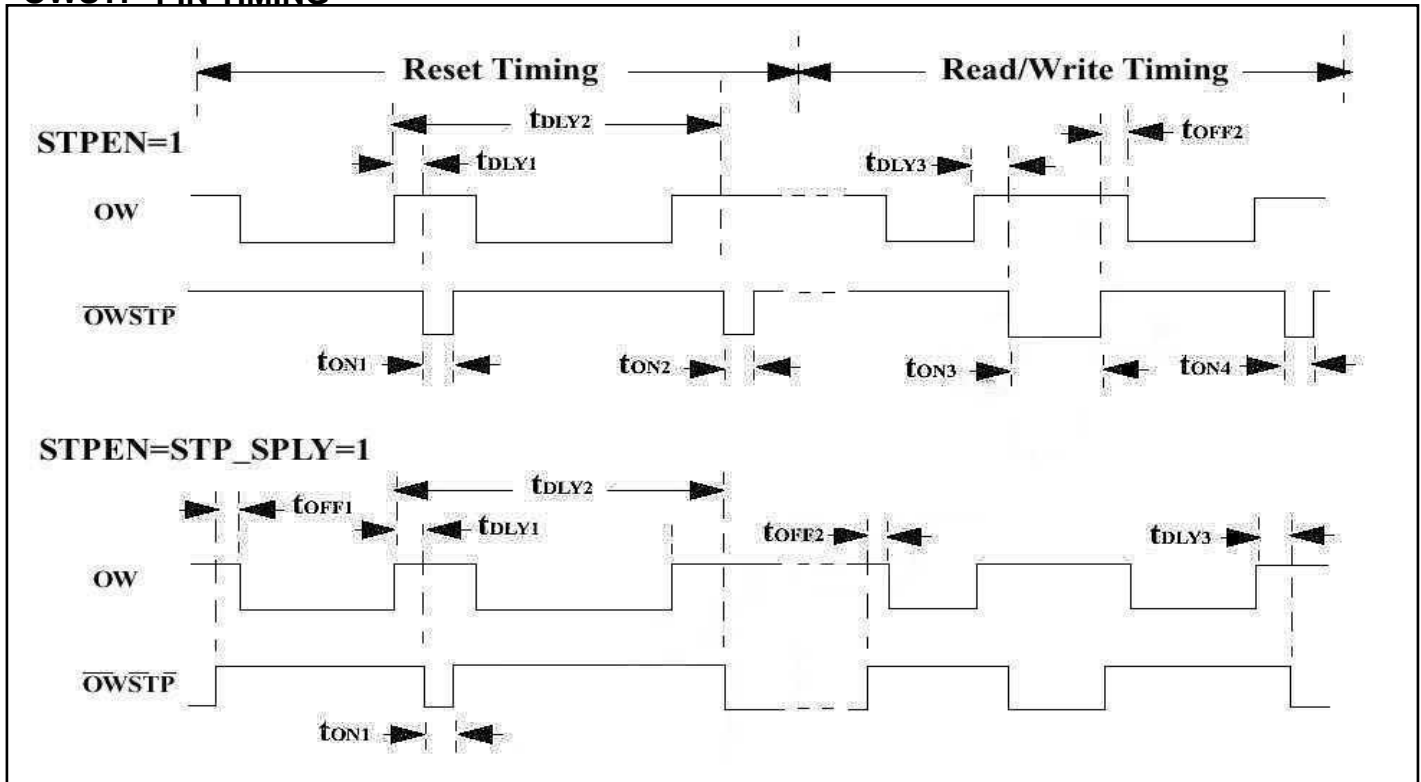
Note 2: There is no OWSTP timing difference for sending out and receiving bits within a byte. The difference comes when the last bit of the byte has been completely sent. At this point, the signal is either enabled continuously until the next reset or time slot begins, or enabled only for active time write 1 or write 0.

Note 3: When performing a read versus a write time slot, the master provides the same active time for write 1 and write 0. However, the Schmitt-triggered input from the OW line is sensed every $1\mu s$ for a high value. If OW is high, the \overline{OWSTP} signal is enabled. If the OW line is low, the \overline{OWSTP} signal remains disabled until a high state is sensed. In all write time slots, a high is sensed immediately.

Note 4: This parameter is the time delay until the master begins to monitor the OW pin level. If the line is already high, then \overline{OWSTP} is enabled. If not, it waits to enable \overline{OWSTP} until the next state machine clock ($1\mu s$ or $50ns$) after the OW line recovers.

Note 5: The very first bit in a byte has an extended turn-off time of $4\mu s$ because of the order of states that the 1-Wire master state machine must go through.

OWSTP PIN TIMING



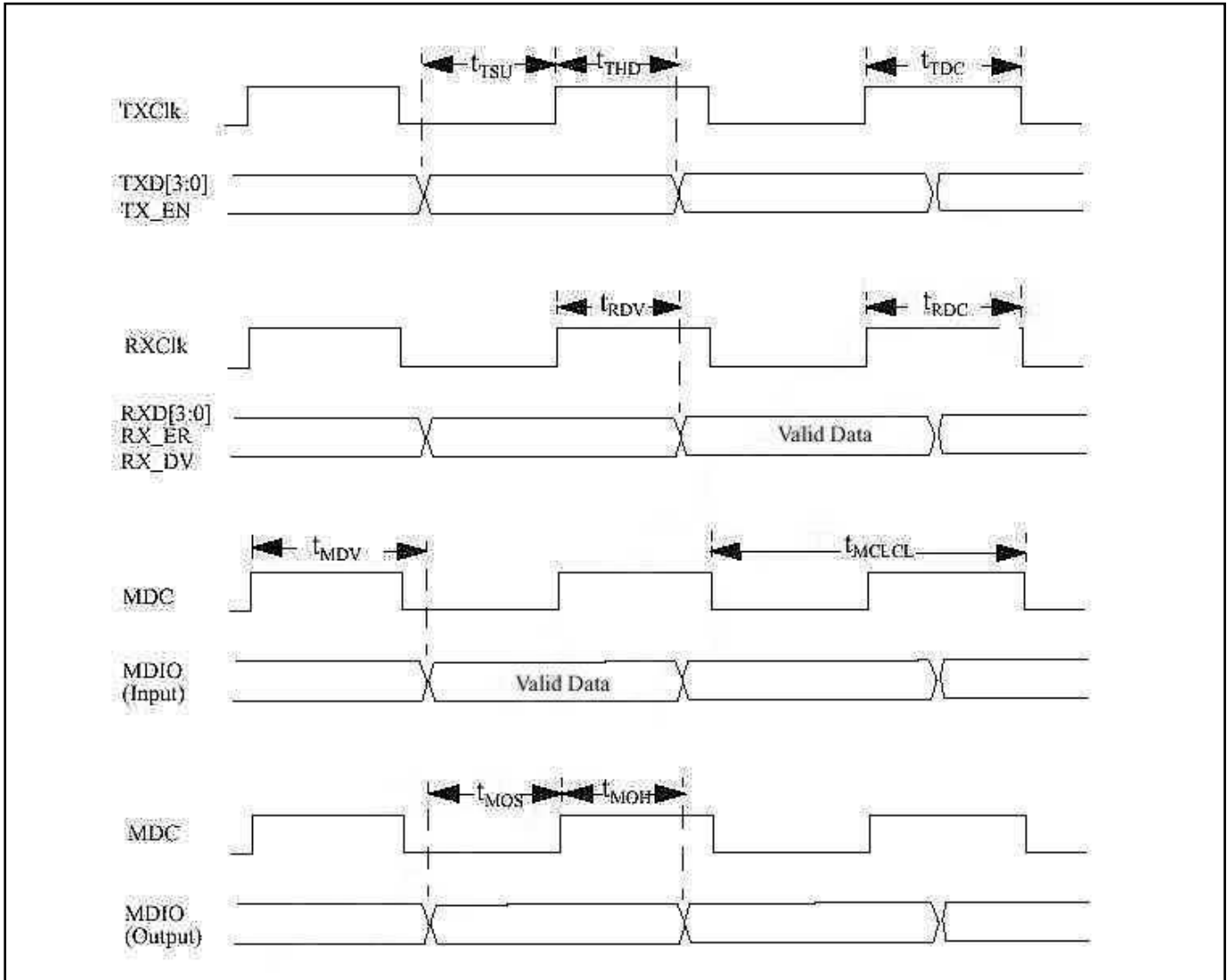
ETHERNET MII INTERFACE TIMING CHARACTERISTICS

($V_{CC3} = 3.0V$ to $3.6V$, $V_{CC1} = 1.8V \pm 10\%$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	100Mbps		10Mbps		UNITS
		MIN	MAX	MIN	MAX	
TXClk Duty Cycle	t_{TDC}	14	26	140	260	ns
TXD, TX_EN Data Setup to TXClk	t_{TSU}	10		25		ns
TXD, TX_EN Data Hold from TXClk	t_{THD}	2		2		ns
RXClk Pulse Width	t_{RDC}	14	26	140	260	ns
RXClk to RXD, RX_DV, RX_ER Valid	t_{RDV}	10	30	190	210	ns
MDC Period	t_{MCLCL}	400		400		ns
MDC to Input Data Valid	t_{MDV}		300		300	ns
MDIO Output Data Setup to MDC	t_{MOS}	10		10		ns
MDIO Output Data Hold from MDC	t_{MOH}	10		10		ns

Note 1: AC electrical characteristics assume 50% duty cycle for the oscillator, oscillator frequency $\leq 75MHz$, and are not 100% production tested, but are guaranteed by design.

MII INTERFACE TIMING

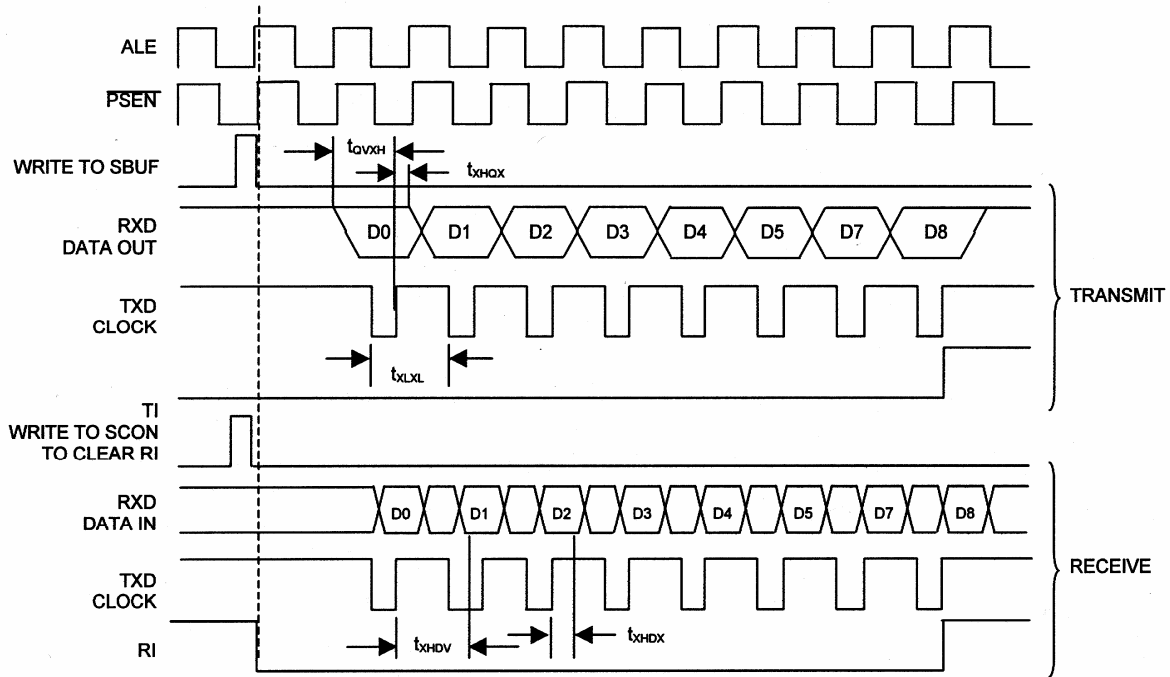


SERIAL PORT MODE 0 TIMING CHARACTERISTICS(V_{CC3} = 3.0V to 3.6V, V_{CC1} = 1.8V ±10%, T_A = -40°C to +85°C.) (Note 1)

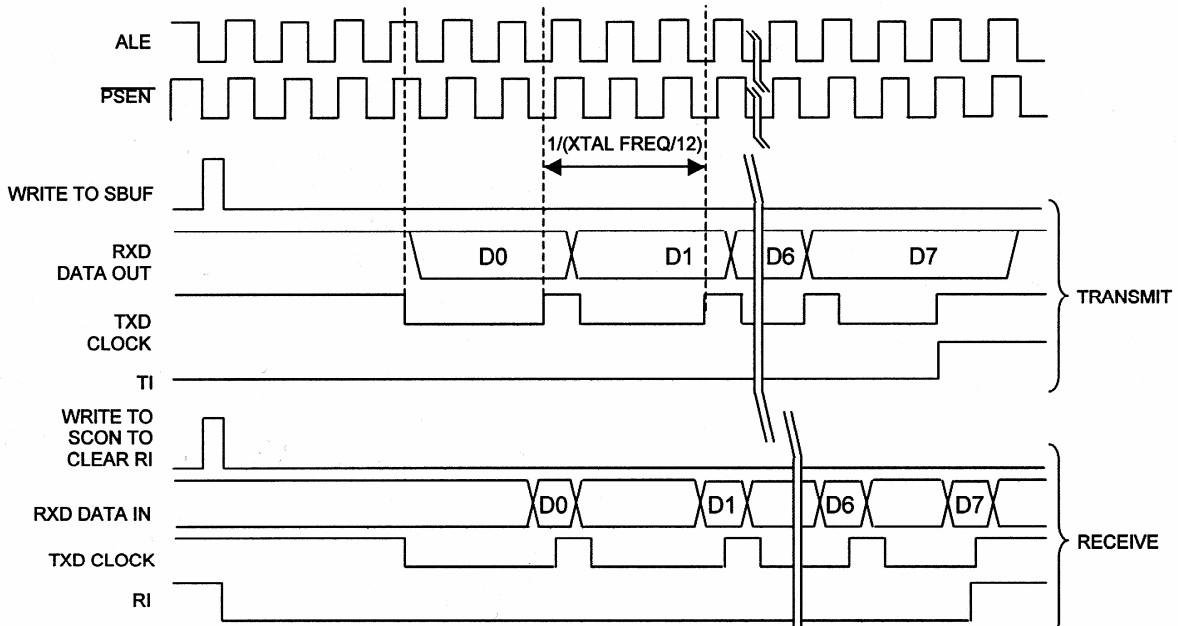
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial Port Clock Cycle Time	t _{XLXL}	SM2 = 0:12 clocks per cycle		12 t _{CLCL}		ns
		SM2 = 1:4 clocks per cycle		4 t _{CLCL}		
Output Data Setup to Clock Rising	t _{QVXH}	SM2 = 0:12 clocks per cycle	10 t _{CLCL} - 10			ns
		SM2 = 1:4 clocks per cycle	3 t _{CLCL} - 10			
Output Data Hold from Clock Rising	t _{XHOX}	SM2 = 0:12 clocks per cycle			2 t _{CLCL} - 10	ns
		SM2 = 1:4 clocks per cycle			t _{CLCL} - 10	
Input Data Hold After Clock Rising	t _{XHDX}	SM2 = 0:12 clocks per cycle	0			ns
		SM2 = 1:4 clocks per cycle	0			
Clock Rising Edge to Input Data Valid	t _{XHDV}	SM2 = 0:12 clocks per cycle			11 t _{CLCL} - 20	ns
		SM2 = 1:4 clocks per cycle			3 t _{CLCL} - 20	

Note 1: AC electrical characteristics assume 50% duty cycle for the oscillator, oscillator frequency ≤ 75MHz, and are not 100% production tested, but are guaranteed by design.

SERIAL PORT 0 (SYNCHRONOUS MODE)



HIGH-SPEED OPERATION, TXD CLK = SYSCLK/4 (SM2 = 1)



TRADITIONAL 8051 OPERATION, TXD CLOCK = XTAL/12 (SM2 = 0)

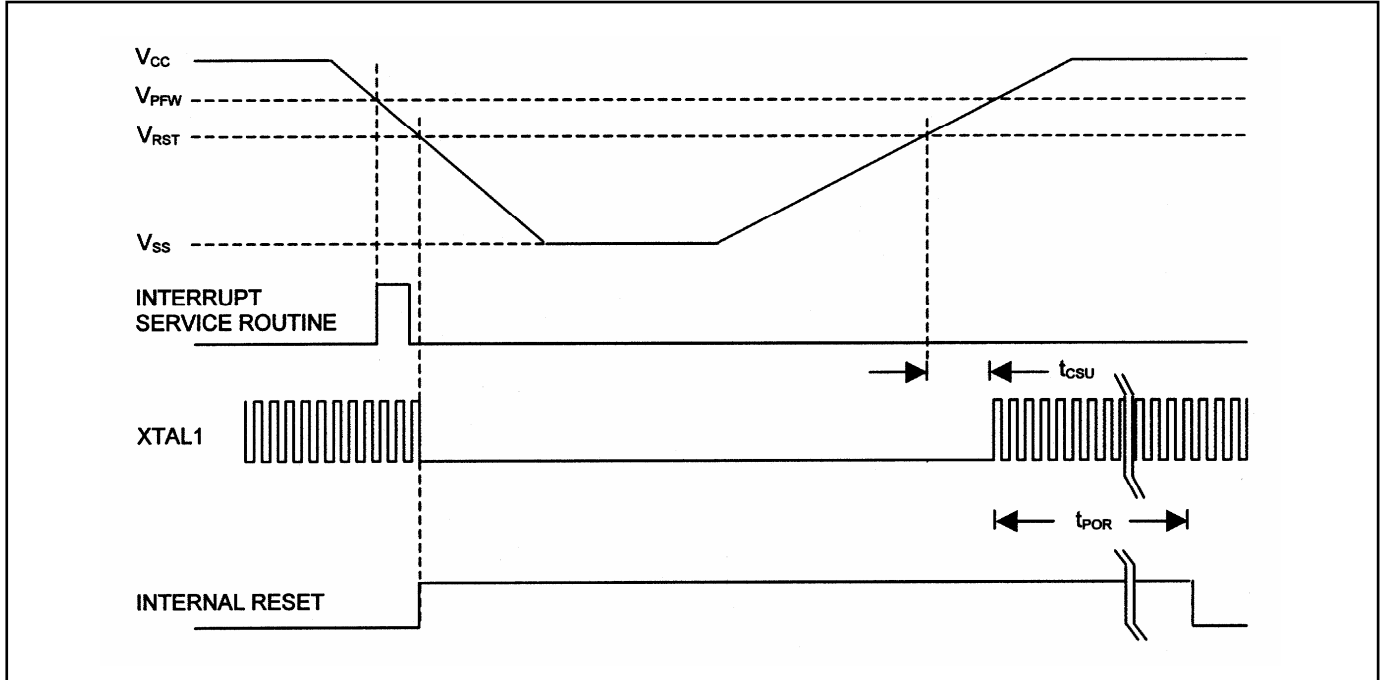
POWER-CYCLE TIMING CHARACTERISTICS

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS
Crystal Startup Time (Note 1)	t_{CSU}		1.8		ms
Power-On Reset Delay (Note 2)	t_{POR}			65,536	t_{CLK}

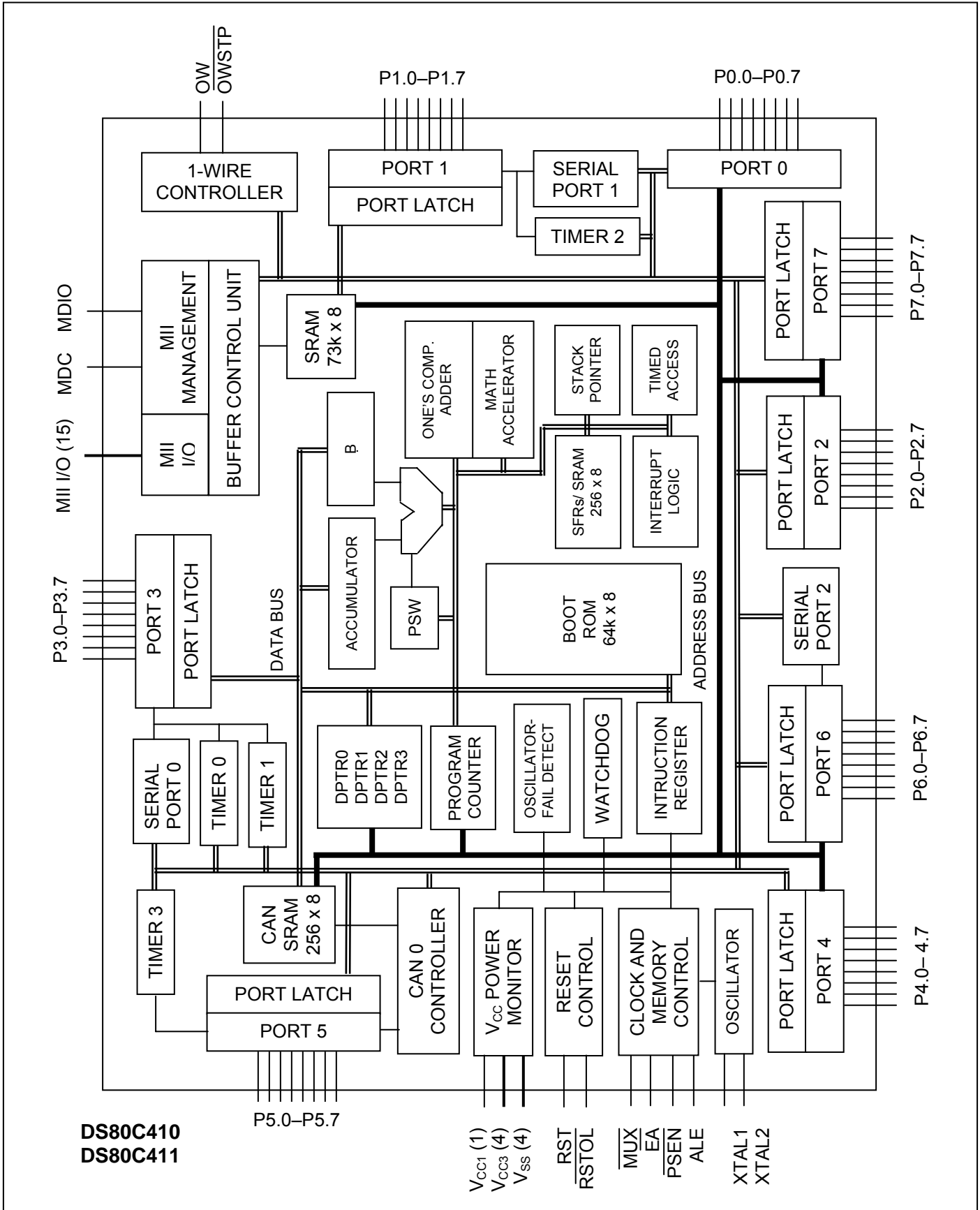
Note 1: Startup time for crystals varies with load capacitance and manufacturer. Time shown is for an 11.0592MHz crystal manufactured by Fox Electronics.

Note 2: Reset delay is a synchronous counter of crystal oscillations during crystal startup. Counting begins when the level on the XTAL1 input meets the V_{IH2} criteria. At 40MHz, this time is approximately 1.64ms.

POWER-CYCLE TIMING



结构框图



引脚说明

引脚	名称	功能
70	V _{CC1}	+1.8V 内核电源
12, 36, 62, 87	V _{CC3}	+3.3V I/O 电源
13, 39, 63, 88	V _{SS}	数字地
68	ALE	地址锁存使能, 输出。 MUX 引脚为低电平时, 该引脚输出时钟用来锁存端口 0 地址/数据复用总线上的外部地址 LSB。该信号通常连接外部透明锁存器的锁存使能。ALE 脉冲宽度为 1.5 个 XTAL1 周期, 周期为 XTAL1 周期 4 倍。MUX 引脚为高电平时, 如果 ALEOFF 位清零, 该引脚连续触发。器件复位, 或 ALEOFF 置位且 MUX 引脚为高时, ALE 被强制置高。
67	PSEN	程序存储使能, 输出。 该信号是外部程序或程序/数据混合存储器片选。PSEN 为低电平有效, 当不访问外部存储器时置高。
69	EA	外部访问使能, 输入。 连接 GND 使用外部程序存储器。连接 V _{CC} 使用内部 ROM 时。
40	MUX	复用/解复用选择, 输入。 该引脚选择地址/数据总线的复用 (MUX = 0) 或非复用 (MUX = 1) 模式。MUX 引脚仅在上电复位时采样。
97	RST	复位, 输入。 RST 引脚为施密特电压输入, 用来识别外部高电平有效的复位输入。该引脚采用一个内部下拉电阻实现与外部复位源的线 OR 组合。上电不需 RC 电路, 器件内部已具有该功能。
98	RSTOL	低电平复位输出, 输出。 在微控制器通过 RST 引脚复位、上电或停止模式后的晶振启动、看门狗定时器复位、振荡器失效 (若 OFDE = 1), 或 V _{CC1} ≤ V _{RST1} 及 V _{CC3} ≤ V _{RST3} 时, 该引脚输出低电平。
37	XTAL2	XTAL1, XTAL2。 晶体振荡器引脚, 支持基模、并联谐振、AT 切割晶体。采用外部时钟源代替晶体时 XTAL1 为输入。XTAL2 是晶体放大器的输出。
38	XTAL1	
86	AD0/D0	AD0-7 (端口 0), I/O。 当 MUX 引脚接低电平时, 端口 0 是地址/数据复用总线。当 ALE 为高电平时, 端口输出存储器地址 LSB。ALE 为低电平时, 端口变为双向数据总线。当 MUX 引脚接高电平时, 端口 0 用作双向数据总线。不能通过软件修改端口 0 配置。端口 0 引脚复位状态为高电平。无需上拉电阻。
85	AD1/D1	
84	AD2/D2	
83	AD3/D3	
82	AD4/D4	
81	AD5/D5	
80	AD6/D6	
79	AD7/D7	
89	P1.0	
90	P1.1	
91	P1.2	端口 其它功能
92	P1.3	P1.0 T2 定时器/计数器 2 的外部 I/O P1.1 T2EX 定时器/计数器 2 捕获/重载触发
93	P1.4	P1.2 RXD1 串口 1 接收 P1.3 TXD1 串口 1 发送
94	P1.5	P1.4 INT2 外部中断 2 (上升沿检测) P1.5 INT3 外部中断 3 (下降沿检测)
95	P1.6	P1.6 INT4 外部中断 4 (上升沿检测) P1.7 INT5 外部中断 5 (下降沿检测)
96	P1.7	
66	A8	A15-A8 (端口 2), 输出。 端口 2 用作外部寻址 MSB。在访问外部 ROM 和 RAM 期间, 该端口自动输出地址的 MSB。尽管存在端口 2 SFR, 但 SFR 数值不会在引脚上输出 (由于访问存储器)。因此, 访问端口 2 SFR 仅对 MOVX A, @Ri 或 MOVX @Ri, A 指令有效, 该指令采用端口 2 SFR 做为外部地址 MSB。
65	A9	
64	A10	
61	A11	
60	A12	
59	A13	

引脚	名称	功能	
58	A14	P2.4 A12 程序/数据存储器地址 12	
57	A15	P2.5 A13 程序/数据存储器地址 13	
		P2.6 A14 程序/数据存储器地址 14	
		P2.7 A15 程序/数据存储器地址 15	
20	P3.0	端口 3, I/O。 端口 3 可用作 8 位双向 I/O 或传统 8051 资源的接口。通过弱上拉，端口 3 所有位的复位状态为逻辑 1。由于外部对端口写入能够覆盖弱上拉，因此逻辑 1 还可用作输入模式。软件清零端口任意引脚时将激活强下拉，直至端口写入 1 或复位。端口由 0 写入 1 时，激活强跳变驱动，之后维持弱上拉。强驱动结束后，端口将再次进入输出 (和输入) 高电平状态。 端口 其它功能 P3.0 RXD0 串口 0 接收 P3.1 TXD0 串口 0 发送 P3.2 $\overline{\text{INT0}}$ 外部中断 0 P3.3 $\overline{\text{INT1}}$ 外部中断 1 P3.4 T0 定时器 0 外部输入 P3.5 T1/CLKO 定时器 1 外部输入/外部时钟输出 P3.6 $\overline{\text{WR}}$ 外部数据存储器写选通 P3.7 $\overline{\text{RD}}$ 外部数据存储器读选通	
21	P3.1		
22	P3.2		
23	P3.3		
24	P3.4		
25	P3.5		
26	P3.6		
27	P3.7		
48	P4.0		端口 4, I/O。 端口 4 可用作 8 位双向 I/O，或程序和数据存储器外部地址及片选信号。通过 P4CNT 寄存器，端口可配置为 I/O 或存储器信号。通过弱上拉，端口 4 所有位的复位状态为逻辑 1。由于外部对端口写入能够覆盖弱上拉，因此逻辑 1 还可用作输入模式。软件清零端口任意引脚时将激活强下拉，直至端口写入 1 或复位。端口由 0 写入 1 时，激活强跳变驱动，之后维持弱上拉。强驱动结束后，端口将再次进入输出 (和输入) 高电平状态。 端口 其它功能 P4.0 $\overline{\text{CE0}}$ 程序存储器片选 0 P4.1 $\overline{\text{CE1}}$ 程序存储器片选 1 P4.2 $\overline{\text{CE2}}$ 程序存储器片选 2 P4.3 $\overline{\text{CE3}}$ 程序存储器片选 3 P4.4 A16 程序/数据存储器地址 16 P4.5 A17 程序/数据存储器地址 17 P4.6 A18 程序/数据存储器地址 18 P4.7 A19 程序/数据存储器地址 19
47	P4.1		
46	P4.2		
45	P4.3		
44	P4.4		
43	P4.5		
42	P4.6		
41	P4.7		
35	P5.0	端口 5, I/O。 端口 5 可用作 8 位双向 I/O、CAN 接口、定时器 3 输入，和/或外设使能。通过弱上拉，端口 5 所有位的复位状态为逻辑 1。由于外部对端口写入能够覆盖弱上拉，因此逻辑 1 还可用作输入模式。软件清零端口任意引脚时将激活强下拉，直至端口写入 1 或复位。端口由 0 写入 1 时，激活强跳变驱动，之后维持弱上拉。强驱动结束后，端口将再次进入输出 (和输入) 高电平状态。 端口 其它功能 P5.0 C0TX CAN0 发送输出 – DS80C411 不提供此功能 P5.1 C0RX CAN0 接收输入 – DS80C411 不提供此功能 P5.2 T3 定时器 3 外部输入 P5.3 无 P5.4 $\overline{\text{PCE0}}$ 外设片选 0 P5.5 $\overline{\text{PCE1}}$ 外设片选 1 P5.6 $\overline{\text{PCE2}}$ 外设片选 2 P5.7 $\overline{\text{PCE3}}$ 外设片选 3	
34	P5.1		
33	P5.2		
32	P5.3		
31	P5.4		
30	P5.5		
29	P5.6		
28	P5.7		
56	P6.0		端口 6, I/O。 端口 6 可用作 8 位，双向 I/O 端口、程序和数据存储器地址/片选信号，以及第 3 个串口。通过弱上拉，端口 6 所有位的复位状态为逻辑 1。由于外部对端口写入能够覆盖弱上拉，因此逻辑 1 还可用作输入模式。软件清零端口任意引脚时将激活强下拉，直至端口写入 1 或复位。端口由 0 写入 1 时，激活强跳变驱动，之后维持弱上拉。强驱动结束后，端口将再次进入输出 (和输入) 高电平状态。 端口 其它功能 P6.0 $\overline{\text{CE4}}$ 程序存储器片选 4 P6.1 $\overline{\text{CE5}}$ 程序存储器片选 5 P6.2 $\overline{\text{CE6}}$ 程序存储器片选 6 P6.3 $\overline{\text{CE7}}$ 程序存储器片选 7
55	P6.1		
54	P6.2		
53	P6.3		
52	P6.4		
51	P6.5		

引脚	名称	功能	
50	P6.6	P6.4 A20 程序/数据存储地址 20 P6.5 A21 程序/数据存储地址 21	
49	P6.7	P6.6 RXD2 串口 2 接收 P6.7 TXD2 串口 2 发送	
78	A0	<p>端口 7, I/O。 端口 7 可用作 8 位双向 I/O 或非复用的 A0–A7 (当 MUX 引脚 = 1 时)。通过弱上拉, 端口 7 所有位的复位状态为逻辑 1。由于外部对端口写入能够覆盖弱上拉, 因此逻辑 1 还可用作输入模式。软件清零端口任意引脚时将激活强下拉, 直至端口写入 1 或复位。端口由 0 写入 1 时, 激活强跳变驱动, 之后维持弱上拉。强驱动结束后, 端口将再次进入输出 (和输入) 高电平状态。</p> <p>端口 其它功能</p>	
77	A1		
76	A2		
75	A3		
74	A4		
73	A5		
72	A6		
71	A7		
8	TXCik		发送时钟, 输入。 发送时钟是源自以太网 PHY 控制器的连续时钟。为 MAC 至外部以太网 PHY 控制器的 TX_EN 和 TXD[3:0] 信号提供定时基准。在 100Mbps 运行时, TXCik 输入时钟频率应为 25MHz, 在 10Mbps 运行时, 为 2.5MHz。对于 ENDEC, TXCik 具有相同功能, 但输入时钟频率应为 10MHz。
7	TX_EN		发送使能, 输出。 发送使能为高电平有效输出, 同步于 TXCik 信号。TX_EN 用于指示 MII 引脚 TXD.3–TXD.0 上输出有效数据字节的四位。帧头开始四位输出时, TX_EN 置位, 当所有数据在 TXD.3–TXD.0 引脚上输出时, 引脚保持置位。TX_EN 在该帧最后四位输出后的第一个 TXCik 前取反。对于 ENDEC, TX_EN 功能相同。
3	TXD.3	发送数据, 输出。 发送数据用于在 MII 上输出 4 位数据。发送数据同步于 TXCik。当 TX_EN 置位时, 每个 TXCik 周期, TXD.3–TXD.0 都向以太网 PHY 控制器发送数据。当 TX_EN 置低时, TXD 的数据应被忽略。对于 ENDEC, 仅 TXD.0 用于帧传输。	
4	TXD.2		
5	TXD.1		
6	TXD.0		
10	RXCik	接收时钟, 输入。 接收时钟是源自以太网 PHY 控制器的连续时钟。为外部以太网 PHY 控制器至 MAC 的 RX_DV, RX_ER 和 RXD[3:0] 信号提供定时基准。在 100Mbps 运行时, RXCik 输入时钟频率应为 25MHz, 10Mbps 运行时, 为 2.5MHz。对于 ENDEC, RXCik 具有相同功能, 但输入时钟频率应为 10MHz。	
11	RX_DV	接收数据有效, 输入。 接收数据有效是来自外部以太网 PHY 控制器的高电平有效输入, 同步于 RXCik 信号。RX_DV 用于指示 MII 引脚 RXD.3–RXD.0 上接收四位有效数据。从帧的开始四位到最后的四位, RX_DV 一直保持置位。RX_DV 在该帧最后四位之后的第一个 RXCik 之前取反。对于 ENDEC, RX_DV 功能相同。	
9	RX_ER	接收出错, 输入。 接收出错是来自外部以太网 PHY 控制器的高电平有效输入, 同步于 RXCik 信号。RX_ER 用于向 MAC 指示在 PHY 发送的帧中探测到了错误 (如, 编码错误或 PHY 探测到的任何错误)。RX_ER 置低时, RX_ER 对于 MAC 不起作用。对于 ENDEC, RX_ER 应为低电平。	
17	RXD.3	接收数据, 输入。 接收数据输入提供 MII 上接收到的 4 位字节数据。接收数据同步于 RXCik 信号。对于每个 RXCik 周期, 当 RX_DV 置位时, RXD.3–RXD.0 提供 MAC 应接收的数据。当 RX_DV 置低时, RXD 数据应被忽略。对于 ENDEC, 仅 RXD.0 用于帧接收。	
16	RXD.2		
15	RXD.1		
14	RXD.0		
1	CRS	载波侦听, 输入。 载波侦听信号是高电平有效输入, 当发送或接收介质非空闲时, 应由外部以太网 PHY 控制器置位。当发送和接收介质空闲时, CRS 应由 PHY 置低。PHY 应保证在冲突状态期间, CRS 信号保持置位。CRS 信号跳变不必同步于 TXCik 或 RXCik。对于 ENDEC, CRS 功能相同。	
2	COL	冲突探测, 输入。 冲突探测信号是高电平有效输入, 探测到介质上出现冲突时, 应由外部以太网 PHY 控制器置位。持续冲突时, PHY 应保持 COL 置位。COL 信号跳变不必同步于 TXCik 或 RXCik。在全双工模式工作时, COL 信号被 MAC 忽略。对于 ENDEC, COL 功能相同。	
18	MDC	II 管理时钟, 输出。 MII 管理时钟由 MAC 产生, 被外部以太网 PHY 控制器用作 MDIO 引脚上发送信息的定时基准。周期信号 MDC 没有最大的高或低时间。最小高和低时间为 160ns。MDC 最小周期是 400ns, 与 TXCik 和 RXCik 周期无关。	

引脚	名称	功能
19	MDIO	MII 管理输入/输出。 MII 管理 I/O 是与外部以太网 PHY 控制器串行通信的数据引脚。在读周期中，数据由 PHY 发至 MAC，同步于 MDC 时钟。在写周期中，数据由 MAC 发至 PHY，同步于 MDC 时钟。
99	OW	1-Wire 数据, I/O。 1-Wire 数据引脚是 1-Wire 总线主机的开漏、双向数据总线。外部 1-Wire 从机器件连接在该引脚上。该引脚必须使用外部电阻上拉至高电平，该电阻通常取 2.2kΩ。
100	$\overline{\text{OWSTP}}$	强上拉使能, 输出。 该 1-Wire 引脚是开漏、低电平有效输出，用于使能 1-Wire 总线外部强上拉。该引脚必须使用外部电阻上拉至高电平，该电阻通常取 10kΩ。当 1-Wire 总线工作在过载和长线标准通信模式时，该功能有助于恢复时间。总线主机在空闲状态，从机需要维持大电流工作时，可选择使能该引脚。

特性 (续)

- **全功能 CAN 2.0B 控制器**
 - 15 个消息中心
 - 支持标准 (11 位) 和扩展 (29 位) 标识符及全局屏蔽
 - 介质字节过滤，支持 DeviceNet™、SDS 和高层 CAN 协议
 - 自动波特率模式和 SIESTA 低功耗模式
- **集成主系统逻辑**
 - 16 个中断源，6 个为外部中断
 - 4 个 16 位定时器/计数器
 - 2x/4x 时钟倍频降低电磁干扰 (EMI)
 - 可编程看门狗定时器
 - 振荡器失效探测
 - 可编程 IrDA 时钟
- **高级电源管理**
 - 低功耗 1.8V 内核
 - 3.3V I/O, 5V 容限
 - 电源管理，空闲和停止模式，可切回原状态
 - 降低功耗的以太网和 CAN 关断控制
 - 电源失效中断早期告警
 - 电源失效复位
- **增强的存储器体系结构**
 - 支持高级语言的可选 8/10 位堆栈指针
 - 64kB 片内 SRAM，可用作程序/数据存储
 - 16 位/24 位分页/24 位连续模式
 - 可选复用/非复用外部存储器接口
 - 支持在系统编程的混合程序/数据存储空间
 - 默认为真 8051 存储器兼容

DeviceNet 是 Open DeviceNet Vendor Association, Inc. 的商标。

术语

除非另有说明，本文档以下部分的 DS80C410 代表 DS80C410 和 DS80C411。

详细说明

DS80C410 网络微控制器是高度集成的 8051 器件。外设包括一个 10/100 以太网 MAC，三个串口，一个可选 CAN 2.0B 控制器，1-Wire 主机和 64 个 I/O 引脚。为实现网络访问，ROM 中提供应用程序可完全访问的 TCP IPv4/6 网络堆栈和 OS。网络堆栈同时支持最多 32 个 TCP 连接，通过以太网 MAC，其传送速率高达 5Mbps。最大 75MHz 的系统时钟频率支持最小 54ns 指令周期。24 位寻址支持最大 16MB 的连续存储空间，简化了对较大程序或数据存储区的访问。为加速微控制器和存储器之间的数据传输，DS80C410 提供 4 个数据指针，每一个都可根据相关指令执行情况配置为自动递增或递减。DS80C410 硬件数学加速器进一步加快了 32 位和 16 位乘法和除法、以及高速移位、归一化、累加功能。

DS80C410 具有较强的联网和 I/O 能力，可用作多级网络的中心控制器。DS80C410 可利用其 10/100 以太网介质访问控制器 (MAC) 接入因特网并进行通信。接入因特网同时，微控制器能够使用片内专用硬件有效控制低等级网络。这些硬件资源包括一个完整的 CAN 2.0B 控制器、一个 1-Wire 网络控制器、三个全双工串口和 8 个 8 位端口 (最多 64 个数字 I/O 引脚)。

嵌入式 64kB ROM 支持即时连接和联网。该 ROM 固件使用 DHCP 与 TFTP 实现以太网的网络启动。ROM 固件提供应用程序可完全访问的 TCP/IP 堆栈，支持 IPv4 和 IPv6，可实现 UDP、TCP、DHCP、ICMP 和 IGMP。此外还包括基于优先级的抢先式任务调度。固件是结构化的，MAC 地址可由 IEEE 注册的 DS2502-E48 选择。

DS80C410 的 10/100 以太网 MAC 符合 IEEE 802.3 MII 和 ENDEC PHY 接口标准。MII 接口支持 10/100Mbps，而 ENDEC 接口支持 10Mbps。MAC 针对低功耗进行设计，可选择进入超低功耗睡眠模式，由手动唤醒或检测到 Magic Packet 及唤醒帧唤醒。通过缓冲控制单元减少了 CPU 的以太网处理负荷。该单元通过 SFR 接口进行初始化后，利用片内 8kB SRAM 管理所有 Tx/Rx 数据包活动和状态报告。为进一步减少主机 (DS80C410) 软件干预，MAC 可设置为每次发送或接收状态报告后产生一个硬件中断。DS80C410 MAC 可工作在带有流控的半双工或全双工模式，并提供多播/广播地址过滤模式，具有 VLAN 标签识别能力。

DS80C410 具有全功能 CAN 2.0B 控制器，DS80C411 不具备。该控制器提供 15 个消息中心，其中 14 个可配置为发送或接收缓冲，另一个可用作接收双缓冲。器件支持标准的 11 位或 29 位扩展消息标识符，两个独立的 8 位介质屏蔽和介质仲裁域支持 DeviceNet 和 SDS 等更高级的 CAN 协议。接入新网络时其特殊的自动波特率模式使 CAN 控制器能够快速决定总线时序。当 CAN 控制器可进入低功耗模式时，可调用 SIESTA 睡眠模式。

DS80C410 所能提供的资源远远超出了标准 8 位微控制器。多种可做为微控制器外设的功能已集成在 DS80C410 中。DS80C410 的集成功能包括 16 个中断源 (6 个为外部)、4 个定时器/计数器、一个可编程看门狗定时器、一个可编程 IrDA 时钟、一个振荡器失效探测电路和一个内部 2x/4x 时钟倍频器。该倍频器使微控制器能够在低晶振频率下全速工作，从而降低 EMI。

DS80C410 的高级电源管理适合便携和低功耗应用。低电压微控制器内核工作在 1.8V，I/O 为 3.3V，5V 容限。电源管理模式 (PMM) 允许软件由标准的每机器周期 4 时钟切换为每机器周期 1024 时钟。例如，在 40MHz 时机器周期为 10MHz。在 PMM 下，以相同外部时钟频率工作时，软件可选择 39kHz 的机器周期，可极大降低功耗。微控制器可配置为在响应外部中断或串口活动时自动从 PMM 切回快速模式。DS80C410 可使 CPU 进入空闲状态或超低功耗停止模式。为防止电压过低或电源失效，微控制器能够产生电源失效早期报警中断，并产生电源失效复位。

禁用内部 ROM 时，DS80C410 上电默认为兼容真 8051 存储器。但只有利用其增强的存储器体系结构才能充分发挥微控制器的性能。DS80C410 具有一个可选 10 位堆栈指针，能够寻址高达 1kB 的片内 SRAM 堆栈空间，从而提高代码效率。DS80C410 可工作在 24 位分页或 24 位连续寻址模式，比标准 16 位寻址模式可访问的范围更大。对程序和混合存储器访问的支持可实现在系统编程，可内部配置为非复用的数据和低地址字节，不必再采用外部锁存，从而可使用速度较慢的存储器。

80C32 兼容性

DS80C410 是高性能 CMOS 80C32 兼容微控制器。核心器件为 80C32 用户所熟悉，同时还增加了许多改进特性。DS80C410 提供与标准 80C32 相同的定时器/计数器、全双工串口、256 字节暂存 RAM、I/O 端口。定时器每周默认认为 12 个时钟，保持与 8051 系统时序兼容。可采用特殊功能寄存器 (SFR) 访问新增加的硬件功能，寄存器不会与标准 80C32 地址重叠。所有指令与其对应 8051 指令功能一致。位、标志和其它状态功能也一致。由于器件使用标准 8051 指令集，通常为现有 80C32 系统编写的软件可运行在 DS80C410 上。由于微控制器具有高性能内核，其指令运行速度无论是绝对时钟数还是相对时钟数都明显快于原有器件，因此二者不同主要与时序有关。

两条 DS80C410 指令的相对时序与传统 8051 不同。例如，在原体系结构中，“MOVX A, @DPTR”指令和“MOV direct, direct”指令需要相同的时间，即两个机器周期或 24 个时钟周期。DS80C410 在默认配置下 (每机器周期 = 4 时钟周期) 执行“MOVX A, @DPTR”指令只需两机器周期，即 8 个时钟周期，而“MOV direct, direct”占用 3 个机器周期，即 12 个时钟周期。尽管二者执行速度都比原来的指令快，但是现在却有不同执行时间。应检查每个指令的时序以熟悉这种变化。注意每机器周期现在只需 4 个时钟，每周提供一个 ALE 脉冲。多数指令仅需要一个或两个周期，但是有一些则需要多达 4 至 5 个。请参考 *高速微控制器用户指南(English only)* 以及 *高速微控制器用户指南: 网络微控制器补充资料(English only)*，了解每个指令的时序细节，并计算软件循环的绝对时间。请注意，计数器/定时器默认为每 12 个时钟递增一次。这意味着，基于定时器的时间仍在标准间隔出现，但代码运行的速度更高。定时器可配置每 4 个时钟递增一次，以充分利用高速控制器的优势。

存储器接口与标准 80C32 一致。DS80C410 的高速内核对接口时序稍做修改，建议设计人员参考本数据资料的时序图，了解更详细的信息。

本数据资料仅是 DS80C410 的摘要和概述。详细说明可参考相应用户指南。本数据资料假设用户已经熟悉标准 80C32 的体系结构。DS80C410 不仅具有 80C32 的基本特性，还具有许多新特性。

性能概述

DS80C410 的高性能不仅来自于时钟频率的加速，还在于更高效的设计。升级后的内核去掉了在每机器周期 12 时钟的标准 8051 中的空存储器周期。在 DS80C410 中，一个机器周期仅需要 4 个时钟。这样，在相同晶振频率下，最快的单机器周期指令执行速度快了 3 倍。多数 DS80C410 指令执行速度提高了 3 倍，部分指令执行速度提高了 1.5 至 2.4 倍。指令 INC DPTR 占用了更少的机器周期 (以前需要 2 个机器周期，而现在仅需 1 个机器周期)，与以前的 8051 相比，吞吐量提高了 6 倍。即使不考虑特殊的性能改进，所有指令执行速度也比以前的 8051 更快。

每个程序的改进有赖于所采用的指令组合。对于运行速度要求较高的应用应尽量采用至少快 3 倍的指令。由于提供的大量指令速度都可提高 3 倍，因此任意指令组合都可显著提高运行速度。内核体系结构的改进和亚微米 CMOS 设计实现了 54ns 的最小指令周期 (每秒执行 18.75 百万条指令，即 MIPS)。为进一步提高性能，为四个数据指针提供了自动递增/递减和自动切换功能，使用户在进行块移动时，能够去掉多余指令。

特殊功能寄存器 (SFR)

SFR 控制微控制器的大部分特殊功能。仅采用标准 8051 指令集，即可使器件具有多种新功能。当编写使用新功能的软件时，只需使用等同语句向汇编器或编译器定义 SFR。这是实现新功能的唯一改动。DS80C410 复制了标准 80C32 中包含的 SFR。表 1 是寄存器地址和位地址。高速微控制器用户指南: 网络微控制器补充资料(English only) 包括了所有 SFR 的完整说明。

与 CAN 功能相关的位在 DS80C411 中为只读位，读取时，返回逻辑 1。例外的情况是：

- C0_I/O (P5CNT.3) 是 DS80C411 的通用读/写位，但对处理器操作不起作用。
- CAN0BA (P5CNT.6) 与在 DS80C400 上的操作相同。
- C0BPR6 (COR.3) 是 DS80C411 的通用读/写位，但对处理器操作不起作用。
- C0BPR7 (COR.4) 是 DS80C411 的通用读/写位，但对处理器操作不起作用。
- C0IE (EIE.6) 是 DS80C411 的通用读/写位，但对处理器操作不起作用。
- C0IP (IEP.6) 是 DS80C411 的通用读/写位，但对处理器操作不起作用。

表1. SFR 地址和位地址

REGISTER	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	ADDRESS
P4	P4.7/A19	P4.6/A18	P4.5/A17	P4.4/A16	P4.3/CE3	P4.2/CE2	P4.1/CE1	P4.0/CE0	80h
SP									81h
DPL									82h
DPH									83h
DPL1									84h
DPH1									85h
DPS	ID1	ID0	TSL	AID	SEL1	—	—	SEL0	86h
PCON	SMOD_0	SMOD0	OFDF	OFDE	GF1	GF0	STOP	IDLE	87h
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	88h
TMOD	GATE	C/T	M1	M0	GATE	C/T	M1	M0	89h
TL0									8Ah
TL1									8Bh
TH0									8Ch
TH1									8Dh
CKCON	WD1	WD0	T2M	T1M	T0M	MD2	MD1	MD0	8Eh
P1	P1.7/INT5	P1.6/INT4	P1.5/INT3	P1.4/INT2	P1.3/TXD	P1.2/RXD1	P1.1/T2EX	P1.0/T2	90h
EXIF	IE5	IE4	IE3	IE2	CKRY	RGMD	RGSL	BGS	91h
P4CNT	—	—	P4CNT.5	P4CNT.4	P4CNT.3	P4CNT.2	P4CNT.1	P4CNT.0	92h
DPX									93h
DPX1									95h
C0RMS0									96h
C0RMS1									97h
SCON0	SM0/FE_0	SM1_0	SM2_0	REN_0	TB8_0	RB8_0	TI_0	RI_0	98h
SBUF0									99h
ESP	—	—	—	—	—	—	ESP.1	ESP.0	9Bh
AP									9Ch
ACON	—	—	MROM	BPME	BROM	SA	AM1	AM0	9Dh
C0TMA0									9Eh
C0TMA1									9Fh
P2	P2.7/A15	P2.6/A14	P2.5/A13	P2.4/A12	P2.3/A11	P2.2/A10	P2.1/A9	P2.0/A8	A0h
P5	P5.7/PCE3	P5.6/PCE2	P5.5/PCE1	P5.4/PCE0	P5.3	P5.2/T3	P5.1/C0RX	P5.0/C0TX	A1h
P5CNT	—	CAN0BA	—	—	C0_I/O	P5CNT.2	P5CNT.1	P5CNT.0	A2h
C0C	ERIE	STIE	PDE	SIESTA	CRST	AUTOB	ERCS	SWINT	A3h
C0S	BSS	EC96/128	WKS	RXS	TXS	ER2	ER1	ER0	A4h
C0IR	INTIN7	INTIN6	INTIN5	INTIN4	INTIN3	INTIN2	INTIN1	INTIN0	A5h
C0TE									A6h
C0RE									A7h
IE	EA	ES1	ET2	ES0	ET1	EX1	ET0	EX0	A8h
SADDR0									A9h
SADDR1									AAh
C0M1C	MSRDY	ETI	ERI	INTRQ	EXTRQ	MTRQ	ROW/TIH	DTUP	ABh
C0M2C	MSRDY	ETI	ERI	INTRQ	EXTRQ	MTRQ	ROW/TIH	DTUP	ACh
C0M3C	MSRDY	ETI	ERI	INTRQ	EXTRQ	MTRQ	ROW/TIH	DTUP	ADh
C0M4C	MSRDY	ETI	ERI	INTRQ	EXTRQ	MTRQ	ROW/TIH	DTUP	AEh
C0M5C	MSRDY	ETI	ERI	INTRQ	EXTRQ	MTRQ	ROW/TIH	DTUP	AFh
P3	P3.7/RD	P3.6/WR	P3.5/T1	P3.4/T0	P3.3/INT1	P3.2/INT0	P3.1/TXD0	P3.0/RXD0	B0h
P6	P6.7/TXD2	P6.6/RXD2	P6.5/A21	P6.4/A20	P6.3/CE7	P6.2/CE6	P6.1/CE5	P6.0/CE4	B1h
P6CNT	—	—	P6CNT.5	P6CNT.4	P6CNT.3	P6CNT.2	P6CNT.1	P6CNT.0	B2h
C0M6C	MSRDY	ETI	ERI	INTRQ	EXTRQ	MTRQ	ROW/TIH	DTUP	B3h
C0M7C	MSRDY	ETI	ERI	INTRQ	EXTRQ	MTRQ	ROW/TIH	DTUP	B4h
C0M8C	MSRDY	ETI	ERI	INTRQ	EXTRQ	MTRQ	ROW/TIH	DTUP	B5h

REGISTER	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	ADDRESS
C0M9C	MSRDY	ETI	ERI	INTRQ	EXTRQ	MTRQ	ROW/TIH	DTUP	B6h
C0M10C	MSRDY	ETI	ERI	INTRQ	EXTRQ	MTRQ	ROW/TIH	DTUP	B7h
IP	—	PS1	PT2	PS0	PT1	PX1	PT0	PX0	B8h
SADEN0									B9h
SADEN1									BAh
C0M11C	MSRDY	ETI	ERI	INTRQ	EXTRQ	MTRQ	ROW/TIH	DTUP	BBh
C0M12C	MSRDY	ETI	ERI	INTRQ	EXTRQ	MTRQ	ROW/TIH	DTUP	BCh
C0M13C	MSRDY	ETI	ERI	INTRQ	EXTRQ	MTRQ	ROW/TIH	DTUP	BDh
C0M14C	MSRDY	ETI	ERI	INTRQ	EXTRQ	MTRQ	ROW/TIH	DTUP	BEh
C0M15C	MSRDY	ETI	ERI	INTRQ	EXTRQ	MTRQ	ROW/TIH	DTUP	BFh
SCON1	SM0/FE_1	SM1_1	SM2_1	REN_1	TB8_1	RB8_1	TI_1	RI_1	C0h
SBUF1									C1h
PMR	CD1	CD0	SWB	CTM	$\overline{4X/2X}$	ALEOFF	—	—	C4h
STATUS	PIP	HIP	LIP	—	SPTA1	SPRA1	SPTA0	SPRA0	C5h
MCON	—	—	—	—	PDCE3	PDCE2	PDCE1	PDCE0	C6h
TA									C7h
T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	$\overline{C/T2}$	$\overline{CP/RL2}$	C8h
T2MOD	—	—	—	D13T1	D13T2	—	T2OE	DCEN	C9h
RCAP2L									CAh
RCAP2H									CBh
TL2									CCh
TH2									CDh
COR	IRDACK	—	—	C0BPR7	C0BPR6	COD1	COD0	CLKOE	CEh
PSW	CY	AC	F0	RS1	RS0	OV	F1	P	D0h
MCNT0	\overline{LSHIFT}	CSE	SCE	MAS4	MAS3	MAS2	MAS1	MAS0	D1h
MCNT1	MST	MOF	SCB	CLM	—	—	—	—	D2h
MA									D3h
MB									D4h
MC									D5h
MCON1	IRAMD	PRAME	—	—	PDCE7	PDCE6	PDCE5	PDCE4	D6h
WDCON	SMOD_1	POR	EPFI	PFI	WDIF	WTRF	EWT	RWT	D8h
SADDR2									D9h
BPA1									DAh
BPA2									DBh
BPA3									DCh
ACC									E0h
OCAD									E1h
CSRD									E3h
CSRA									E4h
EBS	FPE	RBF	—	BS4	BS3	BS2	BS1	BS0	E5h
BCUD									E6h
BCUC	BUSY	EPMF	TIF	RIF	BC3	BC2	BC1	BC0	E7h
EIE	EPMIE	C0IE	EAIE	EWDI	EWPI	ES2	ET3	EX2-5	E8h
MXAX									EAh
DPX2									EBh
DPX3									EDh
OWMAD	—	—	—	—	—	A2	A1	A0	EEh
OWMDR									EFh
B									F0h
SADEN2									F1h
DPL2									F2h

REGISTER	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	ADDRESS
DPH2									F3h
DPL3									F4h
DPH3									F5h
DPS1	ID3	ID2	—	—	—	—	—	—	F6h
STATUS1	—	—	—	—	V1PF	V3PF	SPTA2	SPRA2	F7h
EIP	EPMIP	C0IP	EAIP	PWDI	PWPI	PS2	PT3	PX2-5	F8h
P7	P7.7/A7	P7.6/A6	P7.5/A5	P7.4/A4	P7.3/A3	P7.2/A2	P7.1/A1	P7.0/A0	F9h
TL3									FBh
TH3									FCh
T3CM	TF3	TR3	T3M	SMOD_2	GATE	$\overline{C/T3}$	M1	M0	FDh
SCON2	SM0/FE_2	SM1_2	SM2_2	REN_2	TB8_2	RB8_2	TI_2	RI_2	FEh
SBUF2									FFh

注意: 阴影中的位受定时访问保护。

表2. SFR 复位值

REGISTER	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	ADDRESS
P4	1	1	1	1	1	1	1	1	80h
SP	0	0	0	0	0	0	0	0	81h
DPL	0	0	0	0	0	0	0	0	82h
DPH	0	0	0	0	0	0	0	0	83h
DPL1	0	0	0	0	0	0	0	0	84h
DPH1	0	0	0	0	0	0	0	0	85h
DPS	0	0	0	0	1	0	0	0	86h
PCON	0	0	Special	0	0	0	0	0	87h
TCON	0	0	0	0	0	0	0	0	88h
TMOD	0	0	0	0	0	0	0	0	89h
TL0	0	0	0	0	0	0	0	0	8Ah
TL1	0	0	0	0	0	0	0	0	8Bh
TH0	0	0	0	0	0	0	0	0	8Ch
TH1	0	0	0	0	0	0	0	0	8Dh
CKCON	0	0	0	0	0	0	0	1	8Eh
P1	1	1	1	1	1	1	1	1	90h
EXIF	0	0	0	0	Special	Special	Special	0	91h
P4CNT	1	1	1	1	1	1	1	1	92h
DPX	0	0	0	0	0	0	0	0	93h
DPX1	0	0	0	0	0	0	0	0	95h
C0RMS0	0	0	0	0	0	0	0	0	96h
C0RMS1	0	0	0	0	0	0	0	0	97h
SCON0	0	0	0	0	0	0	0	0	98h
SBUF0	0	0	0	0	0	0	0	0	99h
ESP	1	1	1	1	1	1	0	0	9Bh
AP	0	0	0	0	0	0	0	0	9Ch
ACON	1	1	0	0	Special	0	0	0	9Dh
C0TMA0	0	0	0	0	0	0	0	0	9Eh
C0TMA1	0	0	0	0	0	0	0	0	9Fh
P2	1	1	1	1	1	1	1	1	A0h
P5	1	1	1	1	1	1	1	1	A1h
P5CNT	1	0	0	0	0	0	0	0	A2h
C0C	0	0	0	0	1	0	0	1	A3h
C0S	0	0	0	0	0	0	0	0	A4h
C0IR	0	0	0	0	0	0	0	0	A5h
C0TE	0	0	0	0	0	0	0	0	A6h
C0RE	0	0	0	0	0	0	0	0	A7h
IE	0	0	0	0	0	0	0	0	A8h
SADDR0	0	0	0	0	0	0	0	0	A9h
SADDR1	0	0	0	0	0	0	0	0	AAh
C0M1C	0	0	0	0	0	0	0	0	ABh
C0M2C	0	0	0	0	0	0	0	0	ACH
C0M3C	0	0	0	0	0	0	0	0	ADh
C0M4C	0	0	0	0	0	0	0	0	AEh
C0M5C	0	0	0	0	0	0	0	0	AFh
P3	1	1	1	1	1	1	1	1	B0h
P6	1	1	1	1	1	1	1	1	B1h
P6CNT	0	0	0	0	0	0	0	0	B2h
C0M6C	0	0	0	0	0	0	0	0	B3h
C0M7C	0	0	0	0	0	0	0	0	B4h
C0M8C	0	0	0	0	0	0	0	0	B5h
C0M9C	0	0	0	0	0	0	0	0	B6h
C0M10C	0	0	0	0	0	0	0	0	B7h
IP	1	0	0	0	0	0	0	0	B8h
SADEN0	0	0	0	0	0	0	0	0	B9h
SADEN1	0	0	0	0	0	0	0	0	BAh
C0M11C	0	0	0	0	0	0	0	0	BBh
C0M12C	0	0	0	0	0	0	0	0	BCh
C0M13C	0	0	0	0	0	0	0	0	BDh
C0M14C	0	0	0	0	0	0	0	0	BEh
C0M15C	0	0	0	0	0	0	0	0	BFh
SCON1	0	0	0	0	0	0	0	0	C0h
SBUF1	0	0	0	0	0	0	0	0	C1h

REGISTER	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	ADDRESS
PMR	1	0	0	0	0	0	1	1	C4h
STATUS	0	0	0	1	0	0	0	0	C5h
MCON	1	1	1	1	0	0	0	0	C6h
TA	1	1	1	1	1	1	1	1	C7h
T2CON	0	0	0	0	0	0	0	0	C8h
T2MOD	1	1	0	0	0	1	0	0	C9h
RCAP2L	0	0	0	0	0	0	0	0	CAh
RCAP2H	0	0	0	0	0	0	0	0	CBh
TL2	0	0	0	0	0	0	0	0	CCh
TH2	0	0	0	0	0	0	0	0	CDh
COR	0	1	1	0	0	0	0	0	CEh
PSW	0	0	0	0	0	0	0	0	D0h
MCNT0	0	0	0	0	0	0	0	0	D1h
MCNT1	0	0	0	0	1	1	1	1	D2h
MA	0	0	0	0	0	0	0	0	D3h
MB	0	0	0	0	0	0	0	0	D4h
MC	0	0	0	0	0	0	0	0	D5h
MCON1	0	0	1	1	0	0	0	0	D6h
WDCON	0	Special	0	Special	0	Special	0	0	D8h
SADDR2	0	0	0	0	0	0	0	0	D9h
BPA1	0	0	0	0	0	0	0	0	DAh
BPA2	0	0	0	0	0	0	0	0	DBh
BPA3	0	0	0	0	0	0	0	0	DCh
ACC	0	0	0	0	0	0	0	0	E0h
OCAD	0	0	0	0	0	0	0	0	E1h
CSRD	0	0	0	0	0	0	0	0	E3h
CSRA	0	0	0	0	0	0	0	0	E4h
EBS	0	1	1	0	0	0	0	0	E5h
BCUD	0	0	0	0	0	0	0	0	E6h
BCUC	0	0	0	0	0	0	0	0	E7h
EIE	0	0	0	0	0	0	0	0	E8h
MXAX	0	0	0	0	0	0	0	0	EAh
DPX2	0	0	0	0	0	0	0	0	EBh
DPX3	0	0	0	0	0	0	0	0	EDh
OWMAD	0	0	0	0	0	1	1	1	EEh
OWMDR	0	0	0	0	0	0	0	0	EFh
B	0	0	0	0	0	0	0	0	F0h
SADEN2	0	0	0	0	0	0	0	0	F1h
DPL2	0	0	0	0	0	0	0	0	F2h
DPH2	0	0	0	0	0	0	0	0	F3h
DPL3	0	0	0	0	0	0	0	0	F4h
DPH3	0	0	0	0	0	0	0	0	F5h
DPS1	0	0	1	1	1	1	1	1	F6h
STATUS1	1	1	1	1	1	1	0	0	F7h
EIP	0	0	0	0	0	0	0	0	F8h
P7	1	1	1	1	1	1	1	1	F9h
TL3	0	0	0	0	0	0	0	0	FBh
TH3	0	0	0	0	0	0	0	0	FCh
T3CM	0	0	0	0	0	0	0	0	FDh
SCON2	0	0	0	0	0	0	0	0	FEh
SBUF2	0	0	0	0	0	0	0	0	FFh

注意: 阴影中的位受定时访问保护。标注“Special”的位仅受某些类型复位的影响。详细信息请参考用户指南。

定时访问保护

有些 SFR 位非常重要，有必要对其进行保护，以防止意外的改写。定时访问保护可防止由于意外的位改写严重影响微控制器运行。定时访问保护要求在该写受保护位前执行以下两条指令：

```
MOV    0C7h, #0AAh
MOV    0C7h, #55h
```

向定时访问寄存器 (位于 C7h) 先后写入 AAh 和 55h，打开一个 3 周期窗口，使软件能够修改一个被保护的位。受保护的位如下：

SFR	位	名称	功能
EXIF (91h)	EXIF.0	BGS	带隙选择
P4CNT (92h)	P4CNT.5-0	—	端口 4 引脚配置控制位
ACON (9Dh)	ACON.5	MROM	混合 ROM
—	ACON.4	BPME	断点模式使能
—	ACON.3	BROM	旁路 ROM
—	ACON.2	SA	堆栈地址模式
—	ACON.1-0	AM1-AM0	地址模式选择位
P5CNT (A2h)	P5CNT.2-0	—	端口 5 引脚配置控制位
C0C (A3h)	C0C.3	CRST	CAN 0 复位
P6CNT (B2h)	P6CNT.5-0	—	端口 6 引脚配置控制位
—	MCON.5	CAN	CMA 数据存储器分配
—	MCON.3-0	PDCE3-PDCE0	程序/数据芯片使能
COR (CEh)	COR.7	IRDACK	IRDA 时钟输出使能
—	COR.4-3	C0BPR7-C0BPR6	CAN 0 波特率预分频位
—	COR.2-1	COD1-COD0	CAN 时钟输出分频位
—	COR.0	CLKOE	CAN 时钟输出使能
MCON1 (D6h)	MCON1.3-0	PDCE7-PDCE4	程序/数据芯片使能
MCON2 (D7h)	MCON2.6-4	WPR2-WPR0	写保护范围位
—	MCON2.3-0	WPE3-WPE0	写保护使能位
WDCON (D8h)	WDCON.6	POR	上电复位标志
—	WDCON.3	WDIF	看门狗中断标志
—	WDCON.1	EWT	看门狗中断使能
—	WDCON.0	RWT	复位看门狗定时器
EBS (E5h)	EBS.7	FPE	刷新过滤失败数据包使能
—	EBS.4-0	BS4-BS0	缓冲大小配置位

存储器体系结构

DS80C410 的 6 个内部存储器区为：

- 256 字节暂存器 (或直接访问) RAM
- 用作以太网 MAC 发送/接收缓冲存储器的 8kB SRAM
- 64kB SRAM 配置为混合的 MOVX 数据存储器 and 代码存储器
- 1kB SRAM 配置为扩展堆栈存储器或 MOVX 数据存储器
- 为 CAN 消息中心保留的 256 字节 RAM (DS80C411 不具有此功能)
- 64kB 嵌入式 ROM 固件

使用 8 个片选，通过复用或非复用的 22 位地址总线/8 位数据总线可寻址高达 16MB 的外部代码存储器。使用外设使能信号，通过相同的地址/数据总线可访问高达 4MB 的外部数据存储器。DS80C410 还支持 16MB 的程序/数据混合存储器映射。

寻址模式

器件支持 3 种不同的寻址模式，由地址控制 (ACON; 9Dh) SFR 中的 AM1, AM0 位选择。

AM1:0	地址模式
00b	16 位 (内部 ROM 禁止时为默认值)
01b	24 位页
1xb	24 位相邻 (内部 ROM 禁止时为默认值)

16 位寻址模式

16 位寻址模式对存储器的访问与传统 8051 的方式相似，与 8051 微处理器操作代码兼容，并与 Dallas Semiconductor 高速微控制器系列的字节和周期数一致。工作在这种模式下的器件可访问最大 64kB 程序和数据存储器。复位后，DS80C410 默认为该模式。

24 位分页寻址模式

24 位分页寻址模式保持与 8051 指令集的二进制代码兼容，但是与 Dallas Semiconductor 高速微控制器系列的时序相比，需要向 ACALL, LCALL, RET 和 RETI 指令增加了一个机器周期。这对标准 8051 编译器透明。中断响应时间也增加了一个机器周期。在这种模式下，中断向量取自 0000xxh。

24 位连续寻址模式

24 位连续寻址模式采用 24 位程序计数器，所有改进的跳转指令自动保存、恢复程序计数器。ACALL, AJMP, LCALL, LJMP, MOV DPTR, RET 和 RETI 指令等 24 位跳转指令需要专门支持这些特性的汇编器、编译器和链接器。INC DPTR 被延长了一个周期，但仍保持与标准 8051 指令集的字节计数兼容。

请访问www.maxim-ic.com.cn/microcontrollers上支持 DS80C410 的工具列表。

扩展地址产生

功能	地址位 23–16	地址位 15–8	地址位 7–0
采用 DPTRn 的 MOVX 指令	DPXn	DPHn	DPLn
采用@Ri 的 MOVX 指令	MXAX; EAh	P2; A0h	Ri
在 24 位分页模式寻址程序存储器	AP; 9Ch	—	—
10 位堆栈指针模式	—	ESP; 9Bh	SP; 81h

外部程序存储器寻址

由于 DS80C410 并不受限于 8051 的传统 16 位寻址模式，因此可采用片内硬件来实现与 24 位寻址相关的更大容量存储器接口。DS80C410 提供 SFR 位来配置某些端口引脚为高位地址线和片选。端口 4 控制寄存器 (P4CNT; 92h) 和端口 6 控制寄存器 (P6CNT; B2h) 控制使用的片选数量以及可通过片选访问的最大程序存储器容量。表 3 和表 4 说明了设置 P4CNT 和 P6CNT 位后，哪个端口引脚转换为地址线或片选。

表3. 扩展地址产生

P4CNT.5-3	P6.5	P6.4	P4.7	P4.6	P4.5	P4.4	MAX MEMORY ACCESSIBLE per $\overline{\text{CE}}$
000	I/O	I/O	I/O	I/O	I/O	I/O	32kB (Note 1)
001	I/O	I/O	I/O	I/O	I/O	A16	128kB
010	I/O	I/O	I/O	I/O	A17	A16	256kB
011	I/O	I/O	I/O	A18	A17	A16	512kB
100	I/O	I/O	A19	A18	A17	A16	1MB
101	I/O	A20	A19	A18	A17	A16	2MB (Note 4)
110 or 111 (default)	A21	A20	A19	A18	A17	A16	4MB (Note 2)

表4. 片选产生

P6CNT.2-0	PORT 6 PIN FUNCTION				P4CNT.2-0	PORT 4 PIN FUNCTION			
	P6.3	P6.2	P6.1	P6.0		P4.3	P4.2	P4.1	P4.0
000 (Note 3)	I/O	I/O	I/O	I/O	000	I/O	I/O	I/O	I/O
100	I/O	I/O	I/O	$\overline{\text{CE}}_4$	100	I/O	I/O	I/O	$\overline{\text{CE}}_0$
101	I/O	I/O	$\overline{\text{CE}}_5$	$\overline{\text{CE}}_4$	101	I/O	I/O	$\overline{\text{CE}}_1$	$\overline{\text{CE}}_0$
110	I/O	$\overline{\text{CE}}_6$	$\overline{\text{CE}}_5$	$\overline{\text{CE}}_4$	110	I/O	$\overline{\text{CE}}_2$	$\overline{\text{CE}}_1$	$\overline{\text{CE}}_0$
111 (Note 4)	$\overline{\text{CE}}_7$	$\overline{\text{CE}}_6$	$\overline{\text{CE}}_5$	$\overline{\text{CE}}_4$	111 (default)	$\overline{\text{CE}}_3$	$\overline{\text{CE}}_2$	$\overline{\text{CE}}_1$	$\overline{\text{CE}}_0$

注释 1: 对于 P4CNT.5-3 = 000b 的设置, 每个片选仅能访问 32kB 存储器, 这意味着至少需要两个片选信号来寻址标准的 16 位 (0-FFFFh) 地址范围。

注释 2: 默认 P4CNT.5-3 = 111b 的设置 (每个 $\overline{\text{CE}}$ 访问 4MB) 仅需要 4 个片选来访问最大 24 位 (0-FFFFFFh) 地址范围。

注释 3: 禁用内部 ROM 时, 为默认状态。

注释 4: 内部 ROM 使能时, 默认存储器映射重新配置为每 $\overline{\text{CE}}$ 2MB, P4CNT.5-3 = 101b, 使能 $\overline{\text{CE}}_4$ 至 $\overline{\text{CE}}_7$, P6CNT.2-0 = 111b。

外部数据存储器寻址

采用与以前相似的方式来扩展程序存储器访问, 通过 4 个外设片选 ($\overline{\text{PCE}}$), DS80C410 支持最大 4MB 数据存储器。端口 5 控制寄存器 (P5CNT; A2h) 和端口 6 控制寄存器 (P6CNT; B2h) 指定外设片选的数量, 以及每个外设片选可寻址的最大数据存储器空间。表 5 说明了哪个端口引脚转换为外设片选, 以及通过 P5CNT, P6CNT 位设置的每个外设片选所能寻址的最大存储器空间。

表5. 外设片选产生

P5CNT.2-0	P5.7	P5.6	P5.5	P5.4	P6CNT.5-3	MAX MEMORY ACSESSIBLE per $\overline{\text{PCE}}$
000 (default)	I/O	I/O	I/O	I/O	000 (default)	32kB
100	I/O	I/O	I/O	$\overline{\text{PCE}}_0$	001	128kB
101	I/O	I/O	$\overline{\text{PCE}}_1$	$\overline{\text{PCE}}_0$	010	256kB
110	I/O	$\overline{\text{PCE}}_2$	$\overline{\text{PCE}}_1$	$\overline{\text{PCE}}_0$	011	512kB
111	$\overline{\text{PCE}}_3$	$\overline{\text{PCE}}_2$	$\overline{\text{PCE}}_1$	$\overline{\text{PCE}}_0$	100	1MB

非复用的外部存储器寻址

上电或复位后, DS80C410 默认为传统的 8051 外部存储器接口, 地址的 MSB 出现在端口 2, 地址的 LSB 和数据在端口 0 复用。复用模式需要使用一个外部锁存器对地址 LSB 和数据解复用。DS80C410 提供一个外部引脚 (MUX), 如果该引脚在上电复位过程中被拉高则地址 LSB 和数据不被复用。使能非复用模式后, 地址 LSB 出现在端口 7, 数据出现在端口 0。使用端口 7 的非复用模式可不必采用外部解复用的锁存器以及与锁存器相关的延时单元。不使用这些延时单元时, 在某些情况下可使用速度较慢、相对便宜的外部存储器。表 6 是复用 (传统 8051) 和非复用外部寻址模式的引脚分配。

表6. 外部存储器寻址引脚分配

	SIGNAL	MULTIPLEXED (MUX = 0)	DEMULTIPLEXED (MUX = 1)
ADDRESS	A21	P6.5	P6.5
	A20	P6.4	P6.4
	A19	P4.7	P4.7
	A18	P4.6	P4.6
	A17	P4.5	P4.5
	A16	P4.4	P4.4
	A15–A8	P2.7–P2.0	P2.7–P2.0
	A7–A0	P0.7–P0.0	P7.7–P7.0
DATA	D7–D0	P0.7–P0.0	P0.7–P0.0
CHIP ENABLES	$\overline{\text{CE}}_7$	P6.3	P6.3
	$\overline{\text{CE}}_6$	P6.2	P6.2
	$\overline{\text{CE}}_5$	P6.1	P6.1
	$\overline{\text{CE}}_4$	P6.0	P6.0
	$\overline{\text{CE}}_3$	P4.3	P4.3
	$\overline{\text{CE}}_2$	P4.2	P4.2
	$\overline{\text{CE}}_1$	P4.1	P4.1
	$\overline{\text{CE}}_0$	P4.0	P4.0
PERIPHERAL CHIP ENABLES	$\overline{\text{PCE}}_3$	P5.7	P5.7
	$\overline{\text{PCE}}_2$	P5.6	P5.6
	$\overline{\text{PCE}}_1$	P5.5	P5.5
	$\overline{\text{PCE}}_0$	P5.4	P5.4

混合程序/数据存储器访问

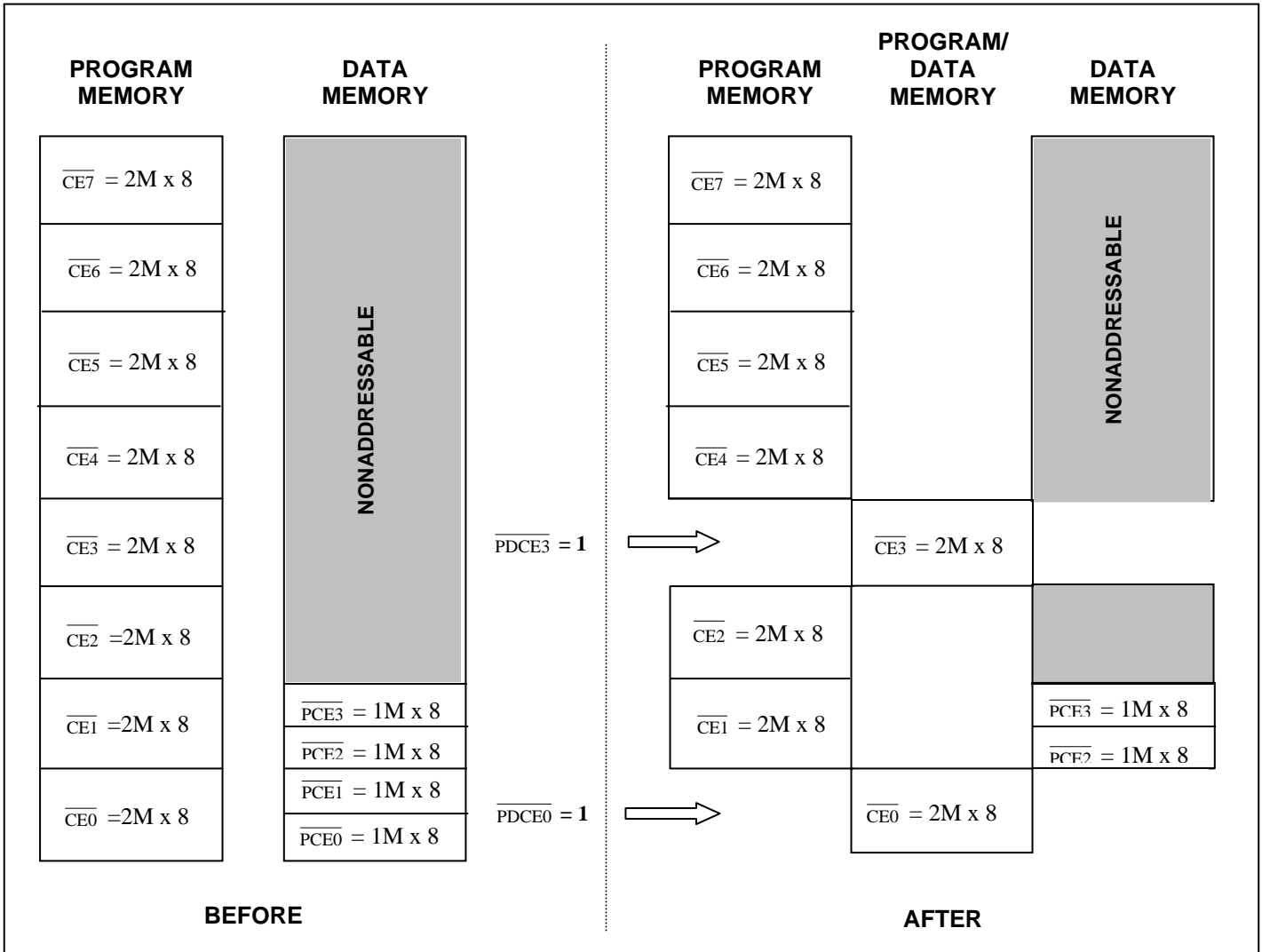
DS80C410 可被配置成采用访问数据存储器的方式 (MOVX)访问程序存储器。该特性具有一定的实用性，如修改查找表或在应用程序中对代码编程。设置PDCE7-4 (MCON1.3-0) 或PDCE3-0 (MCON.3-0)中的任意一位将使能程序/数据存储器混合访问，使相应的片选 ($\overline{\text{CE}}$) 信号对MOV_C和MOV_X操作同时起作用。当使能程序/数据混合访问时，将禁止预先分配给数据存储器的外设片选 (PCE) 信号。对混合程序和数据存储器模块的写访问由WR信号控制，读访问由PSEN信号控制。该特性对于使用外部闪存实现在系统重新编程时特别有用，在这类设计中，通过MOV_C (程序读取) 和MOV_X (更新代码存储器)访问同一个器件。图1显示了设置PDCE位如何改变外部存储器数据访问。

当使能混合程序/数据存储器访问时，有可能会修改用户不希望修改的代码。因此，DS80C410 通过片选 $\overline{\text{CE}}_3$ 、 $\overline{\text{CE}}_2$ 、 $\overline{\text{CE}}_1$ 和 $\overline{\text{CE}}_0$ 提供对第一个 0–16kB存储器访问的写保护。通过设置相应WPE3–0 (MCON2.3-0) 来激活每个片选的写保护功能。保护区域由表7所示WPR2–0 (MCON2.6–4) 位设置。MOV_X指令对保护区域的写操作被禁止，置位写保护中断标志 (WPIF–MCON2.7)，并触发使能的写保护中断。

表7. 写保护范围

MCON2.6–4	RANGE PROTECTED (kB)
000	0 to 2
001	0 to 4
010	0 to 6
011	0 to 8
100	0 to 10
101	0 to 12
110	0 to 14
111	0 to 16

图1. 外部存储器映射实例 — 程序/数据混合



增强的四数据指针

DS80C410 提供的增强功能可加速数据访问和数据移动。与以前单数据指针的 8051 相比，它含有四个数据指针 (DPTR0, DPTR1, DPTR2 和 DPTR3)，用户可以定义每个数据指针在 INC DPTR 指令执行时递增还是递减。对大块连续区域数据进行访问时，数据指针能够配置为在执行某些指令时，自动递增或递减。由于硬件能够完成(使用增强数据指针)以前软件完成的任务，可极大加速对连续数据区的访问。另外，每对数据指针 (DPTR0, DPTR1 或 DPTR2, DPTR3) 能够配置为自动切换模式。在这种模式下，某些与数据指针相关的指令可将有效指针切换为指针对中的另外一个。使能自动切换功能，使一个指针指向源数据，另一个指针指向目的数据，可极大加速大块数据的复制。

DPTR0 与原 8051 数据指针地址相同，使 DS80C410 不必修改即可执行标准的 8051 代码。第二个、第三个和第四个数据指针的寄存器位于以前 8051 没有使用的 SFR 地址。为能够访问 DS80C410 支持的 24 位扩展地址，每个指针都增加了第三个、高位字节 (DPXn)，这样，每个数据指针现在由 SFR 组合 DPXn+DPHn+DPLn 构成。表 8 总结了每个数据指针的 SFR。

表8. 数据指针 SFR 地址

DATA POINTER	DPX+DPH+DPL COMBINATION
DPTR0	DPX (93h) + DPH (83h) + DPL (82h)
DPTR1	DPX1 (95h) + DPH1 (85h) + DPL1 (84h)
DPTR2	DPX2 (EBh) + DPH2 (F3h) + DPL2 (F2h)
DPTR3	DPX3 (EDh) + DPH3 (F5h) + DPL3 (F4h)

有效数据指针由数据指针选择位 SEL1 (DPS.3) 和 SEL (DPS.0) 进行选择。SEL1 和 SEL 位为 00b 选择 DPTR0, 01b 选择 DPTR1, 10b 选择 DPTR2, 11b 选择 DPTR3。所有使用 DPTR 的指令(如, MOVX A, @DPTR) 均使用由 SEL1、SEL 选择的数据指针。为实现与原双数据指针微控制器的代码兼容性, 没有使用 SEL 的相邻位, 可继续使用 INC DPS 指令在 DPTR0 和 DPTR1 之间或 DPTR2 和 DPTR3 之间快速切换。

与标准 8051 不同, DS80C410 不使用附加指令即可递增或递减数据指针。每个数据指针 (DPTR0, DPTR1, DPTR2, DPTR3) 都具有相关的控制位 (ID0, ID1, ID2, ID3), 决定指针在执行 INC DPTR 时递增还是递减。有效数据指针 ID (递增/递减) 控制位为零时, INC DPTR 指令使指针递增, ID 位置 1 时, INC DPTR 指令使指针递减。

ID0 = DPS.6
ID1 = DPS.7
ID2 = DPS1.6
ID3 = DPS1.7

器件的另一个有用特性是其在执行某些基于 DPTR 的指令后, 能够自动切换有效数据指针。该特性在源和目的寄存器之间反复切换, 可极大降低与数据存储块移动相关的软件开销。自动切换特性并不在所有四个数据指针之间切换, 也不允许用户选择在哪些数据指针之间切换。当切换选择位 (TSL:DPS.5) 置为 1 时, 下面的 DPTR 指令每次执行时, SEL 位 (DPS.0) 自动切换。这样根据 SEL1 位 (DPS.3) 的状态, 有效数据指针在 DPTR0, DPTR1 之间或 DPTR2, DPTR3 之间切换。

Auto-Toggle (if TSL = 1)

```
INC DPTR
MOV DPTR, #data16
MOV DPTR, #data24
MOVC A, @A+DPTR
MOVX A, @DPTR
MOVX @DPTR, A
```

做为一个简单的例子, 如果 TSL 置为 1, 两条 INC DPTR 指令便可更新两个数据指针。假设 SEL1 = 0, 同时 SEL = 0, 则 DPTR0 为有效数据指针。第一个 INC DPTR 递增 DPTR0, 触发 SEL 为 1。第二个指令递增 DPTR1, 触发 SEL 回到 0。

```
INC DPTR
INC DPTR
```

做为更进一步的增强, DS80C410 可在执行某些基于 DPTR 的指令后, 自动递增/递减有效数据指针。大块数据复制通常需要源和目的指针在各自范围内逐字节改变。传统递增指针的方法是采用 INC DPTR 指令。当自动递增/递减位 (AID:DPS.4) 置为 1 时, 每次执行下面的 DPTR 指令, 有效数据指针自动递增或递减。


```
Auto-Increment/Decrement (if AID = 1)
MOVX A, @A+DPTR
MOVX A, @DPTR
MOVX @DPTR, A
```

联合使用自动切换和自动递增/递减特性，可实现高速、高效的数据复制或移动。例如，如果希望从源地址 (由 DPTR2 指向) 复制三字节数据到目的地址 (由 DPTR3 指向)。假设 DPTR2 是有效指针 (SEL1 = 1, SEL = 0)，TSL = 1 和 AID = 1，以下的指令序列即可完成三字节的复制：

```
MOVX A, @DPTR
MOVX @DPTR, A
MOVX A, @DPTR
MOVX @DPTR, A
MOVX A, @DPTR
MOVX @DPTR, A
```

延长存储器周期

DS80C410 允许用户选择执行一条 MOVX 指令的机器周期数，以实现快速和慢速片外数据存储器和/或不带胶合逻辑外设的访问。高速系统通常也包括 LCD 或 UART 等较慢的存储器映射的外设，因此，可能没有必要全速访问外部器件。微处理器可在最短两个机器周期或最长 12 个机器周期内执行一条 MOVX 指令。访问内部 MOVX SRAM 一般占用两个周期。注意，延长周期仅影响外部 MOVX 存储器的操作，除非采用较慢的晶振 (或外部时钟)，否则无法降低对程序存储器的访问速度。

由时钟控制寄存器中的 MD2–MD0 SFR 位(CKCON.2–0)控制 MOVX 时序延长 0 至 7 个周期。为 0 产生一个 2 机器周期 MOVX 指令。为 7 产生一个 12 机器周期的 MOVX 指令。软件能够根据所访问的特定存储器或外设动态改变延长周期数。默认值为 1 个延长周期，允许使用通用 SRAM，不会明显延长存储器访问时间。

延长周期对外部 MOVX 时序的影响分三个等级。延长值从 0 变到 1，数据建立和保持时间增加一个时钟周期。延长值为 2 和 3 时， \overline{WR} 或 \overline{RD} 信号增加一个机器周期。延长值为 4 及以上值时，接口时序变化较大，以适应速度非常慢的外设。首先，ALE 信号延长一个机器周期，这样到外设的地址建立时间延长一个机器周期。接着地址在总线上继续保持一个机器周期，地址保持时间延长一个机器周期。然后 \overline{WR} 和 \overline{RD} 信号增加一个机器周期。最后，在MOVX写操作时，数据在总线上的保持时间增加一个机器周期。延长值大于4时，建立和保持时间不变，只增加读/写信号宽度。三个等级见AC *Electrical Characteristics* 一节，在三个时序图中给出8种MOVX时序。

1 个延长周期的复位默认值，使得对外部访问的 MOVX 为 3 个周期。因此，默认的片外 RAM 访问不是全速访问。这对于采用慢速 RAM 的现有设计比较方便。需要最大速率时，软件将延长值设为 0。当采用非常慢的 RAM 或外设时，可选择一个较大的延长值。

本数据资料 *Electrical Specifications* 一节说明了 MOVX 指令时序与延长值的关系。做为一个实例，[表9](#)列出了每个延长值对应的读写选通宽度。

表9. 数据存储周期延长值

MD2	MD1	MD0	STRETCH VALUE	MOVX MACHINE CYCLES	APPROXIMATE RD, WR PULSE WIDTH (IN OSCILLATOR CLOCKS)			
					(4X/2X = 1 CD1:0 = 00)	(4X/2X = 0 CD1:0 = 00)	(4X/2X = X CD1:0 = 10)	(4X/2X = X CD1:0 = 11)
0	0	0	0 (Note 1)	2	0.5 t _{CLK}	1 t _{CLK}	2 t _{CLK}	512 t _{CLK}
0	0	1	1 (Note 2)	3	1 t _{CLK}	2 t _{CLK}	4 t _{CLK}	1024 t _{CLK}
0	1	0	2	4	2 t _{CLK}	4 t _{CLK}	8 t _{CLK}	2048 t _{CLK}
0	1	1	3	5	3 t _{CLK}	6 t _{CLK}	12 t _{CLK}	3072 t _{CLK}
1	0	0	4	9	4 t _{CLK}	8 t _{CLK}	16 t _{CLK}	4096 t _{CLK}
1	0	1	5	10	5 t _{CLK}	10 t _{CLK}	20 t _{CLK}	5120 t _{CLK}
1	1	0	6	11	6 t _{CLK}	12 t _{CLK}	24 t _{CLK}	6144 t _{CLK}
1	1	1	7	12	7 t _{CLK}	14 t _{CLK}	28 t _{CLK}	7168 t _{CLK}

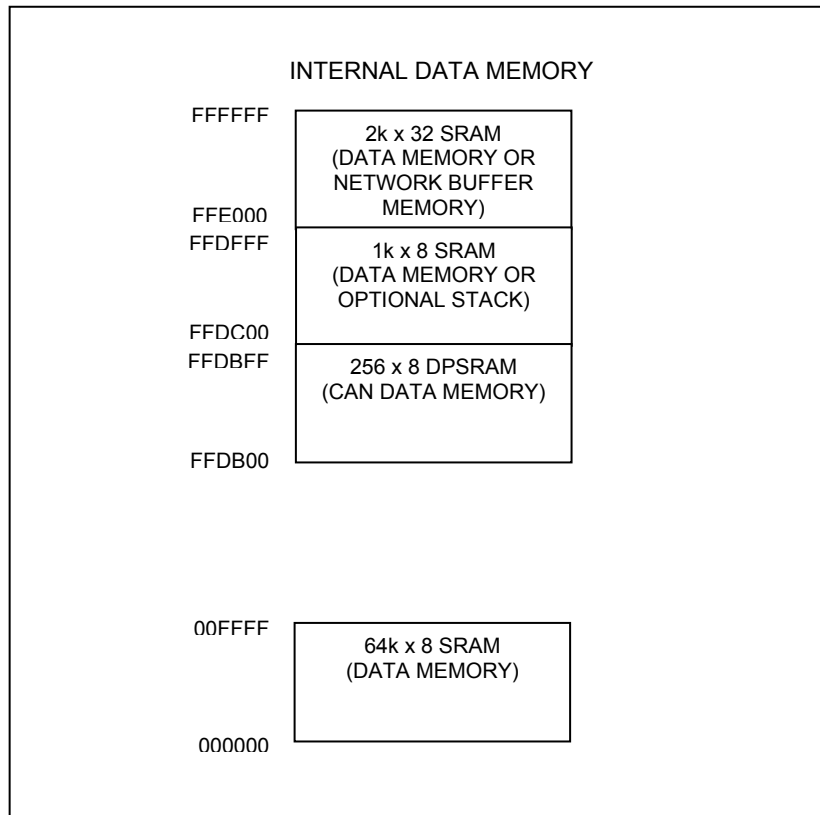
注释 1: 所有内部 MOVX 操作延长值为 0。

注释 2: 复位后外部 MOVX 操作的默认延长设置，在执行内部 ROM 之前。

内部 MOVX SRAM

DS80C410/411 中 73.25kB 片内 SRAM 用于 MOVX 存储器。片内 SRAM 物理上划分为 4 个存储器块：一个专用 64k x 8 数据或程序/数据存储，一个用于扩展堆栈或数据存储的 1k x 8 存储器块，256 字节的双口 RAM 用于控制和存储 CAN 消息。这 4 块的地址固定，不能改变。图 2 是 DS80C410 默认的存储器配置。

图2. 内部数据存储



一个 8kB (2k x 32) 存储器块被以太网 MAC 用作收发数据包的帧缓冲存储器，它同时能够被 DS80C410 当做 MOVX 数据存储进行访问。当 MAC 工作时，应防止 MOVX 写操作导致帧缓冲存储器被破坏。注意，当 SA (ACON.2) 置位时，1kB 的 MOVX 数据存储通过 10 位扩展堆栈指针访问。另外 256 字节的内部 SRAM 用于配置并操作 15 个 CAN 控制器消息中心。

扩展堆栈指针

DS80C410 同时支持传统的 8 位和扩展的 10 位堆栈指针，可以提高使用 C 等高级语言编写的大型程序的性能。置位堆栈寻址模式位 SA (ACON.2) 使能 10 位堆栈指针。复位后该位清零，器件使用位于暂存器 RAM 区的 8 位堆栈。当 SA 位置位时，器件可将 1kB 的内部 MOVX 存储器用作堆栈。10 位堆栈指针地址由扩展堆栈指针 (ESP; 9Bh) 的低两位和传统 8051 堆栈指针 (SP; 81h) 级联产生。

片内数学加速器

片内数学加速器使微控制器能够采用专用硬件运行 32 位和 16 位乘法、除法、移位和归一化。通过顺序装入三个特殊寄存器来进行数学运算。对三个专用 SFR (MA, MB 和 MCNT0) 的访问顺序决定何种数学运算，无需采用专门步骤来选择。归一化功能方便将 4 字节无符号二进制整数转换成浮点数。表 10 列出了数学加速器所支持的操作及其执行时间。

表10. 数学加速器执行时间

OPERATION	RESULT	EXECUTION TIME
32-Bit/16-Bit Divide	32-Bit Quotient, 16-Bit Remainder	36 t_{CLCL}
16-Bit/16-Bit Divide	16-Bit Quotient, 16-Bit Remainder	24 t_{CLCL}
16-Bit/16-Bit Multiply	32-Bit Product	24 t_{CLCL}
32-Bit Shift Left/Right	32-Bit Result	36 t_{CLCL}
32-Bit Normalize	32-Bit Mantissa, 5-Bit Exponent	36 t_{CLCL}

表 11 列出了采用硬件数学加速器进行数学运算的过程。尽管可以在访问 MA 或 MB 期间访问其它任意寄存器，但 MA 和 MB 寄存器必须按照提示的顺序被装入并被读取，以实现正确操作。不按顺序访问 MA, MB 或 MC 寄存器将破坏操作，需要软件清除 MST 位，重新启动数学加速器状态机。参见 MCNT0 和 MCNT1 SFR 的说明，了解移位和归一化功能的详细信息。

表11. 数学加速器操作顺序

DIVIDE (32/16 or 16/16)	MULTIPLY (16 x 16)
Load MA with dividend LSB. <i>Load MA with dividend LSB + 1.</i> <i>Load MA with dividend LSB + 2.</i> Load MA with dividend MSB. Load MB with divisor LSB. Load MB with divisor MSB. Poll the MST bit until cleared. (9 machine cycles for 32-bit numerator) (6 machine cycles for 16-bit numerator) Read MA to retrieve the quotient MSB. <i>Read MA to retrieve the quotient LSB + 2.</i> <i>Read MA to retrieve the quotient LSB + 1.</i> Read MA to retrieve the quotient LSB. Read MB to retrieve the remainder MSB. Read MB to retrieve the remainder LSB.	Load MB with multiplier LSB. Load MB with multiplier MSB. Load MA with multiplicand LSB. Load MA with multiplicand MSB. Poll the MST bit until cleared (6 machine cycles). Read MA for product MSB. Read MA for product LSB + 2. Read MA for product LSB + 1. Read MA for product LSB.
SHIFT RIGHT/LEFT	NORMALIZE
Load MA with data LSB. Load MA with data LSB + 1. Load MA with data LSB + 2. Load MA with data MSB. Configure MCNT0/MCNT1 registers as required. Poll the MST bit until cleared (9 machine cycles). Read MA for result MSB. Read MA for result LSB + 2. Read MA for result LSB + 1. Read MA for result LSB.	Load MA with data LSB. Load MA with data LSB + 1. Load MA with data LSB + 2. Load MA with data MSB. Configure MCNT0.4–0 = 0000b. Poll the MST bit until cleared (9 machine cycles). Read MA for mantissa MSB. Read MA for mantissa LSB + 2. Read MA for mantissa LSB + 1. Read MA for mantissa LSB. Read MCNT0.4–MCNT0.0 for exponent.

*对于 16 位分子，不进行该操作。

40 位累加器

加速器还具有自动累加器功能，可以执行乘累加和除累加函数，无额外时延。每次加速器执行乘或除时，结果直接加到一个 40 位累加器中，极大的提高了 DSP 和其它高级数学运算的速度。

清除乘/累加状态标志 (MCNT1; D2h)后，即可在任意时刻访问累加器。初始化累加器通过对乘法器 C 寄存器 (MC; D5h) 进行 5 次写操作实现，LSB 在前。对乘法器 C 寄存器进行 5 次读操作可读取 40 位累加器，MSB 在前。

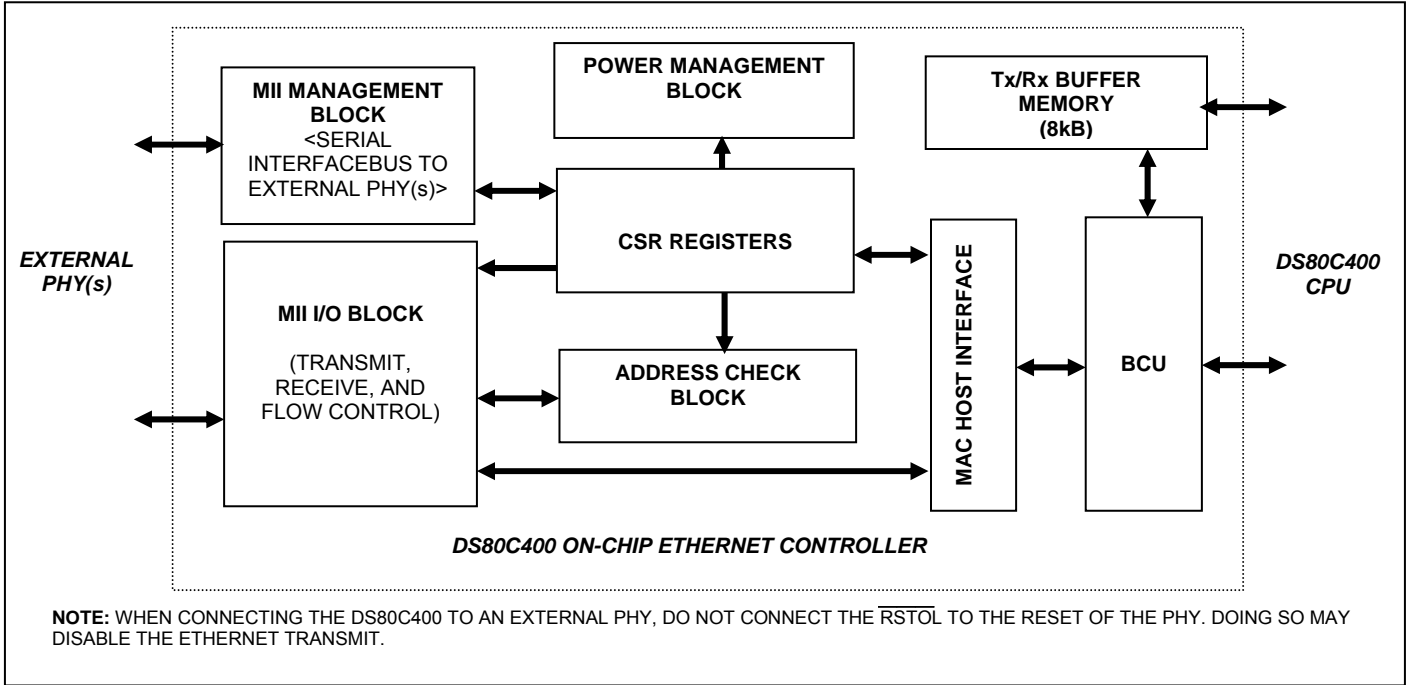
以太网控制器

DS80C410 带有一个 10/100Mbps 以太网控制器，支持以太网/IEEE 802.3 兼容 PHY 器件运行所需协议。它通过一个介质无关接口 (MII) 提供接收、发送流控机制，该接口包括一个串行管理总线，以配置外部 PHY 器件。MII 可工作在半双工或全双工模式，速度可以是 10Mbps 或 100Mbps，还支持 10Mbps ENDEC 模式。为了使用以太网 100Mbps 模式，系统时钟 (外部时钟经过内部倍频或分频)必须至少为 25MHz。

对于半双工模式，DS80C410 与网络上的其它站点共享以太网物理介质。DS80C410 遵循 IEEE 802.3 带冲突监测的载波侦听多路访问 (CSMA/CD) 机制来访问物理介质。只有物理载波空闲时 MAC 才尝试一次发送。网络上存在多个站点时，不同站点之间可能发生发送冲突。探测到冲突后，在尝试重传之前，MAC 等待数个时隙 (决定于内部回退定时器)。除非收到指示，MAC 最多自动尝试 16 次重传冲突帧，之后就会将发送帧丢弃。对于接收数据流控，MAC 采用反压方案，发送一个阻塞信号使其它站点发送帧时发生冲突。这种反压方案使 DS80C410 能够控制网络，并有足够处理接收数据缓冲的时间。

在全双工模式，物理介质直接将 DS80C410 连至另外的唯一站点，实现二者之间同时收发，不会发生冲突。因此，不必采用介质访问方法 (如 CSMA/CD)。对于全双工模式运行，流控机制为 PAUSE 控制帧。当需要时间来处理接收数据缓冲时，DS80C410 可发送一个 PAUSE 控制帧，要求其它站点暂停指定数目时隙的发送。

图3. 以太网控制器结构框图



缓冲控制单元

缓冲控制单元 (BCU) 是所有 DS80C410 以太网操作的中心控制器。一组 SFR: BCU 控制 (BCUC; E7h), BCU 数据 (BCUD; E6h), CSR 地址 (CSRA; E4h)和 CSR 数据 (CSRD; E3h), 被 BCU 用来控制 CPU 向以太网控制器模块的读/写。这些 SFR 允许 CPU 向 BCU 发出命令, 与 BCU 交换数据包大小/位置信息, 配置片内以太网 MAC, 实现通过 MII 串行管理总线与扩展 PHY 的通信。

表 12 列出了能够由 BCUC 寄存器送出的命令。在执行写 (1000b) 或读 (1001b) CSR 寄存器命令之前, CSRA SFR 必须配置为有效的 CSR 寄存器地址。对于每个 CSR 寄存器写操作, 在发出写命令之前, 必须把要写入的数据装入 CSRD SFR, 对于读操作, 在读命令之后, CSRD 返回 CSR 寄存器数据。表 13 列出了 CSR 寄存器地址和功能。

表 12. 缓冲控制单元命令

COMMAND (BCUC.3:BCUC.0)	OPERATION
0000	No Operation (default)
0010	Invalidate Current Receive Packet
0011	Flush Receive Buffer
0100	Transmit Request (normal)
0101	Transmit Request (disable padding)
0110	Transmit Request (disable CRC)
1000	Write CSR Register
1001	Read CSR Register
1100	Enable Sleep Mode
1101	Disable Sleep Mode
Other	Reserved

表 13. CSR 寄存器

CSR REGISTER ADDRESS (CSRA)	FUNCTION
00h	MAC Control
04h	Ethernet MAC Physical Address [47:32]
08h	Ethernet MAC Physical Address [31:0]
0Ch	Multicast Address Hash Table [63:32]
10h	Multicast Address Hash Table [31:0]
14h	MI1 Address
18h	MI1 Data
1Ch	Flow Control
20h	VLAN1 Tag
24h	VLAN2 Tag
28h	Wake-Up Frame Filter
2Ch	Wake-Up Events Control and Status
Other	Reserved

BCU 负责以太网 MAC 与 8kB 数据包缓冲存储器之间所有数据包的处理并报告其状态。在 8kB 数据包缓冲存储器内, 发送和接收缓冲的容量可由用户通过 EBS (E5h) 寄存器配置。在发送和接收过程中, BCU 根据用户定义的缓冲区操作, 并跟踪接收缓冲区的使用情况, 并可报告接收缓冲已满。

对于接收操作, BCU 首先必须估算接收缓冲存储器中是否有空页面容纳数据包。如果没有空页面, 则置位接收缓冲满 (RBF; EBS.6) 标志。在 RBF 状态清除前, 所有接收的帧都将丢失。如果接收缓冲存储器有空页面, 接收到的数据存储在第一个空页面中, 从偏移量为 4 的字节开始, 前 4 字节用于数据包状态报告。需要占用多个页面的接收数据包存储在连续页面中。注意, 接收缓冲为环形队列, 页面 0 连接在最后一个 (n - 1) 接收缓冲页面之后。BCU 将收到的数据存储在接收缓冲存储器中, 直至处理完毕或放弃接收。BCU 具有一个 31 x 8 的先入先出接收数据包寄存器 (接收 FIFO), 使 CPU 能够访问队列中下一个接收数据包的信息。在将接收到的有效数据包送入接收缓冲存储器时, BCU 向接收数据包开始页面写入接收状态字, 更新接收 FIFO, 设置一个中断标志通知 CPU。CPU 通过读取 BCUD SFR 访问接收 FIFO。由 BCUD 读取数据的 4—0 位是起始页面地址, 7, 6, 5 位是数据包占用的页面数。

对于发送操作，BCU 执行的任务相似。CPU 首先向 BCU 提供发送数据包的大小/位置信息，通过向 BCUD SFR 的三次连续写操作完成。第一次写数据包 11 位字节数的 MSB，第二次写 11 位字节数的 LSB，第三次写数据包起始页面地址。注意，在发送缓冲的第 31 个页面处，其下一连续页面为页面 (n)。CPU 向 BCU 送出一个发送请求，就该请求与 MAC 进行通信。发送开始后，BCU 从发送缓冲存储器读取数据，将数据送至 MAC，通过 MII 发送。该过程持续至处理完毕或放弃发送。然后，BCU 向发送缓冲存储器回写一个发送状态字，并通过设置中断标志通知 CPU。发送缓冲管理应由应用程序处理。

命令/状态 (CSR) 寄存器

定义以太网控制器工作特性需使用 CSR 寄存器。CSR 寄存器包括以下内容：

- MAC 物理地址
- MAC 发送、接收和流控
- 地址检查模块所采用的多播散列表
- 地址检查模块的过滤模式和好/坏帧控制
- VLAN 标签标识符
- 唤醒帧过滤
- 串行 MII PHY 管理总线寄存器接口

每个 CSR 寄存器为 32 位，可采用 *缓冲控制单元* 一节中描述的 BCUC, CSRA, CSRD SFR 接口进行访问。为实现对 CSR 寄存器的编程，在向 BCU 发出‘Write CSR Register’命令之前，应用程序代码必须为目标寄存器提供数据 (CSRD) 和地址 (CSRA)。当进行 CSR 寄存器读操作时，应用程序代码提供地址 (CSRA)，向 BCU 发出‘Read CSR Register’命令，然后读数据 (CSRD)。以下步骤是写/读 CSR 寄存器的正确顺序。

CSR 寄存器写

将要写入的 32 位字的 MSB 装入 CSRD。

将要写入的 32 位字的 LSB + 2 装入 CSRD。

将要写入的 32 位字的 LSB + 1 装入 CSRD。

将要写入的 32 位字的 LSB 装入 CSRD。

将要写入的 CSR 寄存器的地址装入 CSRA。

写 BCUC.3–BCUC.0 = 1000b，向 BCU 发出‘Write CSR Register’命令。

CSR 寄存器读

将要读取的 CSR 寄存器地址装入 CSRA。

写 BCUC.3–BCUC.0 = 1001b，向 BCU 发出‘Read CSR Register’命令。

等待至 BCU 忙位 (BCUC.7) = 0。

从 CSRD 中读取 32 位字的 MSB。

从 CSRD 中读取 32 位字的 LSB + 2。

从 CSRD 中读取 32 位字的 LSB + 1。

从 CSRD 中读取 32 位字的 LSB。

每个 CSR 寄存器如下所示:

CSR 寄存器: MAC 控制
寄存器地址: 00h

位名称:

31	RA	BLE	—	HBD	PS	—	—	—	24
23	DRO	OM[1:0]		F	PM	PR	IF	PB	16
15	HO	—	HP	LCC	DBF	DRTY	—	ASTP	8
7	BLOMT[1:0]		DC	—	TE	RE	—	—	0

复位状态:

31	0	0	0	0	0	0	0	0	24
23	0	0	0	0	0	1	0	0	16
15	0	0	0	0	0	0	0	0	8
7	0	0	0	0	0	0	0	0	0

RA, 全部接收。 该位覆盖刷新过滤失败数据包功能 (如果该功能已使能) (EBS.7 = 1)。

0 = 默认帧处理 (默认)。

1 = 接收所有接收状态字数据包过滤位置位 (= 1) 的无误帧。

BLE, Big/Little Endian 模式

0 = 数据缓冲工作在 little Endian 模式 (默认)。

1 = 数据缓冲工作在 big Endian 模式。

HBD, 心跳禁止。 该位仅在 ENDEC 模式下有用, 对 MII 模式运行没有影响。

0 = 使能心跳信号质量产生器功能 (默认)。

1 = 禁止心跳信号质量产生器功能。

PS, 端口选择

0 = MII 模式 (默认)。

1 = ENDEC 模式。

DRO, 禁止自接收。 在全双工和“正常模式”以外的任意环回模式该位应保持为逻辑 0。

0 = MAC 接收到 PHY 的所有数据包 (默认)。

1 = MAC 禁止在发送帧过程中接收帧 (TX_EN = 1)。

OM[1:0], 环回工作模式

00 = 正常模式, 没有环回 (默认)。

01 = 通过 MII 内部环回。

10 = 通过 PHY 外部环回。

11 = 保留。

F, 全双工模式

0 = 半双工模式 (默认)。

1 = 全双工模式。

PM, 通过所有多播

0 = 根据当前多播过滤模式过滤多播帧 (默认)。

1 = 通过所有多播帧; 对接收到的所有多播帧, 过滤失效位复位 (= 0)。

PR, 混合模式

0 = 禁止混合模式。

1 = 使能混合模式 (默认)。

IF, 反向过滤

0 = 禁止反向过滤 (默认)。

1 = 使能地址检查模块进行反向过滤。

PB, 通过坏帧

0 = 只有接收到无误帧时, 接收状态字的数据包过滤位置位 (= 1) (默认)。

1 = 对于通过目的地址过滤的帧 (即使该帧有错误), 接收状态字的数据包过滤位置位 (= 1)。该位置位应使用混合模式。

HO, 仅散列过滤模式

该位仅应在 HP = 1 时置位。

0 = 根据过滤模式配置过滤单播帧 (默认)。

1 = 地址检查模块对单播和多播帧散列过滤。

HP, 散列/完全过滤模式

0 = 地址检查模块对单播和多播帧完全过滤 (默认)。

1 = 地址检查模块对多播帧散列过滤, 单播帧完全过滤。

LCC, 滞后冲突控制

0 = 遇到滞后冲突后放弃发送 (默认)。

1 = 即使遇到滞后冲突, 也允许帧重传尝试。

DBF, 禁止广播帧

0 = 对每个接收的广播帧, 接收状态字数据包过滤位置位 (= 1) (默认)。

1 = 对每个接收的广播帧, 接收状态字数据包过滤位复位 (= 0)。

DRTY, 禁止重试

0 = 在发送重试错误之前, MAC 对一帧尝试发送 16 次 (默认)。

1 = 在发送重试错误之前, MAC 对一帧仅尝试发送 1 次。

ASTP, 自动去除填充

0 = 接收帧不作修改发送至 BCU (默认)。

1 = 接收帧去除填充的 0 和 CRC, 规定的帧长度小于 46 字节。

BOLMT[1:0], 回退限制。回退协议要求 MAC 在重新尝试发送前等待一定数量的时隙 (512 位/时隙)。一个 10 位自由运行的计数器来产生该回退延时。BOLMT[1:0] 位选择 10 位计数器中被使用的位数。

00 = 10 位 (0 至 1024 个时隙, 默认)。

01 = 8 位 (0 至 256 个时隙)。

10 = 4 位 (0 至 16 个时隙)。

11 = 1 位 (无或 1 个时隙)。

DC, 延迟检查

0 = 等待发送时, MAC 可无限延迟 (默认)。

1 = 如果延迟超过 24,288 个连续位时间, MAC 放弃发送尝试。

TE, 发送器使能

0 = 发送器禁止 (默认)。

1 = 发送器使能。

RE, 接收器使能

0 = 接收器禁止 (默认)。

1 = 接收器使能。

CSR 寄存器: MAC 高位地址
寄存器地址: 04h

位名称:

31	—	—	—	—	—	—	—	—	24
23	—	—	—	—	—	—	—	—	16
15	PADR[47:40]								8
7	PADR[39:32]								0

复位状态:

31	0	0	0	0	0	0	0	0	24
23	0	0	0	0	0	0	0	0	16
15	1	1	1	1	1	1	1	1	8
7	1	1	1	1	1	1	1	1	0

PADR[47:32], MAC 物理地址 [47:32]。这两个字节代表 MAC 物理地址的 16 个最高有效位。

CSR 寄存器: MAC 低位地址
寄存器地址: 08h

位名称:

31	PADR[31:24]								24
23	PADR[23:16]								16
15	PADR[15:8]								8
7	PADR[7:0]								0

复位状态:

31	1	1	1	1	1	1	1	1	24
23	1	1	1	1	1	1	1	1	16
15	1	1	1	1	1	1	1	1	8
7	1	1	1	1	1	1	1	1	0

PADR[31:0], MAC 物理地址 [31:0]。这 4 个字节代表 MAC 物理地址的 32 个低有效位。

CSR 寄存器: 多播高位地址
寄存器地址: 0Ch

位名称:

31	HT[63]	HT[62]	HT[61]	HT[60]	HT[59]	HT[58]	HT[57]	HT[56]	24
23	HT[55]	HT[54]	HT[53]	HT[52]	HT[51]	HT[50]	HT[49]	HT[48]	16
15	HT[47]	HT[46]	HT[45]	HT[44]	HT[43]	HT[42]	HT[41]	HT[40]	8
7	HT[39]	HT[38]	HT[37]	HT[36]	HT[35]	HT[34]	HT[33]	HT[32]	0

复位状态:

31	0	0	0	0	0	0	0	0	24
23	0	0	0	0	0	0	0	0	16
15	0	0	0	0	0	0	0	0	8
7	0	0	0	0	0	0	0	0	0

HT[63:32], 散列表 [63:32]。 这些位是用于散列表过滤的 64 位散列表的高 32 位。本数据资料在后面详细阐述了多播散列过滤模式。

CSR 寄存器: 多播低位地址
寄存器地址: 10h

位名称:

31	HT[31]	HT[30]	HT[29]	HT[28]	HT[27]	HT[26]	HT[25]	HT[24]	24
23	HT[23]	HT[22]	HT[21]	HT[20]	HT[19]	HT[18]	HT[17]	HT[16]	16
15	HT[15]	HT[14]	HT[13]	HT[12]	HT[11]	HT[10]	HT[9]	HT[8]	8
7	HT[7]	HT[6]	HT[5]	HT[4]	HT[3]	HT[2]	HT[1]	HT[0]	0

复位状态:

31	0	0	0	0	0	0	0	0	24
23	0	0	0	0	0	0	0	0	16
15	0	0	0	0	0	0	0	0	8
7	0	0	0	0	0	0	0	0	0

HT[31:0], 散列表 [31:0]。 这些位是用于散列表过滤的 64 位散列表的低 32 位。本数据资料在后面详细阐述了多播散列过滤模式。

CSR 寄存器: MII 地址
寄存器地址: 14h

位名称:

31	—	—	—	—	—	—	—	—	24
23	—	—	—	—	—	—	—	—	16
15	PHYA[4:0]					PHYR[4:2]			8
7	PHYR[1:0]		—	—	—	—	W/R	BUSY	0

复位状态:

31	0	0	0	0	0	0	0	0	24
23	0	0	0	0	0	0	0	0	16
15	0	0	0	0	0	0	0	0	8
7	0	0	0	0	0	0	0	0	0

PHYA[4:0], PHY 地址 [4:0]。这 5 位地址规定用于 2 线 MII 串行管理总线通信的 PHY 地址。

PHYR[4:0], PHY 寄存器选择 [4:0]。这 5 位规定 2 线 MII 串行管理总线通信中被访问的 PHY 寄存器。

W/R, 写/读。该位用于指示被寻址的PHY/PHY寄存器是否请求写或读操作。

0 = 读。

1 = 写。

BUSY, 忙。该状态位指示 PHY 通信当前正在 MII 串行管理总线上进行。在每个读/写前修改 MII 地址和 MII 数据寄存器时, 应用程序必须先等 **BUSY = 0**。

0 = MII 串行管理总线空闲。

1 = MII 串行管理总线忙 (正在处理写/读操作)。

CSR 寄存器: MII 数据
寄存器地址: 18h

位名称:

31	—	—	—	—	—	—	—	—	24
23	—	—	—	—	—	—	—	—	16
15	PHYD[15:8]								8
7	PHYD[7:0]								0

复位状态:

31	0	0	0	0	0	0	0	0	24
23	0	0	0	0	0	0	0	0	16
15	0	0	0	0	0	0	0	0	8
7	0	0	0	0	0	0	0	0	0

PHYD[15:0], PHY 数据 [15:0]。这 16 位含有读操作后从 PHY 寄存器读取的数据, 或在写操作前, 将向 PHY 寄存器写入的数据。

CSR 寄存器: 流控
寄存器地址: 1Ch

位名称:

31	PAUSE[15:8]								24
23	PAUSE[7:0]								16
15	—	—	—	—	—	—	—	—	8
7	—	—	—	—	—	PCF	FCE	BUSY	0

复位状态:

31	0	0	0	0	0	0	0	0	0	24
23	0	0	0	0	0	0	0	0	0	16
15	0	0	0	0	0	0	0	0	0	8
7	0	0	0	0	0	0	0	0	0	0

PAUSE[15:0], 暂停时间 [15:0]。 这些位仅在全双工模式下有效。当产生暂停控制帧时，这 16 位含有暂停时间值。暂停帧的格式见[图 4](#)。

PCF, 通过暂停控制帧。 该位仅对全双工模式有效。该位指示 MAC 是否为暂停控制帧设置数据包过滤位。

0 = MAC 解码 (如果 FCE = 1) 但不置位接收状态字数据包过滤位 (默认)。

1 = MAC 解码 (如果 FCE = 1) 并为暂停控制帧设置数据包过滤位 = 1。

FCE, 流控使能

0 = 禁止 MAC 流控 (默认)。

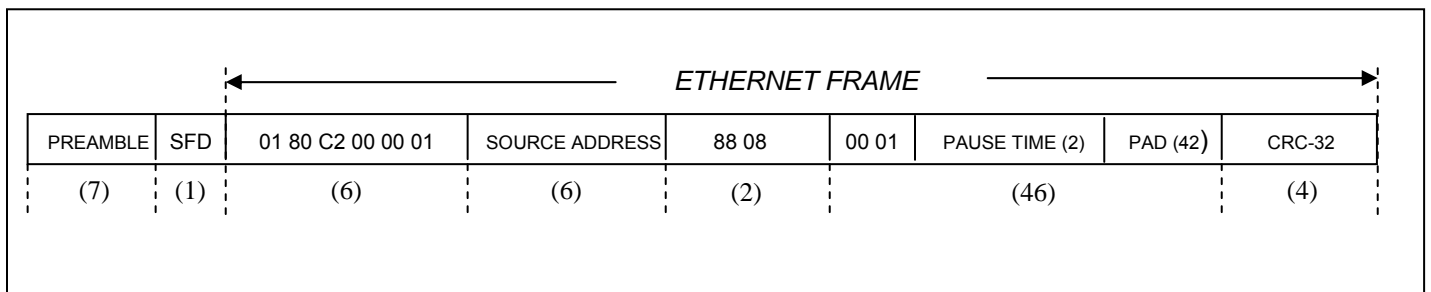
1 = 使能 MAC 流控; 全双工为暂停控制帧, 半双工为反压。

BUSY, 流控忙。 BUSY 位仅在全双工模式下有效。BUSY 位为 0 时可以发送暂停控制帧。开始发送暂停控制帧时 BUSY 位变为 1。成功发送一个暂停控制帧后, BUSY 位变回 0。

0 = 当前没有暂停控制帧被发送 (默认)。

1 = 正在发送暂停控制帧。

图4. 暂停控制帧



CSR 寄存器: VLAN1 标签
寄存器地址: 20h

位名称:

31	—	—	—	—	—	—	—	—	24
23	—	—	—	—	—	—	—	—	16
15	VLAN1[15:8]								8
7	VLAN1[7:0]								0

复位状态:

31	0	0	0	0	0	0	0	0	24
23	0	0	0	0	0	0	0	0	16
15	1	1	1	1	1	1	1	1	8
7	1	1	1	1	1	1	1	1	0

VLAN1[15:0], VLAN1 标签标识符 [15:0]。这 16 位含有的 VLAN1 标签与接收帧的第 13 和 14 字节对比, 判断该帧是否是 VLAN1 帧。如果匹配, 最大帧长度由 1518 字节扩展至 1522 字节。

CSR 寄存器: VLAN2 标签
寄存器地址: 24h

位名称:

31	—	—	—	—	—	—	—	—	24
23	—	—	—	—	—	—	—	—	16
15	VLAN2[15:8]								8
7	VLAN2[7:0]								0

复位状态:

31	0	0	0	0	0	0	0	0	24
23	0	0	0	0	0	0	0	0	16
15	1	1	1	1	1	1	1	1	8
7	1	1	1	1	1	1	1	1	0

VLAN2[15:0], VLAN2 标签标识符 [15:0]。这 16 位含有的 VLAN2 标签与接收帧的第 13 和 14 字节对比, 判断该帧是否是 VLAN2 帧。如果匹配, 最大帧长度由 1518 字节扩展至 1538 字节。

CSR 寄存器: 唤醒帧过滤
寄存器地址: 28h

位名称:

31	WUFD[31:24]								24
23	WUFD[23:16]								16
15	WUFD[15:8]								8
7	WUFD[7:0]								0

复位状态:

31	0	0	0	0	0	0	0	0	0	24
23	0	0	0	0	0	0	0	0	0	16
15	0	0	0	0	0	0	0	0	0	8
7	0	0	0	0	0	0	0	0	0	0

WUFD[31:0], 唤醒帧过滤数据 [31:0]。这 32 位用于访问 4 个有效网络唤醒帧过滤器。读取或写入所有的 4 个唤醒帧过滤器需要对唤醒帧过滤寄存器进行 8 次访问。

CSR 寄存器: 唤醒事件控制和状态
寄存器地址: 2Ch

位名称:

31	—	—	—	—	—	—	—	—	24
23	—	—	—	—	—	—	—	—	16
15	—	—	—	—	—	—	GU	—	8
7	—	WUFF	MPF	—	—	WUFE	MPE	—	0

复位状态:

31	0	0	0	0	0	0	0	0	24
23	0	0	0	0	0	0	0	0	16
15	0	0	0	0	0	0	0	0	8
7	0	0*	0*	0	0	0	0	0	0

* 仅受上电复位影响。不受其它复位影响。

GU, 全局单播

0 = 帧必须通过目的地址过滤和唤醒帧过滤才能产生一个唤醒事件 (默认)。

1 = 帧仅需通过唤醒帧过滤即可产生一个唤醒事件。

WUFF, 接收唤醒帧标志。 该位设置为逻辑 1 表示由于接收到一个网络唤醒帧而产生一个唤醒事件。应用软件必须通过向该位写入一个 1 来清除该标志。

MPF, 接收 Magic Packet 标志。 该位设置为逻辑 1 表示由于接收到一个 Magic Packet 而产生一个唤醒事件。应用软件必须通过向该位写入一个 1 来清除该标志。

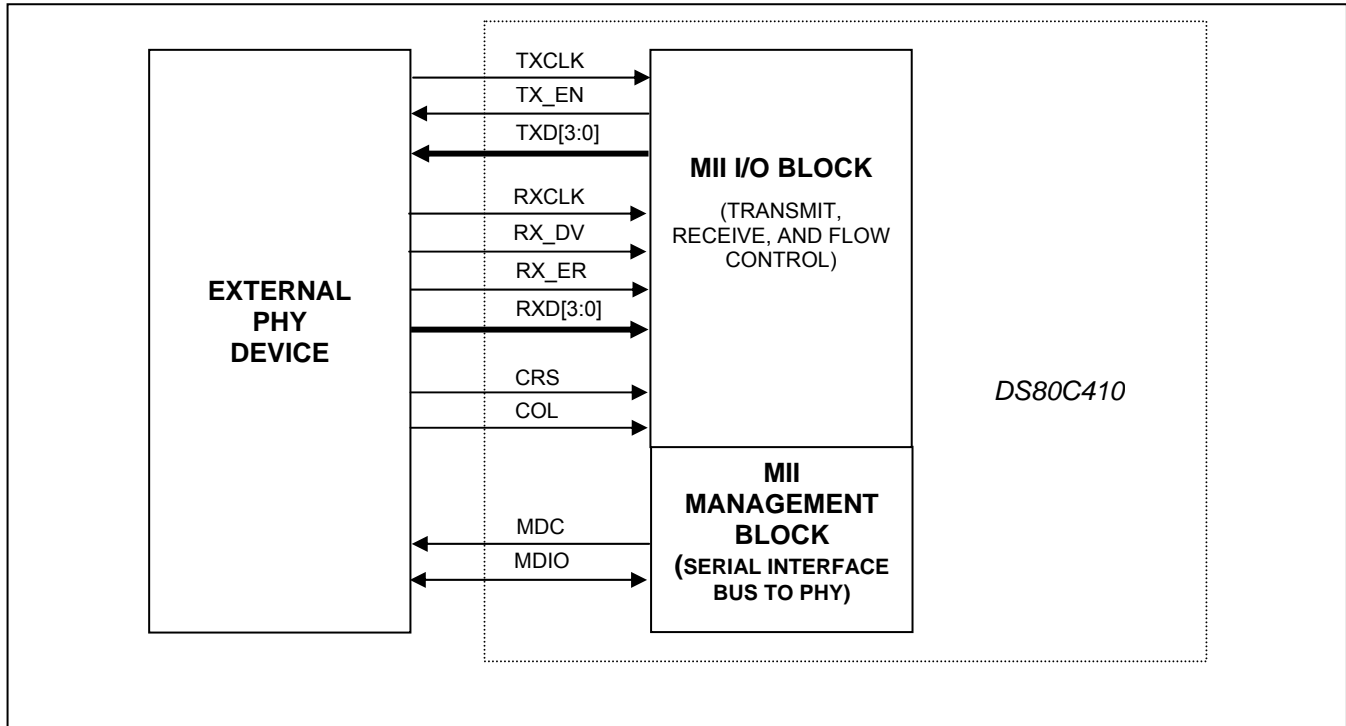
WUFE, 唤醒帧使能。 将该位置 1 调用睡眠模式, 允许接收网络唤醒帧以产生一个唤醒事件。

MPE, Magic Packet 使能。 将该位设置为逻辑 1 调用睡眠模式, 允许接收一个 Magic Packet 以产生一个唤醒事件。

介质无关接口(MII)

DS80C410 包括一个IEEE 802.3 MII兼容PHY接口。该接口含有两个基本模块。MII I/O模块提供独立发送和接收数据通道I/O和PHY网络状态信号输入。MII管理模块采用 2 线串行通信总线以简化对PHY寄存器的访问。图 5 的结构框图显示了与DS80C410 MII相关的信号。

图5. MII 结构框图



MII 管理模块

MII管理模块允许主机对 32 个PHY控制器的 32 个寄存器写入控制数据以及读取状态。MII管理模块通过一个 2 线串行接口与外部PHY进行通信，该接口由MDC串行时钟输出引脚和用作地址和数据处理I/O的MDIO引脚组成。数据(MDIO)在时钟(MDC)上升沿有效。CPU使用在CSR寄存器一节中描述的MII地址(14h)和MII数据(18h) CSR寄存器来监视和控制 2 线 MII串行总线。向CSR寄存器MII地址的写入操作会触发读或写操作。图 6 所示为MII管理帧格式。

图6. MII 管理帧格式

	PREAMBLE (32 bits)	START (2 bits)	OP CODE (2 bits)	PHY ADDRESS (5 bits)	PHY REGISTER (5 bits)	TURN AROUND (2 bits)	DATA (16 bits)	IDLE (1 bit)
READ	111...111	01	10	PHYA[4:0]	PHYR[4:0]	ZZ*	ZZ...ZZ*	Z
WRITE	111...111	01	01	PHYA[4:0]	PHYR[4:0]	10	PHYD[15:0]	Z

*读操作过程中，外部PHY在周转域的第二位将MDIO拉低，指示正确同步，然后输出要读取的16位数据。

MII I/O 模块

MII I/O 模块负责 DS80C410 MAC 和外部 PHY 器件之间所有的数据发送和接收处理，并监视由 PHY 提供的网络状态信号。

发送接口由 TXCLK、TX_EN 和 TXD[3:0] 组成。TXCLK 输入是由 PHY 提供的发送时钟。对于 10Mbps 速率，发送时钟 (TXCLK) 应为 2.5MHz。对于 100Mbps 速率，TXCLK 应为 25MHz。TXD[3:0] 输出为用来向外部 PHY 发送帧数据的 4 位数据总线。每次 TX_EN 输出高电平时开始发送，告知 PHY 有效数据出现在 TXD[3:0] 总线上。

接收接口由 RXCLK、RX_DV、RX_ER 和 RXD[3:0] 组成。RXCLK 输入是由外部 PHY 提供的接收时钟。对于 10Mbps 速率，该时钟 (RXCLK) 应为 2.5MHz，对于 100Mbps，应为 25MHz。RXD[3:0] 为用来接收外部 PHY 帧数据的 4 位 (半字节) 数据总线。当外部 PHY 将 RX_DV 输入置为高电平时，指示有效数据出现在 RXD[3:0] 总线上，开始接收。接收 (RX_DV = 1) 过程中，RX_ER 输入指示外部 PHY 是否探测到当前帧出现错误。当没有接收帧 (RX_DV = 0) 时，忽略 RX_ER 输入。

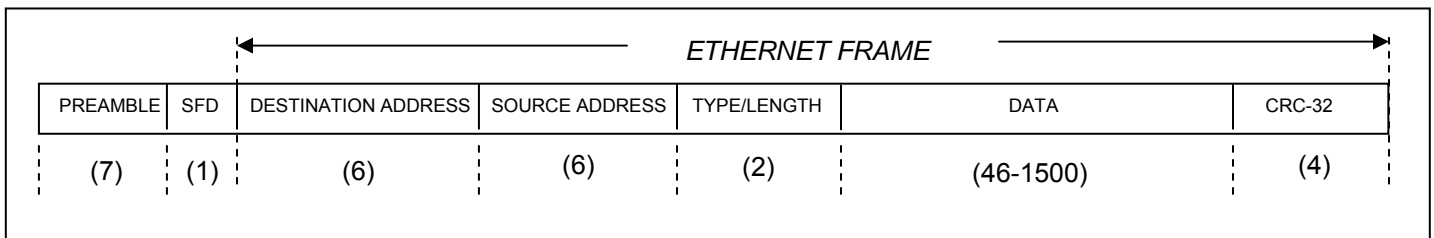
MII 还监视外部 PHY 提供的两个网络状态信号。CRS (载波侦听) 输入用于判断何时物理介质出现空闲。半双工工作时，需要 COL (冲突探测) 输入来指示物理介质上何时出现冲突。

以太网帧

MII I/O 模块的基本作用通过外部 PHY 收/发以太网帧，由 PHY 处理物理载波。IEEE 802.3 以太网帧的格式见 [图 7](#)。

以太网帧前的帧头 (7 字节) 和帧开始定界符 (1 字节) 用于帧开始的同步。以太网帧的前两个域是目的地址和源地址，均为 6 个 8 位 (字节)。目的地址域由地址检查模块检查，以判断是否符合地址过滤要求。源地址后面的两个字节含有帧长度或类型。对于以太网 II (DIX) 帧，这两个字节含有类型域，特定帧类型协议嵌在数据域中。在这两个字节中规定了长度的帧，通常在数据域后面跟随一个头字节来传递帧的类型/协议信息 (如，802.2 或 SNAP)。由于以太网帧最大数据域长度为 1500 字节，所有指定帧类型均大于该值 (1500d = 05DCh)，因此可以很容易的识别出该域是类型还是长度，允许两种类型的帧同时存在于网络中。一种特殊情况是：在长度或类型的域出现 VLAN 标签协议 ID (= 8100h)，则该帧被认为带有 VLAN 标记。稍后说明 VLAN 帧格式。

图7. IEEE 802.3 以太网帧



地址检查模块

以太网控制器地址检查模块监视所有接收数据包的目的地址，判断地址是否符合 CPU 所配置的过滤标准。地址过滤测试结果以及是否为广播帧或多播帧由 BCU 在数据包接收状态字中报告。

所有接收帧可分为三种类型:单播、多播或广播 (特殊类型的多播)。单播帧目的地址的第一个接收位为 0，目的为网络上的单个节点。多播帧目的地址的第一个接收位为 1，目的为网络上的多个器件。广播帧是目的地址全为 1 的多播帧，目的为所有的网络器件。除非通过 CSR MAC 控制寄存器 (00h) 的广播帧 (DBF) 位禁止，DS80C410 MAC 总是接收广播帧。

采用 CSR MAC 控制寄存器 (00h) 中的 5 位来建立地址过滤标准。三种基本过滤为:完全、反向和散列。完全过滤要求目的地址和在 CSR 寄存器 MAC 地址高位 (04h) 和 MAC 地址低位 (08h) 中的 MAC 物理地址完全匹配。反向过滤要求目的地址是除指定 MAC 物理地址以外的任何地址。完全和反向过滤仅适用于单播帧。散列过滤采用 CSR 寄存器多播地址高位 (0Ch) 和多播地址低位 (10h) 中用户定义的散列表进行地址匹配。图 8 显示了这 5 位对目的地址过滤的控制。表 14 给出了有效位组合以及对应过滤模式。注意，某些地址过滤模式控制位能够指示地址检查模块自动通过或过滤某些类型的帧。

图8. 地址过滤模式控制位

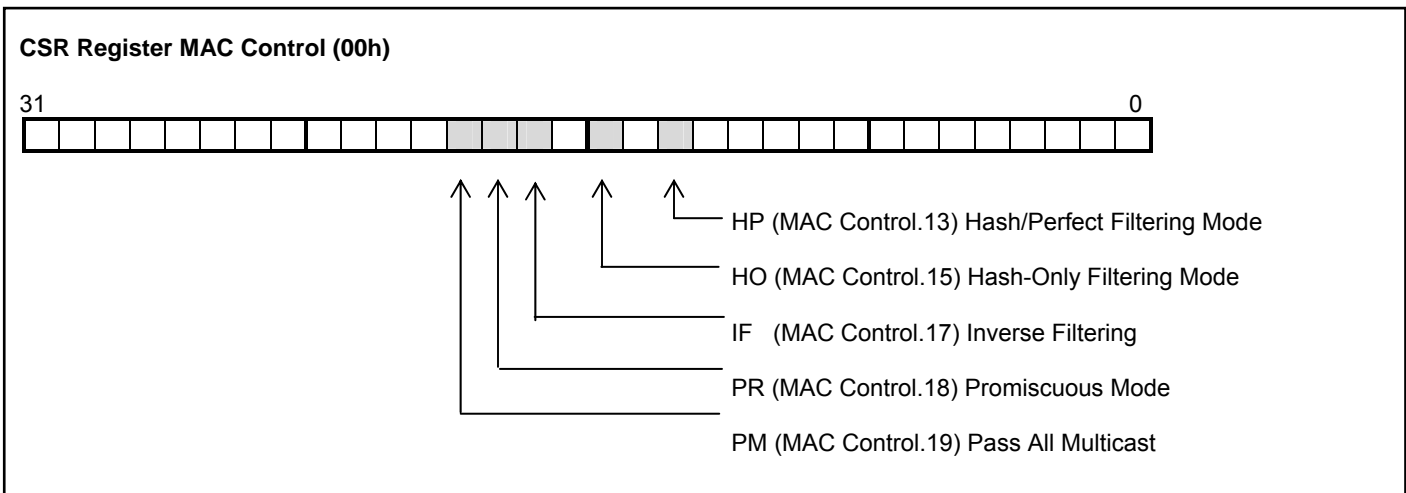


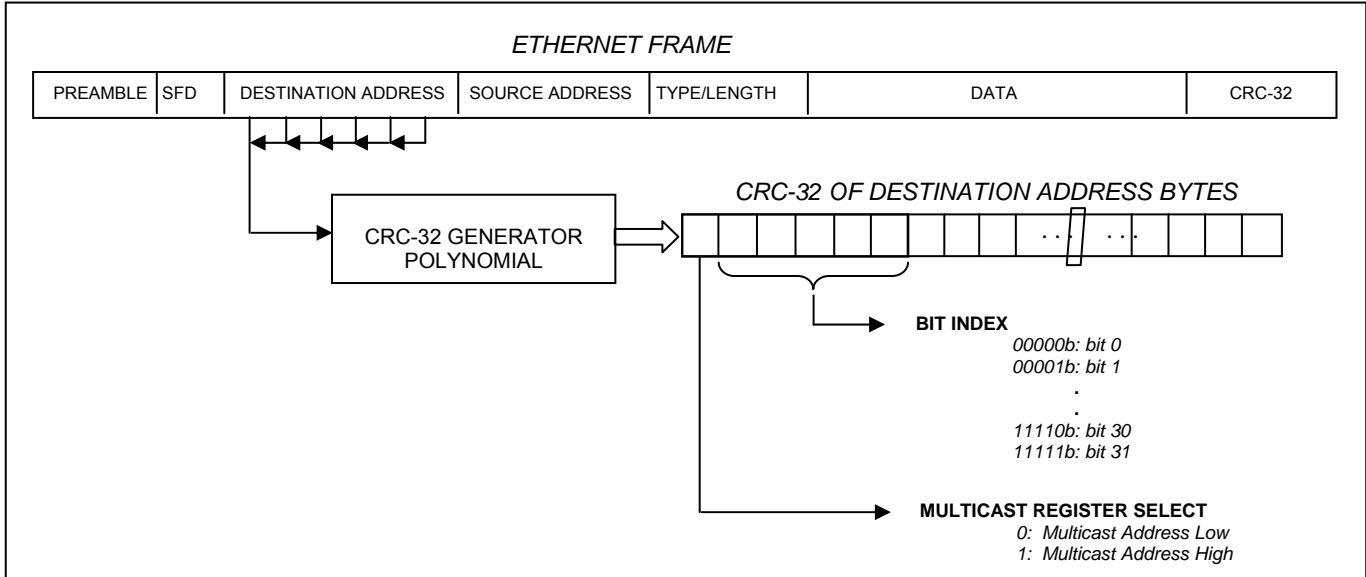
表14. 地址过滤模式

FILTER MODE CONTROL BITS					DESTINATION ADDRESS FILTER CRITERIA	
PM	PR	IF	HO	HP	UNICAST	MULTICAST
0	0	0	0	0	PERFECT	FAIL
0	0	1	0	0	INVERSE	FAIL
0	0	0	0	1	PERFECT	HASH
1	0	0	0	x	PERFECT	PASS
0	0	0	1	1	HASH	HASH
1	0	0	1	1	HASH	PASS
x	1	0	x	x	PASS (reset default state = 01000b)	

多播散列过滤

目的地址散列过滤需要建立一个散列表。散列表必须写入 CSR 多播地址低位和多播地址高位寄存器。当选择散列过滤时，6 字节的地址通过内部 CRC-32 逻辑。CRC-32 结果的高 6 位用于索引散列表。这 6 位中，最高位决定采用多播地址高位还是低位，低 5 位是所选 CSR 寄存器的位索引。如果 CRC-32 高 6 位索引的多播地址高位或低位寄存器位为 1，那么通过该目的地址。图 9 是散列过滤过程。

图9. 生成散列表索引



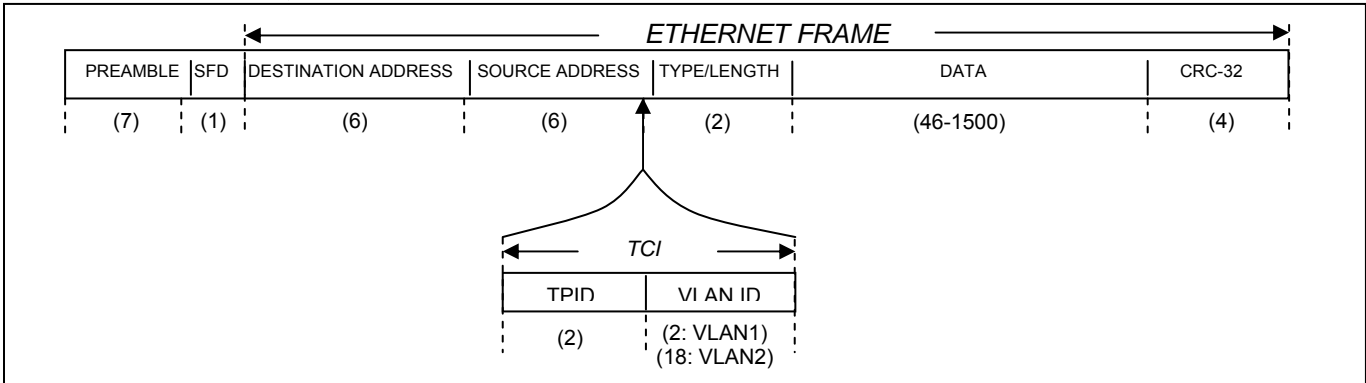
VLAN 支持

DS80C410 通过识别被标识为 VLAN 的帧来提供 VLAN 支持。每个 VLAN 标签提供的标签控制信息 (TCI) 含有标签协议 ID (TPID) 和 VLAN ID。接收 TPID 位于第 13 和第 14 字节，这两个字节通常是帧长度或类型。TPID 与 VLAN1 (20h) 和 VLAN2 (24h) CSR 寄存器进行对比。

如果 TPID 与 VLAN1 寄存器设置匹配，该帧被认为含有 VLAN1 标签。对于 VLAN1 标记的帧，TPID 之后的 2 字节是 VLAN ID；因此，MAC 将最大合法帧长度扩展了 4 个字节 (TPID = 2 字节，VLAN ID = 2 字节)。

如果 TPID 和 VLAN2 寄存器设置匹配，该帧被认为含有 VLAN2 标签。对于 VLAN2 标记的帧，TPID 之后的 18 个字节为 VLAN ID；因此，MAC 将最大合法帧长度扩展了 20 个字节 (TPID = 2 字节，VLAN ID = 18 字节)。

图10. VLAN 标记的帧

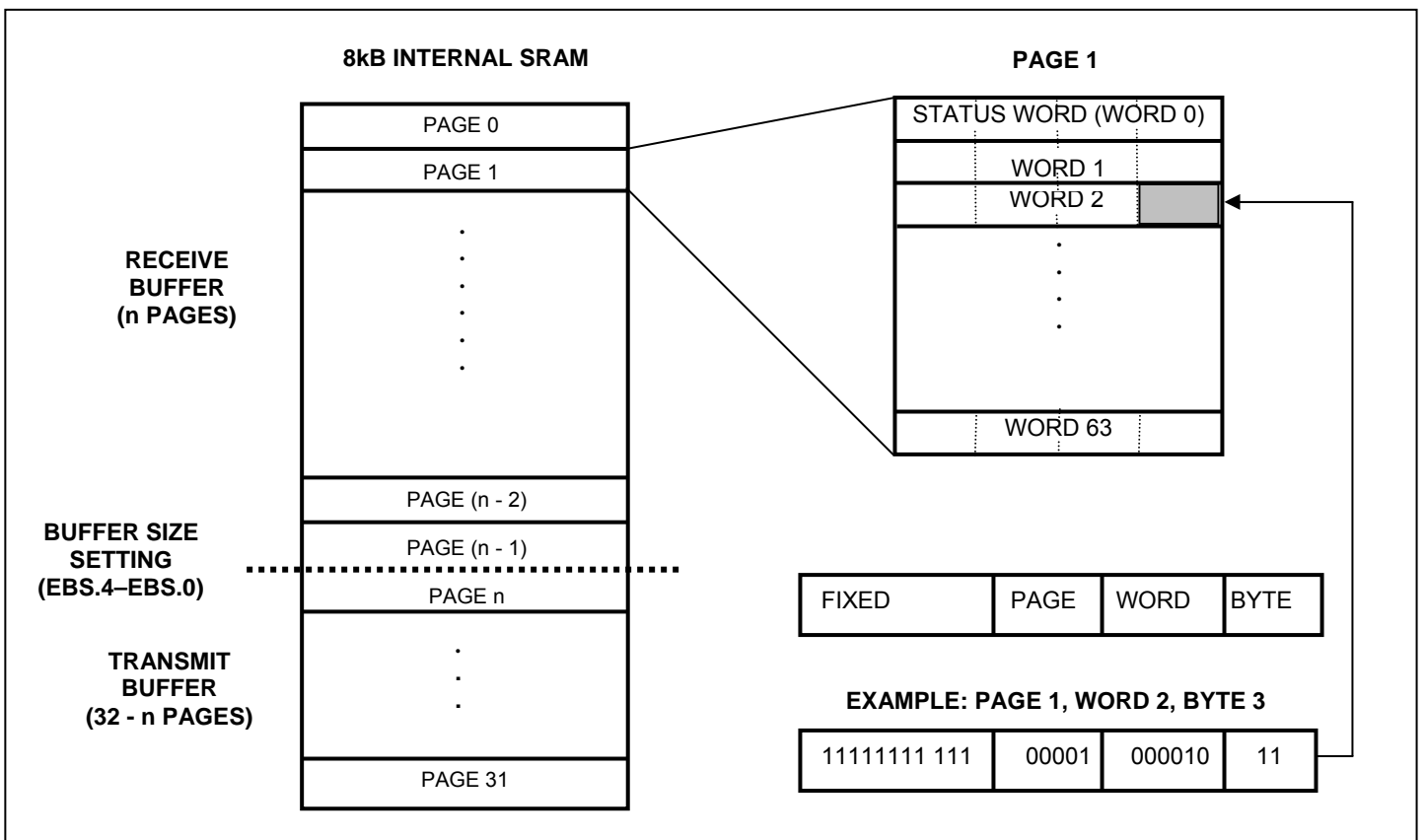


发送/接收数据包缓冲存储器 (8kB)

DS80C410 以太网控制器将 8kB 内部 SRAM 用作发送/接收数据包缓冲存储器。该 SRAM 可被 CPU 当作数据存储使用 MOVX 指令进行读/写。BCU 也可以访问该 SRAM，当需要读取或存储以太网数据包信息时，自动读/写数据包缓冲存储器。8kB SRAM 的逻辑 MOVX 地址范围固定为 FFE000h 至 FFFFFFFh。

当用作以太网数据包缓冲存储器时，8kB SRAM 逻辑上分为 32 页，每页 64 字，每字 4 字节。这 32 页可被动态分配为以太网发送和接收缓冲存储器。以太网缓冲容量 (EBS; E5h) SFR 的低 5 位规定给接收缓冲存储器分配多少页面。32 个页面中剩余的页面用作发送缓冲存储器。注意，发送和接收数据包可跨越多个页面。以太网缓冲容量选择位 (EBS.4–EBS.0) 的复位默认状态为 00000b，将所有 32 个页面配置为发送缓冲存储器。例如，设置 EBS.4–EBS.0 = 10000b 将页面 0–15 (16 个页面) 配置为接收缓冲存储器，页面 16–31 (16 个页面) 配置为发送缓冲存储器。设置 11111b 将页面 0–30 (31 个页面) 配置为接收缓冲存储器，一个页面 (第 31 页) 用作发送缓冲存储器。改变发送/接收缓冲容量设置将清除接收缓冲和接收 FIFO 的内容。图 11 为 8kB 缓冲存储器映射和寻址方式。

图11. 发送/接收数据缓冲存储器



发送/接收状态字

对于 MAC 所做的每次收/发数据包尝试，BCU 都向该数据包起始页的第一个字写一个 32 位发送或接收状态字。该状态字提供给 CPU 所需的状态信息，以决定应采取什么操作以及何时操作。

发送状态字

位名称:

31	RETRY	—	—	—	—	—	—	—	24
23	—	—	—	—	—	—	—	—	16
15	—	HBF	COL_CNT[3:0]				OLTCOL	DFR	8
7	NODAT	XCOL	LTCOL	XDFR	LSCRS	NOCRS	JABTO	ABORT	0

RETRY, 数据包重试。 该位指示总线上出现冲突，当前发送的数据包必须被重传。该位置 1 时，应用程序必须重新开始帧的发送。该位复位时，表示已经完成当前帧的发送。发送帧成功或失败由帧放弃(ABORT) 位指示。

HBF, 心跳失败。 该位仅对 ENDEC 模式有意义。如果 NODAT 或 XFDR 位置位，该位无效。

0 = 心跳冲突检查成功。

1 = 心跳冲突检查失败。

COL_CNT[3:0], 冲突计数。 这 4 位指示在帧发送前出现的冲突数量。冲突计数仅在半双工模式下有效，当过度冲突(XCOL) 位置位时，该位无效。

OLTCOL, 观察到滞后冲突。 该位仅在半双工模式下有效，如果状态字中的滞后冲突中断 (LTCOL) 位置位，该位保持置位。

0 = 没有观察到滞后冲突。

1 = 观察到滞后冲突 (第一个时隙之后的冲突)。

DFR, 延迟。 该位仅在半双工模式下有效。

0 = 帧发送尝试不需要延迟。

1 = 由于载波没有空闲，等待发送时，MAC 必须延迟。

NODAT, 欠载

0 = 帧发送不因数据欠载放弃。

1 = 由于 MAC 没有足够的数而放弃当前帧发送。

XCOL, 过度冲突。 该位仅在半双工模式下有效。

0 = 帧发送不因过度冲突放弃。

1 = 由于过度冲突 (除非 DRTY = 1，否则尝试发送 16 次)而放弃帧发送。

LTCOL, 滞后冲突。 该位仅在半双工模式下有效。

0 = 帧发送不因滞后冲突放弃。

1 = 由于 64 字节冲突窗口后出现冲突放弃帧发送。如果 NODAT 位置位，该位无效。

XDFR, 过度延迟。 当 MAC 控制寄存器位 DFR 置位时，该位仅在半双工模式下有效。

0 = 帧发送不因过度延迟放弃。

1 = 由于延迟超过 24,288 位时间放弃帧发送。

LSCRS, 载波丢失。 该位仅在半双工模式下有效。

0 = 帧发送不因载波丢失放弃。

1 = 由于载波丢失 (在帧传送期间，CRS = 0) 放弃帧发送。

NOCRS, 无载波。 该位仅在半双工模式下有效。

0 = 帧发送不因无载波放弃。

1 = 由于无载波 (当开始发送帧时, CRS = 0) 放弃帧发送。

JABTO, 超时传输

0 = 帧发送不因超时传输放弃。

1 = 由于超时传输 (MAC 发送时间超过以太网最大帧长度的两倍) 放弃帧发送。

ABORT, 放弃帧

0 = 没有放弃帧发送。

1 = 帧发送被 MAC 放弃, 可能原因有: 超时传输, 无载波, 载波丢失, 过度延迟, 滞后冲突, 重试计数超过限制, 数据欠载。

接收状态字

位名称:

31	MF	PF	FF	BCF	MCF	UCTRL	CTRL	LEN	24
23	VLAN2	VLAN1	CRC	DRIB	MII_ER	TYPE	COL	LONG	16
15	RUNT	WDOG	FLEN[13:8]						8
7	FLEN[7:0]								0

MF, 帧丢失

0 = 接收帧没有丢失。

1 = 接收帧丢失。

PF, 数据包过滤

0 = 当前帧没有通过数据包过滤。

1 = 当前帧通过数据包过滤。

FF, 过滤失败

0 = 当前接收帧目的地址通过所采用的地址过滤。

1 = 当前接收帧目的地址没有通过所采用的地址过滤。

BCF, 广播帧

0 = 接收帧不是广播帧。

1 = 接收帧是广播帧 (如, 目的地址是全 1)。

MCF, 多播帧

0 = 接收帧不是多播帧。

1 = 接收帧是多播帧 (如, 目的地址第一位是 1)。

UCTRL, 不支持的控制帧。 该位仅在全双工模式下有效。

0 = 接收帧不是不支持的控制帧。

1 = 接收帧是不支持的控制帧 (如, 含有不支持操作码, 或不等于 64 字节最小帧长度)。

CTRL, 控制帧。 该位仅在全双工模式下有效。

0 = 接收帧不是控制帧。

1 = 接收帧是控制帧。

LEN, 长度出错。 仅当类型/长度域含有帧长度 (TYPE = 0) 时, 进行帧长度检查。当数据域所含字节超过长度域规定数量时, 这些字节被认为是填充字节。

0 = 接收帧通过帧长度检查。

1 = 接收帧含有的字节少于长度域规定的字节数。

VLAN2, Two_Level VLAN 帧

0 = 接收帧不含有与 VLAN2 寄存器匹配的 VLAN 标签。

1 = 接收帧的第 13 和第 14 字节与两级 VLAN 标签寄存器 (VLAN2) 匹配。

VLAN1, One_Level VLAN 帧

0 = 接收帧不含有与 VLAN1 寄存器匹配的 VLAN 标签。

1 = 接收帧的第 13 和第 14 字节与一级 VLAN 标签寄存器 (VLAN1) 匹配。

CRC, CRC 错误。如果在接收期间, PHY 将 RX_ER 引脚置位, 该位被置为 1 (即使帧 CRC-32 正确)。

0 = 接收帧没有检测到 CRC-32 错误。

1 = 接收帧检测到 CRC-32 错误。

DRIB, 非字节对齐。如果 COL 或 RUNT 位置 1, 该位无效。如果 DRIB = 1 并且 CRC = 0, 则数据包有效。

0 = 接收帧不含有任何非字节对齐位。

1 = 接收帧含有非字节对齐位(8 位的非整数倍)。

MII_ER, MII 错误

0 = 帧接收期间, PHY 没有置位 RX_ER 信号。

1 = 帧接收期间, PHY 置位 RX_ER 信号 (指示检测到错误)。

TYPE, 帧类型。对于长度小于 14 字节的不完整帧, 该位无效。

0 = 长度/类型域中是长度 (如, 数值等于或小于 1500)。

1 = 长度/类型域中是类型 (如, 数值大于 1500)。

COL, 遇到冲突

0 = 接收帧没有遇到任何冲突。

1 = 接收帧受滞后冲突破坏 (第一个 64 字节之后发生)。

LONG, 帧过长。该位仅用作状态标志, 不会引起帧截断。

0 = 接收帧没有超过最大帧长度检查。

1 = 接收帧超过最大帧长度 (1518 字节, 除非带有 VLAN 标记)。

RUNT, 不完整帧

0 = 接收帧不是不完整帧 (<64 字节)。

1 = 接收帧由于冲突或过早帧中止, 不符合最小帧长度的要求 (64 字节 = 1 个时隙)。

WDOG, 看门狗超时。该位置位时, FLEN[13:0] 域无效。

0 = MAC 看门狗定时器在帧接收期间没有超时。

1 = MAC 看门狗定时器在帧接收期间超时。看门狗定时器设置为最大帧长度 (3036 位时间) 的两倍。

FLEN[13:0], 帧长度 [13:0]。除非使能自动去除填充 (ASTP = 1), 该域为字节表示的接收帧长度, 包括 0 填充域 (如果采用) 和 CRC-32。当 ASTP = 1 时, 帧长度仅含数据域。

以太网中断

DS80C410 以太网控制器支持两种中断:以太网电源模式中断和以太网活动中断。每种中断都具有自己的使能、优先级和标志位。这些位的位置在本数据资料后面 (表 26) 的中断向量表中给出。两个中断源都由IE SFR中的EA位全局使能或禁止, 并且需要由应用软件清除中断标志。如果使能以太网电源模式中断, 以太网控制器在睡眠模式接收到一个Magic Packet或网络唤醒帧时, 可以产生该中断。BCU报告发送或接收数据包状态时, 可触发以太网活动中断。

电源管理模块

DS80C410 以太网控制器含有电源管理模块, 可被 CPU 置为睡眠模式, 以在以太网流量较小时降低功耗。

可使用两种不同方式调用睡眠模式。可以由 CPU 简单写入 BCUC SFR = 1100b, 向 BCU 发出‘Enable Sleep Mode’的命令。另外还可以使能一或两个唤醒帧, 使以太网控制器进入睡眠模式。网络唤醒帧和 Magic Packet 帧这两个唤醒源的使能位在 CSR 唤醒帧控制和状态寄存器 (2Ch) 中。如果网络唤醒帧用作唤醒源, CSR 唤醒帧过滤寄存器 (28h) 应在调用睡眠模式之前, 进行相应设置。

如果采用‘Enable Sleep Mode’命令调用睡眠模式, 可通过‘Disable Sleep Mode’命令或两个特殊唤醒帧之一唤醒以太网控制器。如果通过使能一个或两个唤醒帧来调用睡眠模式, 只有被使能的唤醒帧可以唤醒以太网控制器。为恢复正常的以太网工作, 所有的使能位和标志位 (包括 BCUC SFR 的 EPMF) 应清零, 如果采用‘Enable Sleep Mode’命令调用睡眠模式, 则必须发出‘Disable Sleep Mode’命令。

Magic Packet 和网络唤醒帧

电源管理模块可识别两种类型的帧, Magic Packet 和网络唤醒帧, 将以太网控制器从睡眠模式中唤醒。必须进行设置以使每种类型的帧都可以用作唤醒源。

Magic Packet 是通过当前目的地址过滤的无误帧, 源地址后为数据序列 FFFF_FFFF_FFFFh, 其后为 16 个重复 MAC 物理地址。当电源管理模块探测到 Magic Packet 时, Magic Packet 接收位 (CSR 唤醒事件控制和状态寄存器的第 5 位) 置位, 如果使能 (EPMI = 1)则向 CPU 产生一个中断请求。

网络唤醒帧需要通过四个用户定义的帧过滤器在CSR唤醒帧过滤寄存器(28h)中设置之一, 并通过目的地址过滤 (如果GU = 0)。每个过滤器由命令、偏移、字节屏蔽和CRC构成。4 位命令中的一位 (命令的MSB)用于选择检查单播 (= 0) 还是多播 (= 1), 另一位 (命令的LSB) 用于禁止 (= 0) 或使能 (= 1) 单独的帧过滤器。偏移定义了每个可能的唤醒帧中被检查的第一字节的位置。由于目的地址由地址检查模块检查, 偏移应大于 12。字节屏蔽用于定义从偏移开始的 31 字节中哪个用于CRC计算。字节屏蔽的 31 位总为 0, 如果字节屏蔽第j位为 1, 则字节 (偏移 + j) 参加CRC-16 计算。CRC包括引发唤醒事件所需码型字节的CRC-16。当识别出唤醒帧时, 唤醒帧接收位 (CSR唤醒事件控制和状态寄存器的第 6 位) 置位, 如果已使能 (EPMI = 1), 则向CPU产生一个中断请求。唤醒帧过滤寄存器结构见图 12。

图12.唤醒帧过滤寄存器结构

31								0							
FILTER 0 BYTE MASK															
FILTER 1 BYTE MASK															
FILTER 2 BYTE MASK															
FILTER 3 BYTE MASK															
RESERVED		FILTER 3 COMMAND		RESERVED		FILTER 2 COMMAND		RESERVED		FILTER 1 COMMAND		RESERVED		FILTER 0 COMMAND	
FILTER 3 OFFSET				FILTER 2 OFFSET				FILTER 1 OFFSET				FILTER 0 OFFSET			
FILTER 1 CRC-16								FILTER 0 CRC-16							
FILTER 3 CRC-16								FILTER 2 CRC-16							

嵌入 TINI ROM 固件

DS80C410 的嵌入式 ROM 专门用于装载 TINI®运行环境和 TINI C 库。ROM 固件含有三个主要部分:带工业标准 Berkeley 套接字接口的完整 TCP/IPv4/6 堆栈、抢先式任务调度程序, 以及 NetBoot 功能。NetBoot 使用 TCP/IP 堆栈、套接字层和任务调度程序来实现自动网络启动。NetBoot 允许从网络下载应用程序, 并由微控制器执行。

要使用 ROM 固件, 系统需要以下硬件:

- DS80C410 和 DS80C411 的内部 64kB SRAM 存储器, 映射地址为 000000h–00FFFFh (注释 1)
- 存储用户应用程序代码的存储器 (SRAM 或闪存)
- DS2502P-E48 1-Wire 芯片, 保存物理 MAC 地址 (注释 2)
- 外部晶体或振荡器 (注释 3)

注释 1: 要求混合程序/数据存储配置。

注释 2: Java 应用程序和 NetBoot 需要一个 DS2502P-E48。C 编写的应用程序可直接设置 MAC 地址, 不需要采用 DS2502P-E48。

注释 3: NetBoot 功能需要至少为 7MHz 的外部时钟频率。由于直到 NetBoot 之后时钟倍频器才打开。因此, 除非外部时钟源至少为 25MHz, 否则在 100Mbps 无法实现 NetBoot。非 NetBoot 状态下, 系统时钟 (外部时钟经过内部倍频或分频)至少为 25MHz, 以便使用以太网 100MHz 模式。

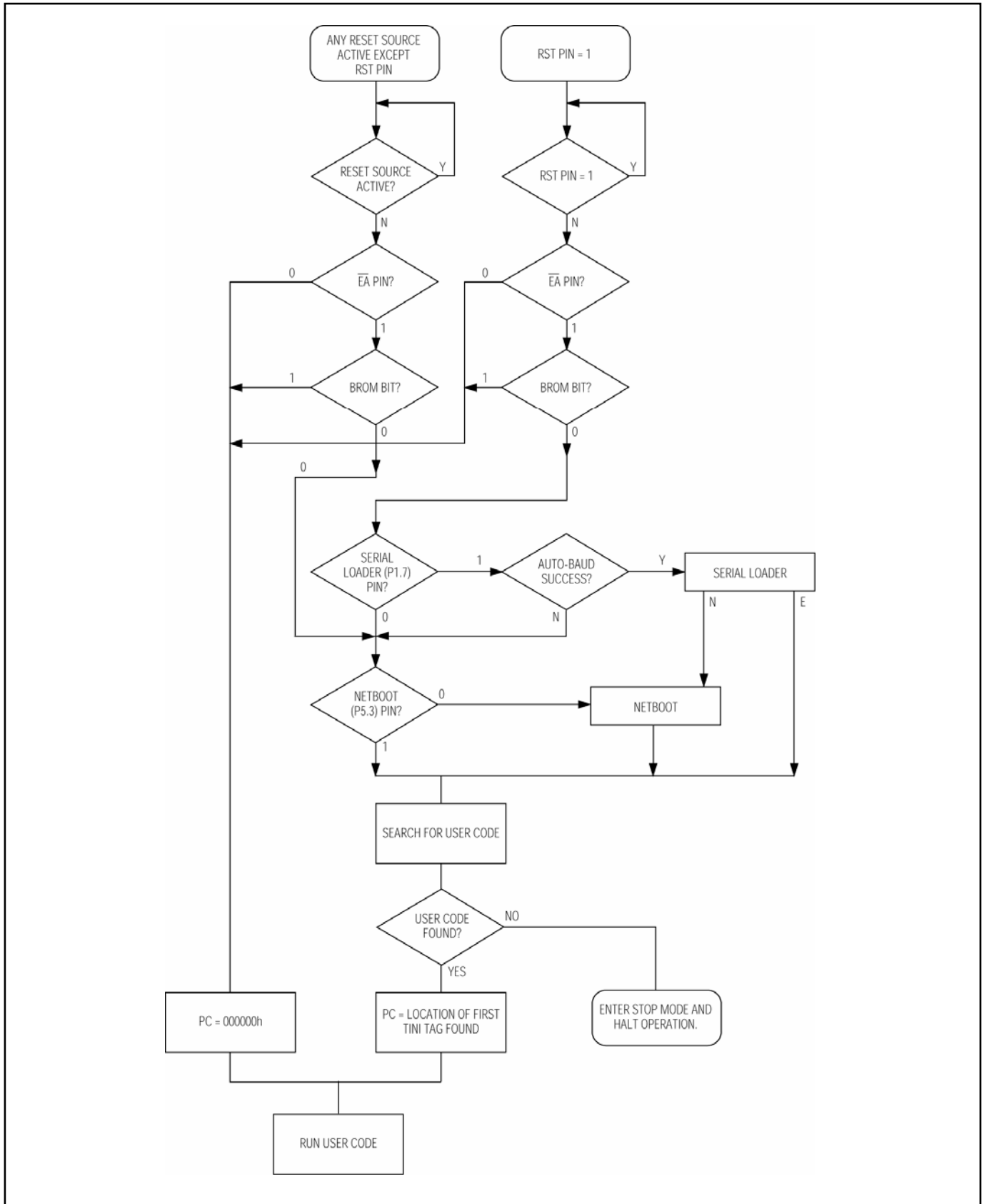
选择运行 DS80C410 ROM 代码

每次复位之后, DS80C410 开始执行地址 000000h处的程序代码。由于DS80C410 含有内部ROM, 还支持外部程序代码, 因此, 用户必须选择启动时访问哪个程序存储器。有两种方式控制选择内部DS80C410 ROM。分别是 \overline{EA} 引脚和忽略ROM (BROM) SFR位。无论BROM位的状态如何, 如果 \overline{EA} 引脚为低电平, 则无法进入DS80C410 ROM代码, 用户代码无法对其进行访问。如果 \overline{EA} 引脚是逻辑高电平, 则检查BROM位以决定是运行内部DS80C410 ROM 还是将其忽略。如果 BROM = 0, 执行 ROM 代码。否则 (BROM = 1), 忽略 ROM 代码, 转向执行位于 000000h的外部用户代码。BROM位上电复位默认为 0, 但不受其它复位影响。该代码选择过程见图 13。

DS80C410 ROM 代码执行流程

一旦选择了内部DS80C410 ROM代码 ($\overline{EA} = 1$, BROM = 0), 则必须首先执行某些基本配置代码, 为后续ROM操作做好准备。之后, ROM代码读取端口引脚P1.7 的状态。ROM根据P1.7 的逻辑状态和用户需求, 调用串行下载功能。如果串行下载引脚 (P1.7) 置为逻辑 1, ROM监视串口 0 的活动, 并用其串行标识响应外部主机。外部主机一旦收到DS80C410 正确的下载标识和提示符, 则说明已经以支持的波特率建立起串行通信, 用户可以开始发送命令。串行下载命令在本数据资料后面进行了说明。如果串行下载引脚拉至逻辑 0, ROM读取端口引脚P5.3 的状态。与 P1.7 和串行下载非常相似, ROM根据P5.3 的逻辑状态和用户需求, 开始NetBoot过程。如果NetBoot引脚 (P5.3) 置位 (逻辑 0), ROM启动NetBoot过程。如果NetBoot引脚没有置位 (逻辑 1), ROM执行寻找用户代码 (find-user-code) 来识别可执行的用户代码。图 13为上述的ROM判决过程。

图13. ROM 代码启动顺序

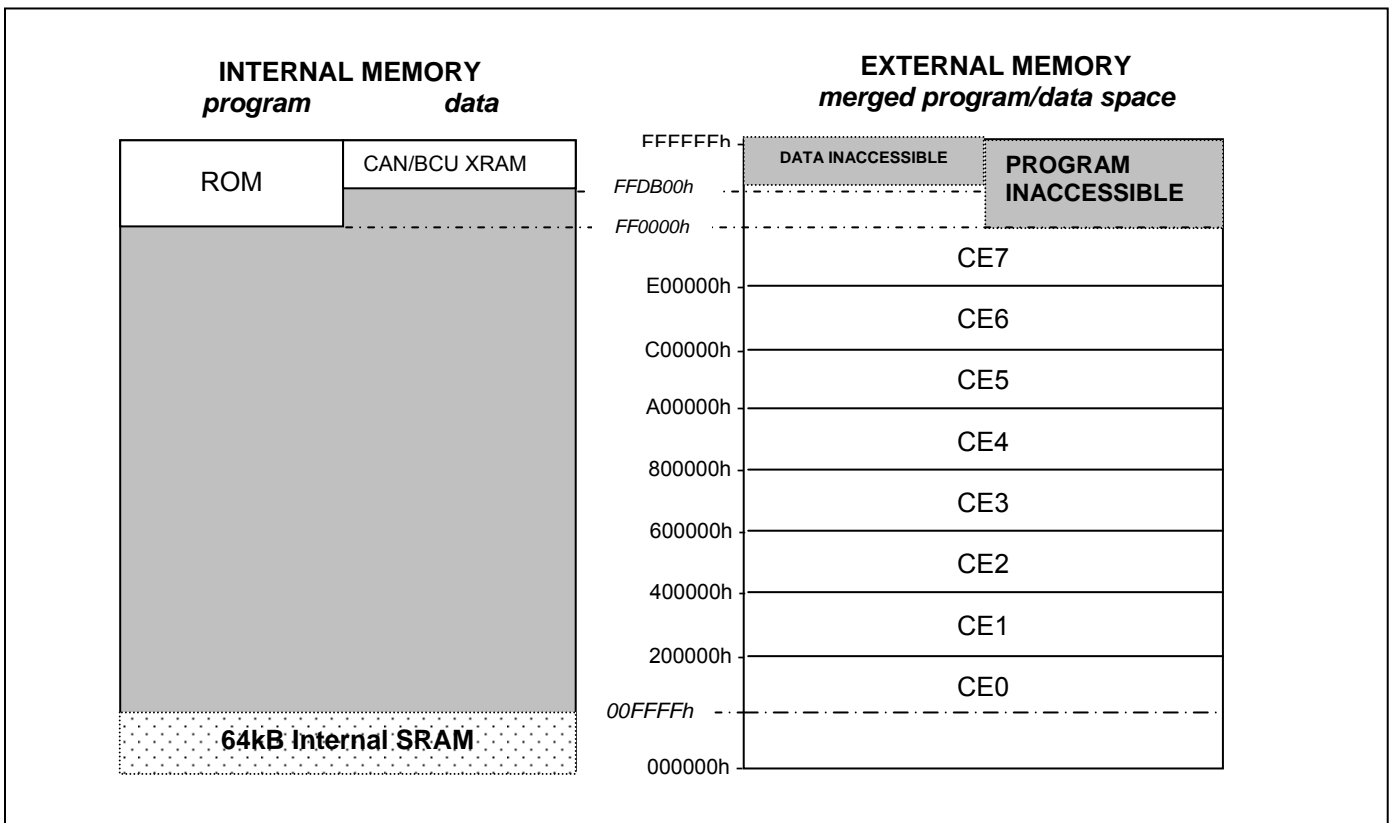


DS80C410 ROM 启动代码

DS80C410 固件自动执行启动代码 (ROM_Init)产生图 14所示的存储器映射，并如下所示配置硬件：

- | | |
|--------------------------------------|--------------------|
| 使能 24 位连续寻址模式 | (ACON.1:0 = 11b) |
| 在地址 FF0000h–FF7FFFh 范围内重新分配 ROM 逻辑地址 | (ACON.5 = 1) |
| 使能 CE0–3, 2MB/片选 | (P4CNT = 2Fh) |
| 使能 PCE0–3 | (P5CNT = 07h) |
| 使能 CE4–7, 1M/外设片选 | (P6CNT = 27h) |
| 混合程序/数据 CE0–3, 重新配置内部 XRAM | (MCON = AFh) |
| 使能扩展 1kB 堆栈选项 | (ACON.2 = 1) |
| 配置为最大 MOVX 值 | (CKCON.2:0 = 111b) |
| UART 配置为 Mode 1 串行工作 | |

图14. 执行 DS80C410/DS80C411 ROM_Init 后的存储器映射



串行下载程序

串行下载功能由固件执行，在启动过程中将串行下载引脚 (P1.7) 置为逻辑 1 调用该功能。满足该条件时，ROM 监视 RXD0 引脚以所支持的波特率接收 <CR> 字符 (0Dh)。串行下载功能使用硬件串口 0 模式 1 (全双工，异步、一个起始位、8 个数据位、无奇偶校验、一个停止位)。串行下载程序可自动探测特定波特率，并将自己配置为该速率。根据外部时钟频率和所需波特率，下面的方程用于计算装入定时器 2 (产生串口 0 波特率) 最接近的整数值。算出的 (最接近的整数) RCAP2H、RCAP2L 值可能不会产生精确匹配的波特率。装入值和时钟频率可用于在方程中计算 DS80C410 配置的波特率。建议波特率失配不要大于±2.5%，以维持可靠的通信。该功能设计工作在 3.680MHz 至 75.000MHz 的时钟频率，波特率范围为 2400 至 115,200。

$$RCAP2H, RCAP2L = 65,536 - \frac{\text{振荡器时钟频率}}{32 \times \text{波特率}}$$

例如，假设采用 18MHz 晶振，产生 19,200 波特率。上面的方程产生的最相近的整数值为 FFE3h。装入该值产生的波特率为 19396.6 (+1%误差)。

一旦探测到支持的波特率，DS80C410 将发送含有版权信息的 ASCII 文本标识，提示输入命令。此时，用户可发送任何支持的串行下载命令。[表 15](#)列出了所支持的串行下载命令。每个命令的详细说明以及与串行下载程序有关的详细信息，请参考 *高速微控制器用户指南: 网络微控制器补充资料(English only)*。

表15. 串行下载程序命令总结

COMMAND	FUNCTION
B	Bank select
C	CRC-16 of memory range
D	Dump Intel hex data from selected bank
E	Exit the loader and try to execute code
F	Fill selected bank memory with hex data
G	Go: Start executing code at offset 0 in the current bank
H, ?	Help: Display ROM version and current bank
L	Load Intel hex into memory
N	NetBoot
V	Verify memory against incoming hex
T2	Enable clock doubler
T8	Enable/Disable load of internal 64kByte RAM
X	Execute code at a given offset in the current bank
Z	Zap: Erase/clear the current bank.

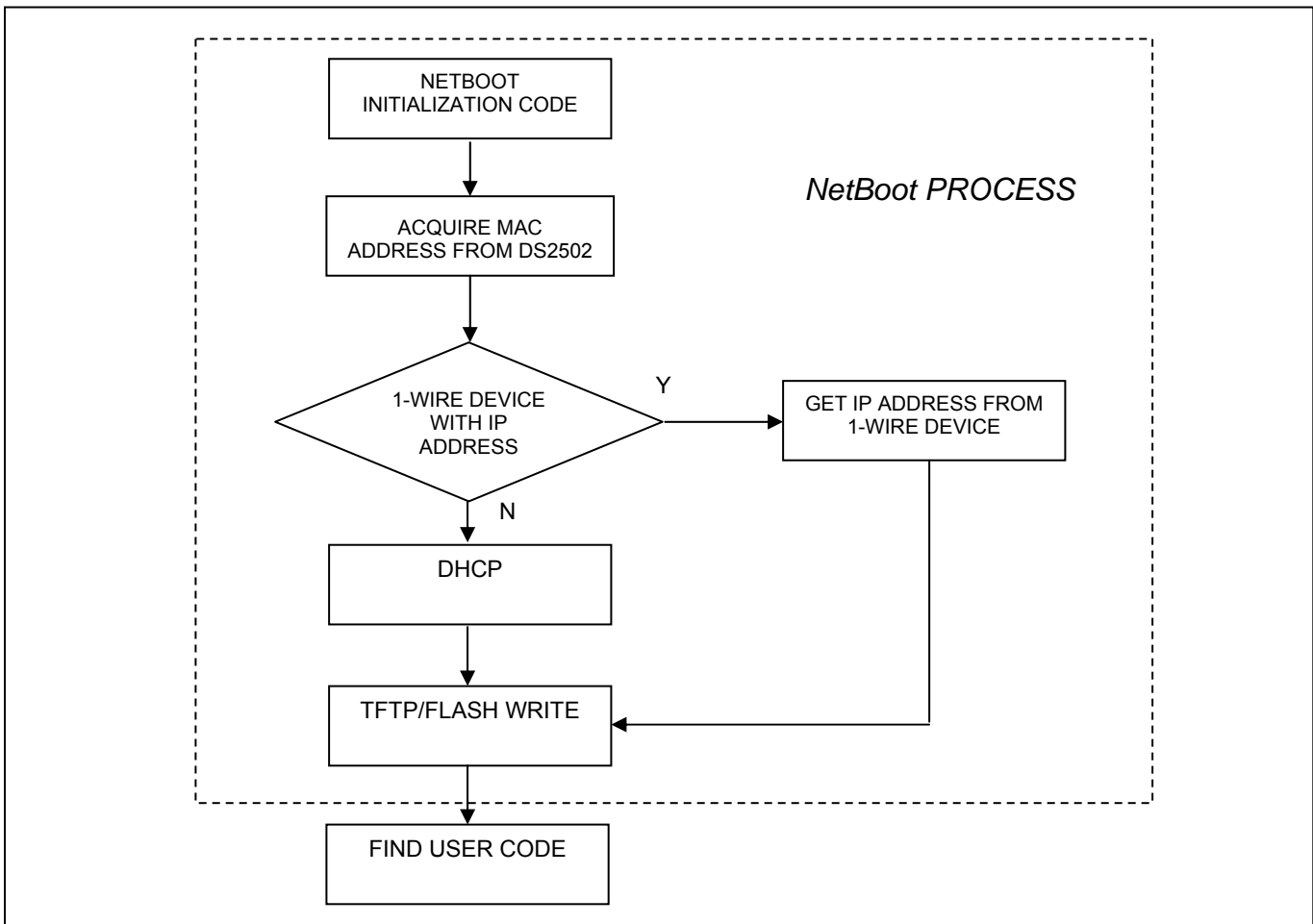
NetBoot

NetBoot 为用户提供了通过网络远程下载和更新代码的灵活性。该功能十分强大。不仅便于更新固件版本，还可以实现远程诊断。同样，由于 NetBoot 能够自动重新装载最新版本的用户应用程序，系统设计人员现在可以选择易失 SRAM 存储代码。

要使用 NetBoot 功能，DS80C410 ROM 固件必须启动某些硬件组件，并产生支持该过程所需的环境。NetBoot 初始化代码采用一个基本存储器管理器，关闭任务调度程序，初始化 1-Wire 硬件、以太网驱动器、TCP/IP 堆栈和套接字层。

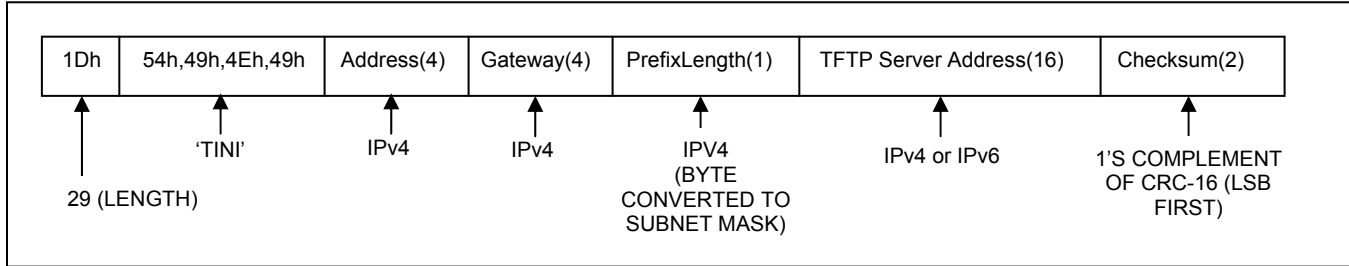
一旦完成了 NetBoot 初始化，则开始真正的网络启动过程。DS80C410 以太网 MAC 首先必须被分配一个物理地址。在 NetBoot 过程中，物理 MAC 地址仅能通过外部 DS2502-(E48) 1-Wire 芯片获得，含有 MAC 地址的该 1-Wire 芯片是进行成功 NetBoot 操作所必须的。图 15 是 NetBoot 流程图。

图15. NetBoot 流程图



之后，DS80C410 ROM 搜索 1-Wire 总线上的外部器件(与含有 MAC 地址的器件不同)，该器件含有一个 IP 地址和 TFTP 服务器 IP 地址。为保证能够从外部 1-Wire 器件中正确的获得 IP 和 TFTP 服务器地址，从器件读取的数据必须符合特定的格式。格式见图 16。

图16. 1-Wire IP 和 TFTP 服务器 IP 地址格式



如果不能由 1-Wire 器件获得 IP 和 TFTP 服务器地址，NetBoot 过程采用 DHCP 来得到该信息。DS80C410 在一个 DHCP 发现 (DHCP discover) 包中广播其 MAC 地址。如果存在一个 DHCP 服务器，响应应提供一个 IP 地址。DS80C410 随后向 DHCP 服务器请求 IP 地址。在 DHCP 应答数据包中“下一个服务器 IP”域为 TFTP 服务器 IP 地址。由于某些 DHCP 服务器不允许配置“下一个服务器 IP”域，DS80C410 识别特定站点选项 150 (同样用在 Cisco IP 电话上以获得 TFTP 服务器 IP 地址)。当应答数据包中出现选项 150 时，它将先于“下一个服务器 IP”域。

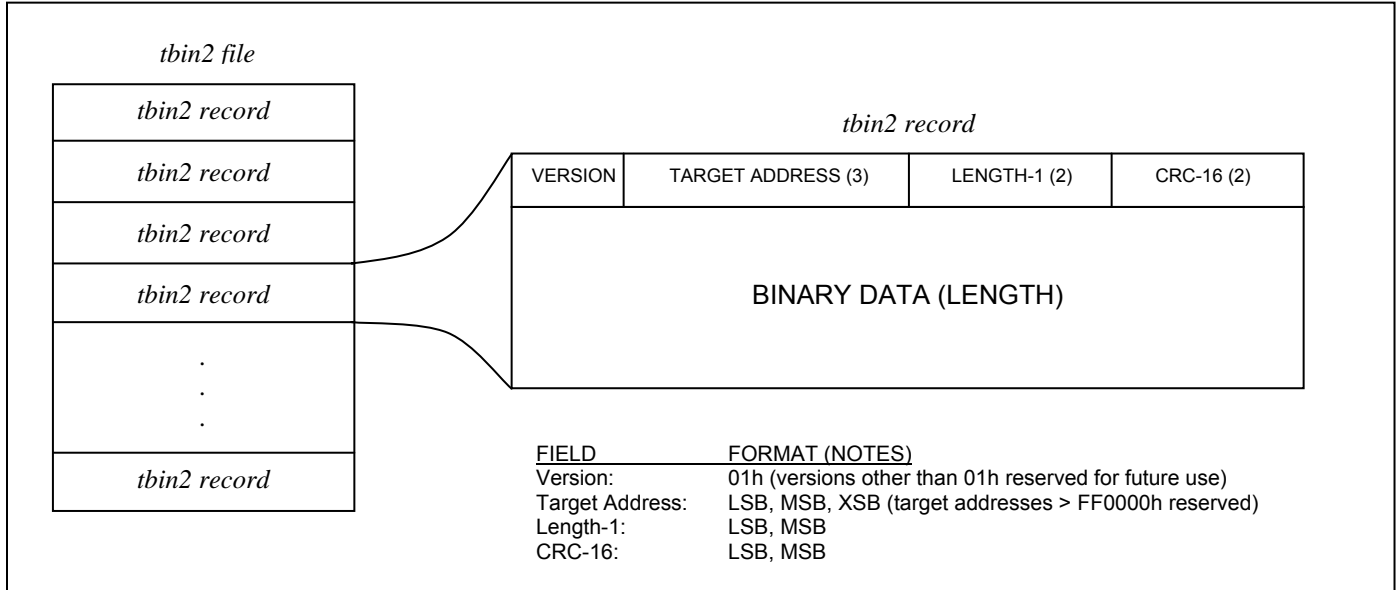
获得 IP 地址和 TFTP 服务器 IP 地址后，DS80C410 将试图找到装入外部程序存储器的代码。DS80C410 ROM 首先请求从 TFTP 服务器读取文件名为其物理 MAC 地址前有一个“!” (如，!006035AB9811) 的文件。如果请求成功，NetBoot 被立即终止。如果请求被拒绝，第二次请求读取文件名为其 MAC 地址 (如，006035AB9811) 的文件。如果这次请求仍没有成功，它发起第三次请求，此次请求读取文件名与 ROM 版本 (如，TINI400-1.2.0) 相关的文件。如果这次请求被拒绝，那么它最后一次尝试从 TFTP 服务器读取文件‘TINI400’。采用这种策略，TFTP 服务器可以识别不同器件和/或 Dallas Semiconductor 网络微控制器 ROM 固件 (DS80C400, DS80C410 和 DS80C411) 的不同版本。

在 TFTP 服务器上成功找到所需的文件后，DS80C410 必须将文件传送至存储器，并进行编程。目前，DS80C410 仅对内部/外部 SRAM 和 AMD 兼容闪存提供编程支持。NetBoot 代码要求被传送的文件是 Dallas *tbin2* 格式。*tbin2* 格式由一或多条记录组成，允许在一个文件中多个映像二进制级联。图 17 所示为 *tbin2* 文件格式。

对于每个要编程的 64kB 块，DS80C410 ROM 首先对当前存储器块内容进行 CRC-16 运算。如果当前存储器的 CRC-16 结果与要被编程的数据匹配，则不处理该块。如果 CRC-16 不匹配，它进行两次写/回读操作，以判断该块是闪存还是 SRAM，然后执行擦写 (如果是闪存) 和编程。

完成 TFTP 服务器文件传送以及外部存储器编程后，更新‘先前 TFTP 成功’标志，结束 NetBoot 过程，执行 ROM 寻找用户代码程序。

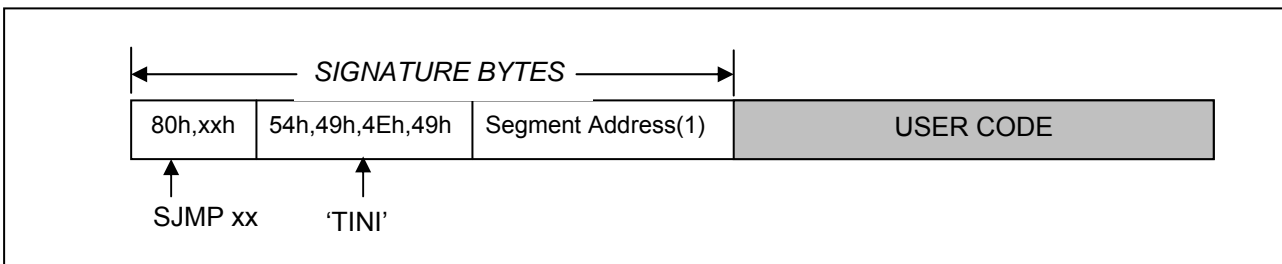
如果 DHCP 或 TFTP 传送失败，NetBoot 代码检查在上次尝试中，TFTP 传送是否成功 (注意这需要用户应用软件配合)。如果成功，DS80C410 ROM 退出 NetBoot，继续执行寻找用户代码程序。如果 TFTP 上次传送没有成功，DS80C410 ROM 使看门狗定时器复位 DS80C410。

图17. Dallas *tbin2* 记录和文件格式

寻找用户代码

DS80C410 ROM固件通过搜索特定标识字节来寻找有效的用户代码。首先，检查内部RAM中的地址C000h。如果没有成功，ROM在存储器每个 64kB块的开始位置进行搜索。搜索开始于地址C00000h，向下递减搜索 64kB，直到找到执行代码或出现错误为止（搜索止于 000000h）。寻找用户代码例程判断存储器块是否是有效的执行代码，该代码必须以图 18所示的标识字节进行标识。

图18. 用户代码标识 (寻找用户代码所需要的)



一旦找到一个有效标识后，检查偏移为 6 的标识字节，即图 18中的段地址，以判断是否应将执行控制立即转移还是继续搜索。如果段地址字节等于 00h或与被检查的 64kB块的高地址字节匹配，则执行用户代码。如果段地址字节不匹配，则该段地址字节用于决定被检查的下一个存储器块，以寻找有效标识。

导出 ROM 功能

DS80C410 ROM固件的多种功能可由用户应用程序访问。为使用户应用程序能够调用特定功能，必须知道该功能的位置。每个DS80C410 ROM功能的绝对地址必须从一个导出表 (同样在ROM中) 中读出。为便于实现未来ROM固件结构灵活的修改和完善，导出表本身并没有固定地址，而是采用一个地址固定的 3 字节指针指向导出表，指针地址为FF0002h (XSB), FF0003h (MSB) 和FF0004h (LSB)。导出表的第一个三字节是导出表中功能入口的数量，之后每三个字节是一个ROM功能的绝对地址。这样，一旦找到导出表地址，则可用功能/结构 (表 16)索引寻找某一功能的绝对地址 (功能地址 = ExportTable[Index x 3])。图 19为定位导出表和特定ROM功能的方法。表 16是ROM导出表的内容。TCP/IP堆栈、套接字层和任务管理器所提供功能的简要说明在该表之后，详细说明和它的ROM功能在高速微控制器用户指南: 网络微控制器补充资料(English only)中。

图19. 定位导出 ROM 功能

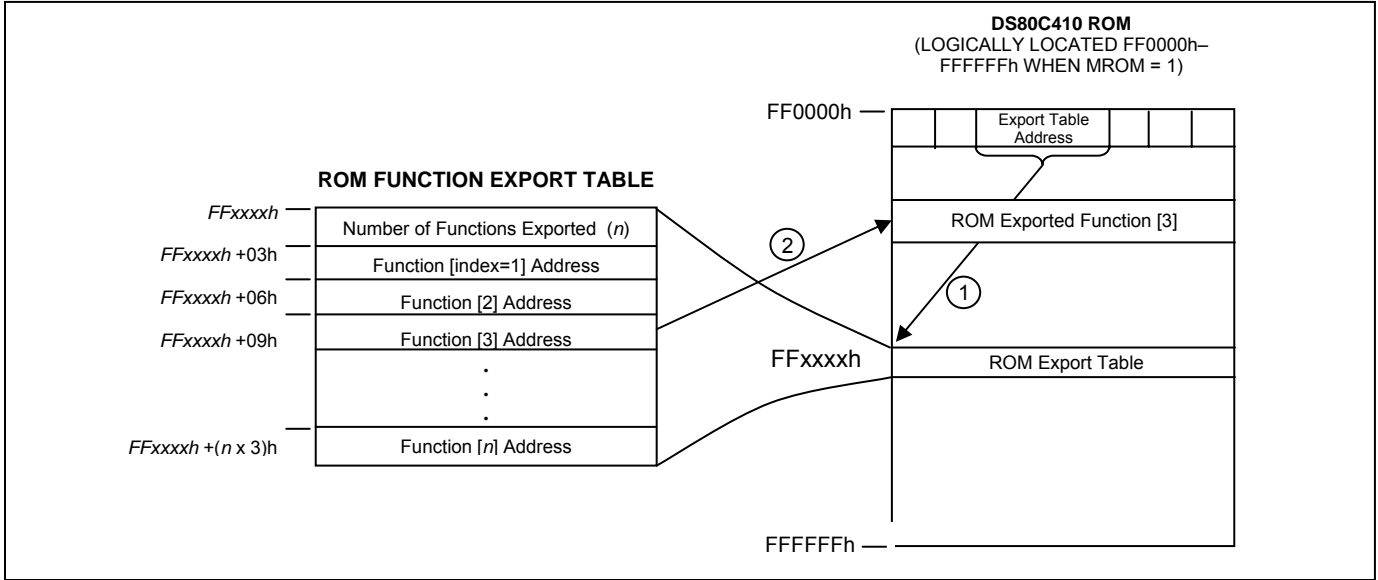


表16. ROM 导出表

INDEX	FUNCTION	DESCRIPTION/GROUP
0	Num_Fn,0,0	Number of functions following in the table
1	crc16	Utility functions
2	mem_clear	
3	mem_copy	
4	mem_compare	
5	add_dptr0	
6	add_dptr1	
7	sub_dptr0	
8	sub_dptr1	
9	getpseudorandom	
10	rom_kernelmalloc	Memory manager
11	rom_kernelfree	
12	rom_malloc	
13	rom_malloc_dirty	
14	rom_free	
15	rom_deref	
16	rom_getfreeram	
17	socket	Socket functions
18	closesocket	
19	sendto	
20	recvfrom	
21	connect	
22	bind	
23	listen	
24	accept	
25	recv	
26	send	
27	getsockopt	
28	setsockopt	
29	getsockname	
30	getpeername	
31	cleanup	
32	avail	
33	join	
34	leave	
35	ping	
36	getnetworkparams	
37	setnetworkparams	
38	getipv6params	
39	getethernetstatus	
40	getftpserver	
41	setftpserver	
42	eth_processinterrupt	Ethernet interrupt handler
43	arp_generaterequest	Generates ARP request
44	MAC_ID	Pointer to MAC ID
45	dhcp_init	DHCP functions
46	dhcp_setup	
47	dhcp_startup	
48	dhcp_run	
49	dhcp_status	
50	dhcp_stop	
51	rom_dhcp_notify	
52	tftp_init	TFTP functions
53	tftp_first	
54	tftp_next	
55	TFTP_MSG	
56	task_genesis	Task scheduler functions
57	task_getcurrent	
58	task_getpriority	
59	task_setpriority	
60	task_fork	

INDEX	FUNCTION	DESCRIPTION/GROUP
61	task_kill	
62	task_suspend	
63	task_sleep	
64	task_signal	
65	rom_task_switch_in	
66	rom_task_switch_out	
67	EnterCriticalSection	Enter/Leave critical section
68	LeaveCriticalSection	
69	rom_init	Initialization functions
70	rom_copyivt	
71	rom_redirect_init	
72	mm_init	
73	km_init	
74	ow_init	
75	network_init	
76	eth_init	
77	init_sockets	
78	tick_init	
79	WOS_Tick	Timer interrupt handler
80	BLOB	Start address of the memory area ignored by NetBoot
81	WOS_IOPoll	Asynchronous TCP/IP maintenance functions
82	IP_ProcessReceiveQueues	
83	IP_ProcessOutput	
84	TCP_RetryTop	
85	ETH_ProcessOutput	
86	IGMP_GroupMaintenance	
87	IP6_ProcessReceiveQueues	
88	IP6_ProcessOutput	
89	PARAMBUFFER	Pointer to parameter buffer
90	RAM_TOP	Address of pointer to end of RAM used by NetBoot
91	BOOT_MEMBEGIN	
92	BOOT_MEMEND	
93	OWM_First	1-Wire master functions
94	OWM_Next	
95	OWM_Reset	
96	OWM_Byte	
97	OWM_Search	
98	OWM_ROMID	
99	Autobaud	Serial port 0 baud rate detection
100	tftp_close	
Note: Index 101 and higher only available on DS80C410 or ROM 1.2.0 and newer		
101	ROM_NetBoot	Entry point to NetBoot function
102	task_switcher	Address of default task switcher
103	Tick_CalculateReload	Function that computes values required for millisecond timer
104	OWM_ProbeClock	1-Wire master functions
105	OWM_CalculateDivisor	
106	Info_SendString	Debug port functions
107	Info_SendTwoHex	
108	Info_ConvHex	
109	Info_SendCRLF	
110	Copyright	Locations of copyright strings
111	AllRightsReserved	
112	Util_PseudoRand	Pseudo random function
113	Flash_SectorErase	AMD Flash functions
114	Mem_WriteXRAM	
115	ARP_GenerateRequest	ARP support for ZeroConf
116	ARP_CheckCache	
117	NetNat_Subnet_to_Prefix	Calculates subnet length
118	unbind	Socket function
119	Math_Mul1024	Math functions
120	Math_Div2	
121	Math_Div1024	

INDEX	FUNCTION	DESCRIPTION/GROUP
122	Math_LongDiv1024	
123	task_suspend_nc	Task scheduler functions
123	task_sleep_nc	
124	UDP_TestReceive	Socket function
125	ETH_ReadMII	Ethernet MAC functions
126	ETH_WriteMII	
127	ETH_ReadCSR	
128	ETH_WriteCSR	
129	IP_CheckHeader	IP stack functions
130	IP_PacketReceived	

TCP/IP 堆栈和 Berkeley 套接字

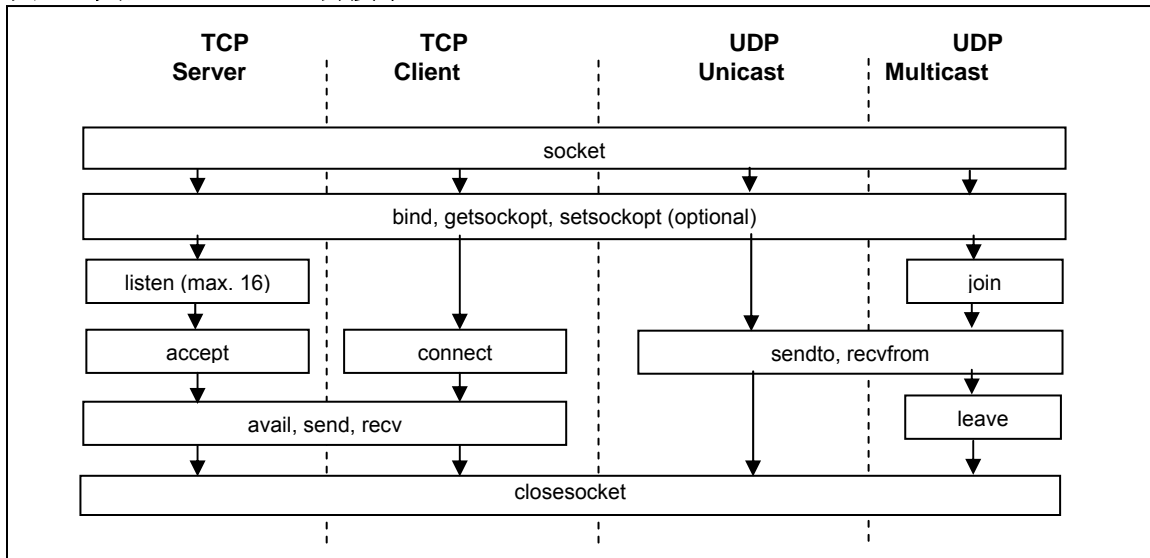
ROM固件通过工业标准/Berkeley套接字接口来实现TCP/IP以太网联网。堆栈支持TCP和UDP传送协议，最多允许24个IPv4或IPv6客户/服务器套接字。[表 17](#)列出了ROM固件中可被访问的套接字功能。每个套接字功能的详细说明在[高速微控制器用户指南: 网络微控制器补充资料\(English only\)](#)中。

[图 20](#)是使用TCP/UDP客户/服务器套接字的典型序列。IPv4支持多播、ICMP回应请求 (“ping”)、DHCP客户以及TFTP客户。但是，它不允许IP数据包分段或重组，并忽略扩展IP选项。IPv6支持ICMP和TFTP客户协议。

表17. 套接字功能

FUNCTION	DESCRIPTION
socket	Creates the specified TCP or UDP network socket
closesocket	Closes the specified socket
sendto	Sends a UDP datagram to the specified address
recvfrom	Receives a UDP datagram
connect	Connects a TCP socket to the specified address
bind	Binds a socket to the specified address, port
listen	Listens for connections on the specified socket
accept	Accepts a TCP connection on the specified socket
recv	Reads data from the specified TCP socket connection
send	Sends data to the specified TCP socket connection
getsockopt	Gets options for the specified socket
setsockopt	Sets options for the specified socket
getsockname	Gets current local address for the specified socket
getpeername	Gets current remote address for the specified TCP socket
cleanup	Closes all sockets associated with the specified task ID
avail	Returns the number of bytes available for reading on the specified TCP socket
join	Adds the specified UDP socket to a specified multicast group
leave	Removes the specified UDP socket from a specified multicast group
ping	Sends ICMP echo request to the specified address
setnetworkparams	Sets the IPv4 address and configuration parameters
getnetworkparams	Gets the IPv4 address and configuration parameters
getipv6params	Gets the IPv6 address
getethernetstatus	Gets the status of the Ethernet link
gettftpserver	Gets the IP address of the TFTP server
settftpserver	Sets the IP address of the TFTP server

图20. 典型 TCP/UDP 套接字



任务调度

DS80C410 ROM 固件采用基于优先级的抢先式任务调度。每个任务在任务环中通过相应任务控制模块 (TCB) 表示。TCB 含有特定任务的关键信息，如 ID、优先级、事件屏蔽位、唤醒时间，状态信息以及下一任务的指针。除非由于处理中断产生延时，调度程序使用定时器大约每 4ms 运行一次 (晶振频率为 18.432MHz)。调度程序支持的任务数量不受限制，可迅速方便的进行添加、删除或修改。但应认识到增加任务数量也就增加了调度程序在任务环中搜索和对优先级排序的时间。高速微控制器用户指南: 网络微控制器补充资料(English only)提供关于任务调度程序及其功能更详细的信息。

控制局域网 (CAN) 模块

DS80C410 含有一个与 CAN 2.0B 规范完全兼容的 CAN 控制器。DS80C411 不提供 CAN 控制器功能。CAN 是功能强大的高性能串行通信协议。CAN 体系结构广泛应用于汽车、医疗、供暖、通风和工业控制领域，能够以最少的外部硬件来构建复杂的网络。

CAN 控制器支持使用 11 位标准或 29 位扩展接收标识符，用于多达 15 个消息，每个消息含标准的 8 字节数据域。15 个消息中心中的 14 个可在发送或接收模式下编程，第 15 个作为 FIFO 缓冲的单接收消息中心，用于防止出现数据过载。所有的消息中心都具有两个分开的 8 位介质屏蔽和介质仲裁域，用于对接收消息的验证。该功能支持使用高级协议，这些协议使用数据第一个和/或第二个字节作为接收层的一部分来存储接收消息。每个消息中心能够单独编程来使用或不使用全局屏蔽以测试接收数据。

CAN 单元的全局控制和状态寄存器允许微控制器评估错误消息、产生中断、定位并验证新数据、建立 CAN 总线时序、建立标识屏蔽位，以及确认每个消息源。每个消息中心分别设置所需的状态和控制位来控制方向、标识符模式 (标准或扩展)、数据域的容量、数据状态、自动远端帧请求和应答，以及执行屏蔽或非屏蔽识别-接收测试。

与 CAN 模块的通信

微控制器与 CAN 模块通信的接口寄存器分为两组。所有全局的 CAN 状态和控制位以及每个消息中心的控制/状态寄存器都位于 SFR 中。其它与消息中心相关的寄存器 (数据标识、标识/仲裁屏蔽、格式和数据) 位于 MOVX 数据区。对于 DS80C410，消息中心位于 FFDB00h–FFDBFFh 的固定地址。当正确设置 CMA 位访问 CAN MOVX 存储器时，DS80C410 的内部体系结构要求器件处于两种 24 位寻址模式之一。专门的锁定功能防止当 CAN 工作时，控制、状态和屏蔽寄存器意外被软件破坏。每个 CAN 控制器采用全部的 15 个消息中心。每个消息中心由以下 4 个特定区域构成：

- 1) 4 个仲裁寄存器 (C0MxAR0-3)，用来存储 11 位或 29 位仲裁数值，位于 MOVX 存储器中。
- 2) 格式寄存器 (C0MxF) 用于通知 CAN 控制器方向 (发送或接收)、消息中的数据字节数量、标识格式 (标准或扩展)，以及消息评估过程中是否选择标识屏蔽和介质屏蔽。位于 MOVX 存储器中。
- 3) 存储 0 至 8 字节数据的 8 个数据字节 (C0MxD0–7) 位于 MOVX 存储器中。
- 4) 消息控制寄存器 (C0MxC) 位于 SFR 存储器中，可快速访问。

除第 15 个消息中心以外，每个消息中心都一样。第 15 个消息中心设计只用于接收，也同样通过使用两消息 FIFO 进行缓冲，以防止消息过载时出现丢失。在前两个消息任何一个被读取前收到第三个消息，第二个消息将被覆写，而第一个消息不被改变。

通过SWINT位来防止位于MOVX存储器中的CAN寄存器被修改。请参考高速微控制器用户指南: 网络微控制器补充资料(English only)中关于该位的详细说明。CAN模块含有一个控制/状态/屏蔽寄存器模块、14 个功能相同的消息中心, 以及第 15 个带缓冲FIFO的仅接收消息中心。表 18描述了位于MOVX存储器的消息中心结构。

表18. CAN 控制器 MOVX 存储器映射

CONTROL/STATUS/MASK REGISTERS									
REGISTER	7	6	5	4	3	2	1	0	MOVX DATA ADDRESS
C0MID0	MID07	MID06	MID05	MID04	MID03	MID02	MID01	MID00	FFDB00h
C0MA0	M0AA7	M0AA6	M0AA5	M0AA4	M0AA3	M0AA2	M0AA1	M0AA0	FFDB01h
C0MID1	MID17	MID16	MID15	MID14	MID13	MID12	MID11	MID10	FFDB02h
C0MA1	M1AA7	M1AA6	M1AA5	M1AA4	M1AA3	M1AA2	M1AA1	M1AA0	FFDB03h
C0BT0	SJW1	SJW0	BPR5	BPR4	BPR3	BPR2	BPR1	BPR0	FFDB04h
C0BT1	SMP	TSEG26	TSEG25	TSEG24	TSEG13	TSEG12	TSEG11	TSEG10	FFDB05h
C0SGM0	ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	FFDB06h
C0SGM1	ID20	ID19	ID18	0	0	0	0	0	FFDB07h
C0EGM0	ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	FFDB08h
C0EGM1	ID20	ID19	ID18	ID17	ID16	ID15	ID14	ID13	FFDB09h
C0EGM2	ID12	ID11	ID10	ID9	ID8	ID7	ID6	ID5	FFDB0Ah
C0EGM3	ID4	ID3	ID2	ID1	ID0	0	0	0	FFDB0Bh
C0M15M0	ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	FFDB0Ch
C0M15M1	ID20	ID19	ID18	ID17	ID16	ID15	ID14	ID13	FFDB0Dh
C0M15M2	ID12	ID11	ID10	ID9	ID8	ID7	ID6	ID5	FFDB0Eh
C0M15M3	ID4	ID3	ID2	ID1	ID0	0	0	0	FFDB0Fh
CAN 0 MESSAGE CENTER 1									
	RESERVED								FFDB10h–11h
C0M1AR0	CAN 0 MESSAGE 1 ARBITRATION REGISTER 0								FFDB12h
C0M1AR1	CAN 0 MESSAGE 1 ARBITRATION REGISTER 1								FFDB13h
C0M1AR2	CAN 0 MESSAGE 1 ARBITRATION REGISTER 2								FFDB14h
C0M1AR3	CAN 0 MESSAGE 1 ARBITRATION REGISTER 3							WTOE	FFDB15h
C0M1F	DTBYC3	DTBYC2	DTBYC1	DTBYC0	T/R	EX/ST	MEME	MDME	FFDB16h
C0M1D0–7	CAN 0 MESSAGE 1 DATA BYTES 0 to 7								FFDB17h–1Eh
	RESERVED								FFDB1Fh
CAN 0 MESSAGE CENTERS 2 to 14									
	MESSAGE CENTER 2 REGISTERS (similar to Message Center 1)								FFDB20h–2Fh
	MESSAGE CENTER 3 REGISTERS (similar to Message Center 1)								FFDB30h–3Fh
	MESSAGE CENTER 4 REGISTERS (similar to Message Center 1)								FFDB40h–4Fh
	MESSAGE CENTER 5 REGISTERS (similar to Message Center 1)								FFDB50h–5Fh
	MESSAGE CENTER 6 REGISTERS (similar to Message Center 1)								FFDB60h–6Fh
	MESSAGE CENTER 7 REGISTERS (similar to Message Center 1)								FFDB70h–7Fh
	MESSAGE CENTER 8 REGISTERS (similar to Message Center 1)								FFDB80h–8Fh
	MESSAGE CENTER 9 REGISTERS (similar to Message Center 1)								FFDB90h–9Fh
	MESSAGE CENTER 10 REGISTERS (similar to Message Center 1)								FFDBA0h–AFh
	MESSAGE CENTER 11 REGISTERS (similar to Message Center 1)								FFDBB0h–BFh
	MESSAGE CENTER 12 REGISTERS (similar to Message Center 1)								FFDBC0h–CFh
	MESSAGE CENTER 13 REGISTERS (similar to Message Center 1)								FFDBD0h–DFh
	MESSAGE CENTER 14 REGISTERS (similar to Message Center 1)								FFDBE0h–EFh
CAN 0 MESSAGE CENTER 15									
—	Reserved								FFDBF0h–F1h
C0M15AR0	CAN 0 MESSAGE 15 ARBITRATION REGISTER 0								FFDBF2h
C0M15AR1	CAN 0 MESSAGE 15 ARBITRATION REGISTER 1								FFDBF3h
C0M15AR2	CAN 0 MESSAGE 15 ARBITRATION REGISTER 2								FFDBF4h
C0M15AR3	CAN 0 MESSAGE 15 ARBITRATION REGISTER 3							WTOE	FFDBF5h
C0M15F	DTBYC3	DTBYC2	DTBYC1	DTBYC0	0	EX/ST	MEME	MDME	FFDBF6h
C0M15D0— C0M15D7	CAN 0 MESSAGE 15 DATA BYTE 0 to 7								FFDBF7h–FEh
	Reserved								FFDBFFh

CAN 中断

DS80C410 为 CAN 控制器提供一个中断。CAN 中断可由 15 个消息中心中任何一个的接收/发送应答或错误条件触发。

每个消息中心具有独立的 ETI (发送) 和 ERI (接收) 中断使能位和 INTRQ 标志位，位于相应的消息控制 (C0MxC) SFR 中。如果消息中心的相应 ETI 或 ERI 位置位，则成功发送或接收到一个消息时，相应消息中心的 INTRQ 位置位。只能由软件清零 INTRQ 位。CAN 模块所有消息中心的中断标志 (INTRQ)位进行“或”运算以产生一个单一的 CAN 控制器中断。全局中断使能位 (IE.7) 和 CAN 0 中断使能位 EIE.6 必须同时置位，微控制器才能应答任一消息中心的中断请求。

与 CAN 模块相关的错误和状态条件中断由 CAN 0 控制 (C0C) SFR 中的 ERIE 和 STIE 位控制。这些中断还需要全局中断使能 (EA = IE.7) 和 CAN 0 中断使能 (C0IE = EIE.6) 位置位才能被微控制器接收。

仲裁和屏蔽

CAN 模块确定接收消息没有错误位后，该消息的标识域与一个或多个仲裁值进行对比，以决定是否将其装入消息中心。按照 1 至 15 的顺序测试每个使能的消息中心 (参见 CAN 消息控制寄存器的 MSRDI 位)。成功通过测试的第一个消息中心接收消息，并结束测试。使用屏蔽寄存器可支持更复杂的标识方案，测试可以根据码型而不用完全匹配标识域和仲裁值的所有位。CAN 控制器使用一组 5 个屏蔽，不同 ID 的消息能够被分组并成功装入一个消息中心；注意，表 19 列出的位中某些屏蔽功能是可选的。

根据所涉及的消息中心，存在几种不同的仲裁测试。如果所有使能的测试均成功，消息被装入到各自的消息中心中。根据 CAN 0 格式寄存器的 EX/ST 位，对所有消息进行的最基本测试对标识域的 11 (CAN 2.0A) 或 29 (CAN 2.0B) 位与相应的仲裁寄存器进行对比。MEME 位 (C0MxF.1) 控制仲裁和 ID 寄存器直接对比还是通过屏蔽寄存器进行对比。一组消息中心 15 专用的仲裁寄存器增加了过滤该位置的灵活性。

如果需要，可以通过对比每个消息数据域前两个字节与两个 8 位介质仲裁寄存器进一步进行仲裁。采用介质 ID 屏蔽寄存器 0-1，可由 CAN 消息中心格式寄存器 (C0MxF.0) 的 MDME 位禁止 (MDME = 0) 或使能 (MDME = 1) 仲裁。

如果成功进行了 11 位或 29 位仲裁和可选介质字节仲裁，则消息被装入消息中心。微控制器使用格式寄存器对每个消息中心编程，通过 T/R 位设置接收或发送模式，以及设置使用消息数据域的 0 至 8 字节。消息中心 15 仅用于接收模式。为避免出现优先级倒置，仲裁丢失或错误条件出现时，DS80C410 CAN 控制器配置为将最高优先级 (最小的消息中心号) 的消息重新装入到发送缓冲。

表19. 仲裁/屏蔽功能总结

TEST NAME	ARBITRATION REGISTERS	MASK REGISTERS	CONTROL BITS AND CONDITIONS
Standard 11-bit Arbitration (CAN 2.0A)	Message Center Arbitration Registers 0–1 (Located in each message center, MOVX memory)	Standard Global Mask Registers 0–1 (Located in CAN control/status/mask register bank, MOVX memory)	EX/ST = 0 MEME = 0: Mask register ignored. ID and arbitration register must match exactly. MEME = 1: Only bits corresponding to 1 in mask register are compared in ID and arbitration registers.
Extended 29-bit Arbitration (CAN 2.0B)	Message Center Arbitration Registers 0–3 (Located in each message center, MOVX memory)	Extended Global Mask Registers 0–3 (Located in CAN control/status/mask register bank, MOVX memory)	EX/ST = 1 MEME = 0: Mask register ignored. ID and arbitration register must match exactly. MEME = 1: Only bits corresponding to 1 in mask register are compared in ID and arbitration registers.
Media Byte Arbitration	Media Arbitration Registers 0–3 (Located in CAN control/status/mask register bank, MOVX memory)	Media ID Mask Registers 0–1 (Located in CAN control/status/mask register bank, MOVX memory)	MDME = 0: Media byte arbitration disabled. MDME = 1: Only bits corresponding to 1 in Media ID mask register are compared between data bytes 1 and 2 and Media arbitration registers.
Message Center 15, Standard 11-bit Arbitration (CAN 2.0A)	Message Center 15 Arbitration Registers 0–1 (Located in message center 15, MOVX memory)	Message Center 15 Mask Registers 0–1 (Located in CAN control/status/mask register bank, MOVX memory)	EX/ST = 0 MEME = 0: Mask register ignored. ID and arbitration register must match exactly. MEME = 1: Message center 15 mask registers are ANDed with Global Mask register. Only bits corresponding to 1 in resulting value are compared in ID and arbitration registers.
Message Center 15, Extended 29-bit Arbitration (CAN 2.0B)	Message Center 15 Arbitration Registers 0–3 (Located in message center 15, MOVX memory)	Message Center 15 Mask Registers 0–3 (Located in CAN control/status/mask register bank, MOVX memory)	EX/ST = 1 MEME = 0: Mask register ignored. ID and arbitration register must match exactly. MEME = 1: Message center 15 mask registers are ANDed with Global Mask register. Only bits corresponding to 1 in resulting value are compared in ID and arbitration registers.

消息缓冲/覆写

如果消息中心被配置为接收 ($T\bar{R} = 0$)，并且前一消息还没有被读入 ($DTUP = 1$)，那么，该消息中心接收消息的处理由 WTOE 位 (位于每个消息中心的 CAN 仲裁寄存器 3 中) 进行控制。当 WTOE = 0 时，丢弃接收消息，不改变当前消息。

如果 WTOE 位置位，则接收接收消息，覆写该消息中心已有的数据字节。位于 SFR 存储器中相应消息中心控制寄存器的接收器覆写位 (ROW) 也被置位。

消息中心 15 比较独特，其缓冲可最多接收两个消息而不丢失。如果消息中心 15 含有一个没有读取的消息，同时接收到另一个消息，则新接收的消息保存在一个内部缓冲中。当 CAN 控制器读取消息中心 15 的存储器，然后清除 $DTUP = INTRQ = EXTRQ = 0$ 后，内部缓冲的内容被自动装入消息中心 15 MOVX 存储器中。

当消息中心 15 MOVX 存储器和缓冲都含有没有读取的消息，接收到第三个消息时，则由消息中心 15 WTOE 位控制如何处理。如果 WTOE = 0，则丢弃新消息，对消息中心 15 MOVX 存储器和缓冲不做改动。如果 WTOE = 1，第三个消息覆写缓冲中的消息，但对消息中心 15 MOVX 存储器不作改动。

产生错误计数器中断

当发送或接收错误计数器探测到 96 个或 128 个错误后，CAN 模块能够向微控制器进行报警。错误计数选择位 ERCS (C0C.1) 选择错误上限为 96 (ERCS = 0) 还是 128 (ERCS = 1)。当超过错误上限时，CAN 错误计数超限位 CECE (C0S.6) 置位。如果设置了 ERIE, C0IE 和 EA SFR 位，则产生一个中断。如果 ERCS 置位，中断已使能，当 CECE 位置位或清零时，器件产生一个中断。

位时序

可以根据 CAN 2.0B 规范调整 CAN 传输的位时序。位于 MOVX 存储器控制/状态/屏蔽寄存器模块中的 CAN 0 总线时序寄存器 0 (C0BT0) 控制 PHASE_SEG1 和 PHASE_SEG2 时间以及波特率预设比例因子 (BPR5–BPR0)。CAN 0 总线时序寄存器 1 (C0BT1) 控制采样率和分配给相位 1 和 2 部分的时钟周期数。微控制器软件每次将 SWINT 位由 1 修改为 0 时，总线时序寄存器值自动装入 CAN 控制器。必须在 CAN 控制器开始工作之前设置位时序参数。仅当 CAN 控制器不在总线关闭模式，清除系统复位或 CAN 复位后的软件初始化过程中 (SWINT = 1)，这些寄存器可被修改。为避免 CAN 控制器出现无法预知的行为，当 TSEG1 和 TSEG2 均被清零时，软件不能清零 SWINT 位。

1-Wire 总线主机

DS80C410 的 1-Wire 总线主机支持与外部 1-Wire 器件通信。总线主机完全控制 1-Wire 总线，可在 CPU 最少干预下处理发送 (Tx)/接收 (Rx)。所有总线时序和控制序列均由总线主机产生。通过读/写 1-Wire 主机地址 (OWMAD; EEh) 和 1-Wire 主机数据 (OWMDR; EFh) SFR，实现 CPU 与总线主机间的通信。当 1-Wire 总线操作需要 CPU 提供服务时，总线主机设置相应状态位，向 CPU 发送中断请求。如果已使能 1-Wire 总线主机中断，CPU 根据已分配的优先级来处理该请求。1-Wire 总线主机支持位拆分、搜索 ROM 加速器和高速模式。关于 1-Wire 总线的详细操作可参考 *The Book of iButton Standards* (www.maxim-ic.com.cn/iButtonBook)。

与总线主机进行通信

微控制器通过两个 SFR，1-Wire 主机地址 (OWMAD; EEh) 寄存器和 1-Wire 主机数据 (OWMDR; EFh) 寄存器，实现与 1-Wire 总线主机的接口。这两个寄存器支持对 1-Wire 总线主机 6 个内部寄存器的读/写访问。CPU 能够通过内部寄存器配置和控制总线主机发送/接收。

OWMAD SFR 的三个最低有效位 (A2:A0) 指定被访问的内部寄存器地址。OWMDR SFR 用于对特定内部寄存器位的读/写访问。除中断标志寄存器 (xxxxx010b) 以外，可对所有内部寄存器进行读/写操作。中断标志寄存器的中断状态标志只能读取。注意，对 Tx/Rx 缓冲寄存器 (xxxxx001b) 的所有写操作写入 Tx 缓冲，所有读操作则从 Rx 缓冲读取数据。1-Wire 总线主机内部寄存器映射如表 20 所示。

表 20. 1-Wire 总线主机内部寄存器映射

REGISTER ADDRESS/ FUNCTION	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
000 Command	—	—	—	—	OW_IN	FOW	SRA	1WR
001 Tx/Rx Buffer	D7	D6	D5	D4	D3	D2	D1	D0
010 Interrupt Flag	OW_LOW	OW_SHORT	RSRF	RBF	TEMT	TBE	PDR	PD
011 Interrupt Enable	EOWL	EOWSH	ERSF	ERBF	ETMT	ETBE	—	EPD
100 Clock Divisor	CLK_EN	—	—	DIV2	DIV1	DIV0	PRE1	PRE0
101 Control	EOWMI	OD	BIT_CTL	STP_SPLY	STPEN	EN_FOW	PPM	LLM

*如果 A2:A0 的值与表中列出的不同，则被认为是无效地址，并且不被总线主机支持。当 OWMAD 含有一个无效地址时，读取 OWMDR 返回一个无效数据，写入 OWMDR 不改变内部寄存器内容。

时钟控制

采用 1.0MHz 基本时钟来产生所有的 1-Wire 时序。要为 1-Wire 总线主机产生该基本时钟频率，微控制器系统时钟必须进行内部分频。时钟分频内部寄存器控制时钟分频和生成。预设比例因子位 (PRE1:PRE0) 设置为 00b, 01b, 10b 和 11b 时，微控制器系统时钟分别进行 1, 3, 5 或 7 分频。分频位 (DIV2:DIV0) 控制该电路，然后对预设比例因子的输出进行 1, 2, 4, 8, 16, 32, 64 或 128 分频。CLK_EN 位 (时钟分频寄存器第 7 位) 使能或禁止时钟生成电路。CLK_EN 设置为逻辑 1 使能时钟生成电路，清零将禁止时钟生成电路。进行任何的 1-Wire 通信之前，必须正确的配置时钟分频寄存器。对于给定的微控制器系统时钟，表 21 列出了 PRE1:PRE0 和 DIV2:DIV0 寄存器位的正确设置。注意，时钟生成电路需要微控制器系统时钟在 3.2MHz 至 75MHz 之间，最佳占空比为 50%。

表21. 时钟分频寄存器设置

SYSTEM CLOCK FREQUENCY (MHz)		DIVIDER RATIO	DIV2:DIV0	DIVIDE BITS SELECTION	PRE1:PRE0	PRESCALER BITS SELECTION
MIN	MAX					
4.0	< 5.0	4	010	4	00	1
5.0	< 6.0	5	000	1	10	5
6.0	< 7.0	6	001	2	01	3
7.0	< 8.0	7	000	1	11	7
8.0	< 10.0	8	011	8	00	1
10.0	< 12.0	10	001	2	10	5
12.0	< 14.0	12	010	4	01	3
14.0	< 16.0	14	001	2	11	7
16.0	< 20.0	16	100	16	00	1
20.0	< 24.0	20	010	4	10	5
24.0	< 28.0	24	011	8	01	3
28.0	< 32.0	28	010	4	11	7
32.0	< 40.0	32	101	32	00	1
40.0	< 48.0	40	011	8	10	5
48.0	< 56.0	48	100	16	01	3
56.0	< 64.0	56	011	8	11	7
64.0	75.0	64	110	64	00	1

发送和接收数据

所有 1-Wire 总线主机发送和接收数据都要通过发送/接收数据缓冲 (内部寄存器地址 xxxxx001b)。数据缓冲是发送和接收缓冲分开的双缓冲。向数据缓冲写入数据将发送缓冲连至数据总线，读取数据将接收缓冲连接至数据总线。

发送接口的数据缓冲由发送缓冲和发送移位寄存器组成。每个寄存器都含有一个可用作中断源的标志。当发送缓冲空并准备接收来自用户的新数据字节时，发送缓冲空 (TBE) 标志置位。一旦数据字节写入到发送缓冲后，TBE 被清零。移位寄存器没有数据并准备装入来自发送缓冲的新数据字节时，发送移位寄存器空 (TEMT) 标志置位。当一个字节数据送至发送移位寄存器时，TEMT 清零，TBE 置位。

要在 1-Wire 总线上发送一个字节的数据，需要用户将数据写入发送缓冲。数据被送至发送移位寄存器，低有效位在前，逐位移出到 1-Wire 总线。当发送移位寄存器清空后，新数据由发送缓冲 (如果有) 传入，重复串行过程。注意，1-Wire 协议要求任何总线通信前，进行一次复位。

接收接口的数据缓冲包括接收缓冲和接收移位寄存器。接收寄存器也可以产生中断。数据开始移位进入寄存器时，接收移位寄存器满 (RSRF) 标志置位，当接收移位寄存器清空时，该标志清零。当数据由接收移位寄存器送至接收缓冲时，接收缓冲满 (RBF) 标志置位，CPU 读取寄存器后清零。如果 RBF 置位，接收移位寄存器接收到另一个字节数据，接收移位寄存器保持新字节，直到用户读取接收缓冲为止，然后清零 RBF 标志。这样，如果 RSRF 和 RBF 均被置位，则 1-Wire 总线上不应再传输数据，否则，接收移位寄存器中的字节将被下一接收数据覆写而造成数据丢失。

要读取从机器件数据，总线主机必须首先根据 CPU 在命令寄存器中设置的命令准备好发送数据。从总线上读取数据的方式与写操作相似。CPU 通过将 FFh 数据写入发送缓冲来启动一个读操作。进入接收移位寄存器的数据是总线主机发送数据 (FFh) 和从机器件发送数据的“线与”。当接收移位寄存器满后，数据被传送至接收缓冲 (如果 RBF = 0)，在此可被 CPU 读取。通过再次发送 FFh 可以读取其它字节。如果从机器件没有准备好响应读请求，那么总线主机接收到的数据与发送的 (FFh) 数据相同。

总线主机命令

除发送和接收数据外，1-Wire总线主机还可以在 1-Wire上产生特殊命令。通过设置命令寄存器 (xxxxx000h) 中相应的位来产生这些命令。这些工作模式在网站www.maxim-ic.com.cn/iButtonBook上的 *The Book of iButton Standards* 中进行了定义。

1WR (第 0 位): 1-Wire 复位。将该位设置为逻辑 1 产生 1-Wire 总线复位，该操作必须在总线上的任何其它命令之前执行。置位该位自动清除 SRA 位。1-Wire 总线复位完成后，1WR 位被自动清零。复位完成并且 1-Wire 复位时间已经足够长后，总线主机置位应答探测中断标志 (PD)。1-Wire 复位结果放在中断寄存器位 PDR 中。如果接收到一个应答探测脉冲，则 PDR 被清零，否则，置位。

SRA (第 1 位): 搜索ROM加速器。将该位设置为逻辑 1 使总线主机进入搜索ROM加速器模式，以加速完成搜索ROM的过程。搜索ROM过程的主要原理是当连接到总线上的从机器件ROM ID某一位发生冲突时，取消其中的一个器件。采用搜索ROM过程，总线主机最终能够知道连接在 1-Wire总线上每个器件的ROM ID。在搜索ROM过程中，为防止CPU进行过多的位处理，可调用搜索ROM加速器模式，使CPU能够发送 16 字节的数据来完成一次搜索ROM。详细的搜索ROM算法在 *The Book of iButton Standards*中，也可以在 *高速微控制器用户指南: 网络微控制器补充资料 (English only)*中找到。

FOW (第 2 位): 强制 OW 线置低。将该位设置为逻辑 1，并且控制寄存器中的 EN_FOW 位也被置为逻辑 1，将使 OW 线输出低电平。当 EN_FOW 位被清零时，FOW 位对 OW 线没有影响。

OW_IN (第 3 位): OW 线输入。该位反映 OW 线当前逻辑状态。

总线主机控制

1-Wire 总线主机可执行某些特殊功能来支持 OW 线操作。这些特殊功能可通过控制寄存器 (xxxxx101h) 进行配置。

LLM (第 0 位): 长线模式。该位用于使能长线模式时序。将该位设置为逻辑 1 可将标准模式通信过程中“写 1”释放和数据采样移至 8 μ s 和 22 μ s。恢复时间延长至 14 μ s。降低了对长线传输环境的严格要求。该位清零使“写 1”释放、数据采样和恢复时间 (在标准模式通信过程中) 分别为 5 μ s、15 μ s 和 10 μ s。

PPM (第 1 位): 应答脉冲屏蔽。该位用于使能/禁止应答脉冲屏蔽功能。该位设置为逻辑 1 使总线主机在 1-Wire 复位过程中初始化应答脉冲。使主机能够防止从机器件将 OW 线拉低而造成大量振铃。如果 PPM 位置位，在中断标志寄存器中的 PDR 结果位始终置位，以指示从机器件出现在 OW 线上(即使没有)。清零 PPM 位禁止应答脉冲屏蔽功能。

EN_FOW (第 2 位): 强制 OW 使能。将 EN_FOW 位设置为逻辑 1 使总线主机能够采用 FOW (命令寄存器的第 2 位) 将 OW 线强制置低。清零 EN_FOW 则禁止 FOW 位。

STPEN (第 3 位): 强上拉使能。将 STPEN 位设置为逻辑 1 将使能 $\overline{\text{OWSTP}}$ 输出引脚功能。 $\overline{\text{OWSTP}}$ 引脚用作外部强上拉器件的使能信号。该功能用于满足高速模式和长线标准通信中对恢复时间的要求。使能 (STPEN = 1) 时, 只要主机没有将 OW 线拉低, 或在通信过程中等待读取来自从机的数据, 那么 $\overline{\text{OWSTP}}$ 进入低电平有效状态。一旦完成通信过程, $\overline{\text{OWSTP}}$ 输出被释放。注意, 当主机处于空闲状态时, STP_SPLY 位也必须置为逻辑 1 (而且 STPEN = 1) 以使 $\overline{\text{OWSTP}}$ 引脚保持在低电平有效状态。清除 STPEN 位至逻辑 0 禁止所有的 $\overline{\text{OWSTP}}$ 引脚功能。

STP_SPLY (第 4 位): 强上拉供电模式。当使能 $\overline{\text{OWSTP}}$ 引脚 (STPEN = 1), 主机处于空闲状态时, 将 STP_SPLY 位设置为逻辑 1 将使 $\overline{\text{OWSTP}}$ 引脚维持低电平有效输出。当 $\overline{\text{OWSTP}}$ 信号控制外部 P 沟道上拉时, STP_SPLY = 1 可用于向需要大电流工作的从机器件提供恒压源。当主机空闲时, 该位清零将禁止 $\overline{\text{OWSTP}}$ 脚上的强上拉。当禁止 $\overline{\text{OWSTP}}$ 引脚 (STPEN = 0) 时, 该位不起作用。

BIT_CTL (第 5 位): 位拆分模式。将该位设置为逻辑 1 使主机进入位拆分模式。在位拆分模式, 只有发送/接收寄存器最低有效位被发送或接收后才产生相应中断标志(标志操作结束)前。该位清零, 则总线主机工作在字节边界模式。

OD (第 6 位): 高速模式。将该位设置为逻辑 1 使主机进入高速模式, 能够改变总线主机时序, 以匹配 *The Book of iButton Standards* 中阐述的高速模式 1-Wire 时序。清零 OD 使主机采用标准模式时序工作。

EOWMI (第 7 位): 使能 1-Wire 主机中断。将该位设置为逻辑 1 使 1-Wire 主机的任何 1-Wire 中断源都可以向 CPU 发送中断请求, 这些中断源已经分别在中断使能寄存器 (xxxx011b) 中被使能。由于 1-Wire 中断和外部中断 5 共享同一个中断标志位 (IE5; EXIF.7), 因此, 二者不能同时使用。使能 1-Wire 中断将禁止外部中断 5。

1-Wire 中断

当出现多个 1-Wire 事件或条件时, 可配置 1-Wire 总线主机向 CPU 发送中断请求。这些事件包括: 应答探测、发送缓冲空、发送移位寄存器空、接收缓冲满、接收移位寄存器满、1-Wire 短路、1-Wire 低。每一可能的 1-Wire 中断源都具有相应的使能位和标志位。当出现相关事件或条件时, 中断标志寄存器 (xxxx010b) 中的标志位置位 (与中断使能位无关)。为保证中断标志能向 CPU 发送中断请求, 中断源对应使能位和 1-Wire 总线主机中断使能位 (EOWMI; 控制寄存器第 7 位), 以及全局中断使能位 (EA; IE.7) 必须都被置为逻辑 1。必须由软件读取中断标志寄存器清除 1-Wire 总线主机中断。[表 22](#)总结了 1-Wire 总线主机的中断源。

表22. 1-Wire 总线主机中断源

INTERRUPT SOURCE	MEANING	ENABLE/FLAG LOCATION (Interrupt Flag Register.x Interrupt Enable Register.x)
Presence Detect	After a 1-Wire reset has been issued, this flag is set after the amount of time for a presence-detect pulse to have occurred. This bit is cleared when the interrupt flag register is read.	Bit 0
Transmit Buffer Empty	This flag is set when the transmit buffer is empty and ready to receive the next byte. This bit is cleared when data is written to the transmit buffer. A read of the interrupt flag register has no effect on this bit.	Bit 2
Transmit Shift Register Empty	This flag is set when the transmit shift register is empty and is ready to load a new byte from the transmit buffer. This bit is cleared when data is transferred from the transmit buffer to the transmit shift register. A read of the interrupt flag register has no effect on this bit.	Bit 3
Receive Buffer Full	This flag is set when there is a byte of data in the receive buffer waiting to be read. This bit is cleared when the receive buffer is read.	Bit 4
Receive Shift Register Full	This flag is set when there is a byte of data in the receive shift register waiting to be transferred to the receive buffer. This bit is cleared when data in the receive shift register is transferred to the receive buffer.	Bit 5
1-Wire Short	This flag is set when the OW line was low before the bus master was able to send out the beginning of a reset or a time slot. A read of the interrupt flag register clears this bit.	Bit 6
1-Wire Low	This flag is set when the OW line is low while the bus master is idle, signaling that a slave device has issued a presence pulse on the OW line. A read of the interrupt flag register clears this bit if the OW line is no longer low while the master is idle.	Bit 7

外设概述 (基本集成系统逻辑)

DS80C410 提供基于控制器系统的多个常用外设。DS80C410 提供三个串口、4 个定时器、一个可编程看门狗定时器、电源失效复位探测和一个电源失效中断标志。这些外设的说明如下，更详细的资料可参考 [高速微控制器用户指南\(English only\)](#) 和 [高速微控制器用户指南: 网络微控制器补充资料\(English only\)](#)。

串口

微控制器提供的串口 (UART) 与 80C52 相同。其它两个硬件串口与第一个完全相同。第二个端口可选用引脚 P1.2 (RXD1) 和 P1.3 (TXD1)。第三个端口可选用引脚 P6.6 (RXD2) 和 P6.7 (TXD2)。三个串口中每一个的功能都由 [表 23](#) 所示的 SFR 和位控制。

表23. 串口 SFR

SERIAL PORT FUNCTION CONTROL	SERIAL PORT 0	SERIAL PORT 1	SERIAL PORT 2
Control Register	SCON0	SCON1	SCON2
Input/Output Data Buffer	SBUF0	SBUF1	SBUF2
Baud Rate Doubler Bit	PCON.7	WDCON.7	T3CM.4
Framing Error-Detection Enable	PCON.6	PCON.6	PCON.6
Slave Address Mask Enable	SADEN0	SADEN1	SADEN2
Slave Address	SADDR0	SADDR1	SADDR2

三个串口可同时工作，可配置为不同的波特率或不同模式。当定时器用于产生波特率时，串口 1 必须使用定时器 1，串口 2 必须使用定时器 3，而串口 0 可以使用定时器 1 或定时器 2。请参考 [高速微控制器用户指南\(English only\)](#) 中对串口工作模式的完整说明。

定时器

微控制器提供 4 个通用定时器/计数器。定时器 0, 1 和 3 具有三个共同工作模式。三个中的每一个都可以用作 13 位定时器/计数器、16 位定时器/计数器, 或带自动重载的 8 位定时器/计数器。定时器 0 还可用作两个 8 位定时器/计数器。当用作计数器时, 定时器 0, 1 和 3 分别对 T0, T1 和 T3 外部引脚上的脉冲计数。定时器 2 是真 16 位定时器/计数器, 具有几种附加工作模式。定时器 2 具有 16 位重载寄存器, 支持 16 位自动重载、捕获、递增/递减, 以及输出时钟产生等其它功能。所有的 4 个定时器/计数器默认采用标准振荡器频率 12 分频的输入时钟, 但是也可以配置为采用系统时钟的 4 分频输入。定时器 1 和 2 还可在系统时钟 13 分频的输入时钟下工作。表 24 为与 4 个定时器/计数器相关的 SFR 和位。

表24. 定时器/计数器 SFR

TIMER/COUNTER FUNCTION	TIMER/COUNTER 0	TIMER/COUNTER 1	TIMER/COUNTER 2	TIMER/COUNTER 3
Timer/Counter Mode Selection and Control	TMOD, TCON	TMOD, TCON	T2MOD, T2CON	T3CM
Count Registers	TH0, TL0	TH1, TL1	TH2, TL2	TH3, TL3
8-Bit Reload Register	TH0	TH1	—	TH3
16-Bit Reload/Capture Registers	—	—	RCAP2H, RCAP2L	—
Timer Input Clock-Select Bit	CKCON.3	CKCON.4	CKCON.5	T3CM.5
Divide-by-13 Clock-Option Bit	—	T2MOD.4	T2MOD.3	—

看门狗定时器

看门狗是一个自由运行的可编程定时器, 如果达到预先设置的超时, 可以设置标志、引发中断, 并复位微控制器。它可以由软件重新启动。

看门狗定时器的典型应用是作为复位源以防止出现软件失控。看门狗定时器可被初始化, 选择超时时间, 使能复位和/或中断。使能复位功能后, 软件必须在定时器超时或硬件复位 CPU 之前复位定时器。这样, 如果代码执行错误, 软件没有按计划复位看门狗, 则微控制器被复位到已知的良好状态。

软件可选择由 WD1 和 WD0 位控制的四个超时值之一。超时值是晶体频率的函数, 因此非常精确。看门狗超时后, 看门狗中断标志 (WDIF = WDCON.3) 置位。如果看门狗中断已经使能, 程序执行立即指向看门狗定时器中断服务例程 (代码地址 = 63h)。要使能看门狗中断源, EWDI (EIE.4) 和 EA (IE.7) 位必须都被置位。而且, 置位 EWT (WDCON.1) 位使看门狗定时器在超时 512 系统时钟之后产生复位。为防止这种情况出现时看门狗复位, 看门狗定时器必须被复位 (RWT = 1) 或看门狗复位功能本身必须被禁止 (EWT = 0)。使能看门狗定时器 (EWT) 复位和复位看门狗定时器 (RWT) 控制位都由定时访问电路进行保护。这样可防止错误软件意外的清除或禁止看门狗。当产生看门狗定时器复位条件时, 看门狗定时器复位标志 (WTRF = WDCON.2) 被硬件置位。可在复位之后查询该标志, 以判断复位是否由看门狗定时器引发。

对不需要复位电路的系统, 看门狗中断非常有用。在设置复位标志前, 先置位 WDIF (看门狗中断) 标志 512 个系统时钟。可独立于看门狗复位功能, 由软件使能该中断源。在调试阶段通常使用中断来决定看门狗复位命令在应用软件中的位置。中断可以用作一个方便的定时器, 还能够从低功耗模式中唤醒微控制器。

看门狗定时器由时钟控制 (CKCON) 和看门狗控制 (WDCON) SFR 控制。CKCON.7 和 CKCON.6 分别是 WD1 和 WD0, 由它们选择看门狗超时时间。当然, 4X/2X (PMR.3) 和 CD1:0 (PMR.7:6) 系统时钟控制位也影响超时时间。表 25 列出了对超时的选择。

表 25 表明，默认设置为 CD1:0 (= 10) 时，对于 40MHz 晶振频率，看门狗定时器超时可在 3.28ms ($2^{17} \times 1/40\text{MHz}$) 至大于 1.5 秒 ($1.68 = 2^{26} \times 1/40\text{MHz}$) 之间设置。如此宽的超时设置支持非常灵活的系统设计。

在典型的初始化过程中，用户选择一个可能的计数器值来决定超时值。一旦计数器完成了一个完整计数，硬件置位中断标志 (WDIF = WDCON.3)。不管软件是否使用该标志，在 512 个系统时钟后复位标志 (WTRF = WDCON.2) 置位。使用使能看门狗定时器复位 (EWT = WDCON.1) 位，软件可使能 (1) 或禁止 (0) 复位功能。

表 25. 看门狗超时设置

4X/2X	CD1:0	WATCHDOG INTERRUPT TIMEOUT			
		WD1:0 = 00	WD1:0 = 01	WD1:0 = 10	WD1:0 = 11
1	00	2^{15}	2^{18}	2^{21}	2^{24}
0	00	2^{16}	2^{19}	2^{22}	2^{25}
x	01	2^{17}	2^{20}	2^{23}	2^{26}
x	10	2^{17}	2^{20}	2^{23}	2^{26}
x	11	2^{25}	2^{28}	2^{31}	2^{34}

IrDA 时钟

DS80C410 可产生一个作为端口引脚 P3.5 辅助功能的输出时钟 (CLKO)。置位 IrDA 时钟输出使能位 (IRDACK:COR.7) 和外部时钟输出使能位 (XCLKOE:COR.1)，将产生一个串口 0 编程波特率 16 倍的输出时钟。该 16X 输出时钟结合串口 0 I/O (TXD0, RXD0)，可方便的实现与常用 IrDA 编/解码器的直接连接。如果 XCLKOE 位单独置 1，根据时钟输出分频位 (COD1:0) 不同设置，CLKO 引脚输出系统时钟频率的 2、4、6 或 8 分频。IRDACK 位单独置 1 无效。

中断

微控制器提供具有三个优先级的 16 个中断源。所有中断，除电源失效中断外，均由各自使能位和全局中断使能 EA (IE.7) 控制。将 EA 置为 1 使每个中断都可以被使能。不管每个中断使能如何设置，EA 清零将禁止所有中断。

三个可用优先级是低、高和最高。最高优先级仅适用于电源失效中断。所有其它中断均有各自的优先级位，设置为 1 时为高优先级。除了用户选择的优先级以外，每个中断还具有固有优先级，用于中断同时出现时的优先级判决。可用中断源、其标志、使能、固有优先级和可用优先级选择位在表 26 中列出。注意，外部中断 2-5 和 1-Wire 总线主机共享一个通用中断矢量 (43h)。另外，外部中断 5 和 1-Wire 总线主机中断复用，构成一个中断请求。当 1-Wire 总线主机中断使能 (EOWMI = 1) 后，其优先级高于外部中断 5。要使能外部中断 5，则必须禁止 1-Wire 总线主机中断 (EOWMI = 0)。

表26. 中断总结

NAME	FUNCTION	VECTOR	NATURAL PRIORITY	FLAG BIT	ENABLE BIT	PRIORITY CONTROL BIT
PFI	Power-Fail Interrupt	33h	0	PFI (WDCON.4)	EPFI (WDCON.5)	N/A
INT0	External Interrupt 0	03h	1	IE0 (TCON.1) (Note 2)	EX0 (IE.0)	PX0 (IP.0)
TF0	Timer 0	0Bh	2	TF0 (TCON.5) (Note 1)	ET0 (IE.1)	PT0 (IP.1)
INT1	External Interrupt 1	13h	3	IE1 (TCON.3) (Note 2)	EX1 (IE.2)	PX1 (IP.2)
TF1	Timer 1	1Bh	4	TF1 (TCON.7) (Note 1)	ET1 (IE.3)	PT1 (IP.3)
TI0 or RI0	Serial Port 0	23h	5	RI_0 (SCON.0) TI_0 (SCON.1)	ES0 (IE.4)	PS0 (IP.4)
TF2	Timer 2	2Bh	6	TF2 (T2CON.7)	ET2 (IE.5)	PT2 (IP.5)
TI1 or RI1	Serial Port 1	3Bh	7	RI_1 (SCON.1.0) TI_1 (SCON.1.1)	ES1 (IE.6)	PS1 (IP.6)
INT2	External Interrupts 2–5, 1-Wire Bus Master, Interrupt	43h	8	IE2 (EXIF.4)	EX2-5 (EIE.0)	PX2-5 (EIP.0)
INT3				IE3 (EXIF.5)	—	
INT4				IE4 (EXIF.6)	—	
INT5/OWMI	—	—	—	IE5 (EXIF.7) (Note 3)	EOWMI (Note 3)	
TF3	Timer 3	4Bh	9	TF3 (T3CM.7)	ET3 (EIE.1)	PT3 (EIP.1)
TI2 or RI2	Serial Port 2	53h	10	IE4 (EXIF.6)	ES2 (EIE.2)	PS2 (EIP.2)
WPI	Write Protect Interrupt	5Bh	11	WPIF (MCON.2.7)	EWPI (EIE.3)	PWPI (EIP.3)
COI	CAN0 Interrupt	6Bh	12	Various	COIE (EIE.6)	COIP (EIP.6)
EAI	Ethernet Activity	73h	13	TIF (BCUC.5) RIF (BCUC.4)	EAIE (EIE.5)	EAIP (EIP.5)
WDTI	Watchdog Timer	63h	14	WDIF (WDCON.3)	EWDI (EIE.4)	PWDI (EIP.4)
EPMI	Ethernet Power Mode	7Bh	15	EPMF (BCUC.6)	EPMIE (EIE.7)	EPMIP (EIP.7)

除非标明，所有标志必须由应用软件清零。

注释 1: 当进入服务例程后，由硬件自动清除。

注释 2: 如果是边沿触发，当进入服务例程后，由硬件自动清除。如果是电平触发，标志与中断引脚的状态一致。

注释 3: 全局 1-Wire 中断使能位 (EOWMI) 和每个 1-Wire 中断使能位于内部 1-Wire 总线主机中断使能寄存器中，必须通过 OWMAD 和 OWMDR SFR 进行访问。以同样方式访问位于内部 1-Wire 总线主机中断标志寄存器中的每个 1-Wire 中断标志位。

一的补码加法器

DS80C410 采用一个一的补码加法器来支持因特网校验和算法。加法器含有一个 16 位累加器，通过一的补码加法器数据 (OCAD) SFR 进行访问。

向 OCAD 寄存器写入两个字节将启动 16 位累加器与 16 位输入值求和。当输入 16 位值进行求和时，应先装入 MSB，然后装入 LSB。计算开始于向 OCAD 寄存器进行第二次写入后的第一个机器周期，并在一个机器周期内完成。这样可以向 OCAD 寄存器连续写入 16 位数据求和。计算的高位进位位加回到累加器的低位上。

从 OCAD 寄存器读取两个字节将得到 16 位累加器的内容。当通过 OCAD 寄存器读取 16 位累加器时，首先读到 MSB，然后读到 LSB。第二次读取 OCAD SFR 后，16 位累加器变为 0000h。

以下是产生用于传输的因特网校验和的步骤。

- 读取 OCAD 两次，确定 16 位累加器 = 0000h。
- 写 16 位数值的 MSB 至 OCAD。
- 写 16 位数值的 LSB 至 OCAD。

- 对需要计算校验和的消息重复步骤 2 和 3。
- 从 OCAD 读取 16 位数值的 MSB。
- 读取字节一的补码为因特网校验和 MSB。
- 从 OCAD 读取 16 位数值的 LSB。
- 读取字节一的补码为因特网校验和 LSB。

注意，因特网消息数据校验和结果和 16 位校验和域的计算将产生 0000h。

时钟控制和电源管理

DS80C410 具有多种独特的功能，可灵活选择系统时钟源和工作频率。为使用价格低廉的晶体，同时又能全速工作，微控制器提供一个时钟倍频电路。另外，除了标准的 80C32 空闲和电源关断 (停止) 模式外，DS80C410 还支持 PMM。该模式使微控制器能够以极低的速率继续指令执行，可极大的降低功耗 (甚至低于空闲模式)。DS80C410 的停止模式还具有几个增强特性，使这种功耗非常低的模式应用更加广泛。下面将详细讨论这些特性。

系统时钟控制

如前所述，微控制器的特殊时钟控制电路具有最大的时序灵活性，同时又支持容易采购、低成本的晶体。系统时钟分频控制功能逻辑如图 21 所示。由 CD1, CD0 (PMR.7-6) 控制的 3:1 复用器在下面三个中选择一个作为内部系统时钟源：

- 晶体振荡器或外部时钟源。
- (晶体振荡器或外部时钟源) 256 分频。
- (晶体振荡器或外部时钟源) 2 或 4 倍频。

系统时钟控制电路产生微控制器使用两个时钟信号。*内部系统时钟*提供定时器和内部外设的时间基准。系统时钟通过 4 分频电路产生*机器周期时钟*，提供 CPU 工作的时间基准。所有指令在 1 至 5 个机器周期中执行完毕。应特别注意这两个时钟信号的差别，有时会被混淆，产生时序计算错误。

设置 CTM = 1 以及 CD1, CD0 = 00b 将使能倍频器，二倍频或四倍频晶体振荡器或外部时钟源的频率。4X/2X 位控制倍频系数，设置为 0 和 1 时，分别选择 2 和 4 倍频。使能倍频时指令执行速度将明显加快 2 或 1 个时钟。无论如何设置倍频，微控制器系统时钟不能超过 75MHz。这意味着当使能 4 倍频时，外部时钟最高频率为 18.75MHz，使能 2X 时，最高为 37.5MHz。

时钟倍频的主要优势是使微控制器能够采用慢速晶体来实现相同的性能。由于慢速晶体更易采购、更便宜，因此可降低成本，同时也降低了 EMI。

设置 CD1, CD0 = 11b 使能 PMM。当处于 PMM 时，接收晶振或时钟频率被 256 分频，产生 1024 个时钟的机器周期。注意，PMM 的功耗低于空闲模式下的功耗。两种模式下功耗较大的内部定时器都在运行，但 PMM 以晶振 1024 分频，而不是晶振 4 分频的速率运行定时器所有定时功能。因此，即使在 PMM 中指令连续执行(虽然速率降低了)，仍旧比空闲模式功耗低。因此，在新设计中没有必要使用空闲模式。

系统时钟和机器周期在指令修改控制位一个机器周期之后改变。注意，这种改变影响系统运行的各个方面，包括定时器和波特率等。使用下面说明的切回原状态功能可消除与 PMM 相关的许多问题。

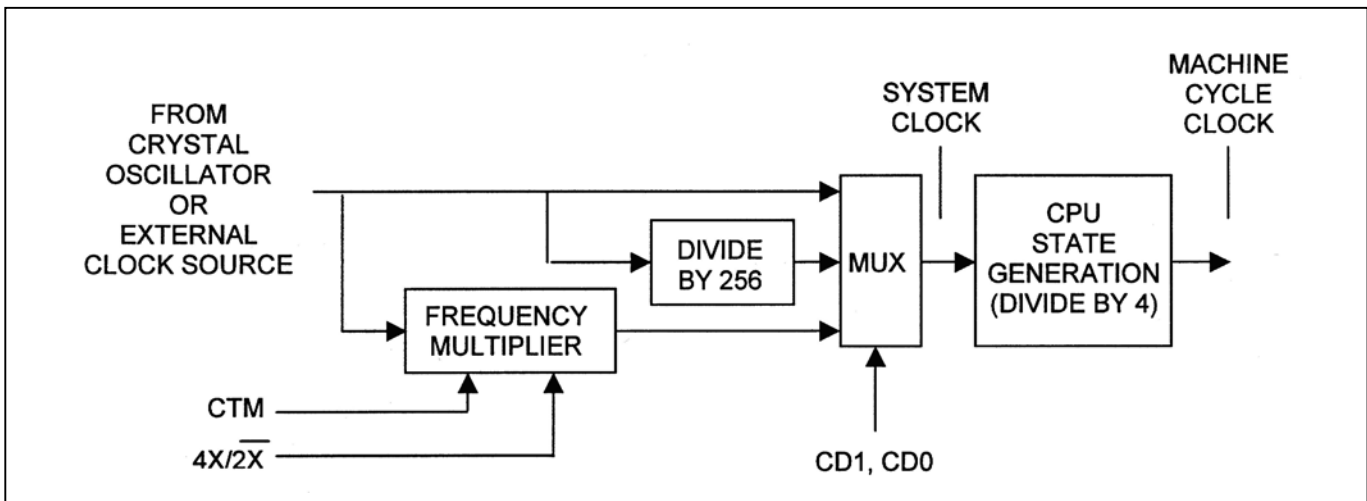
修改系统时钟/机器周期时钟频率

微控制器采用一个特殊的锁定序列以确保内部时钟信号之间的“无误”切换。对 CD1, CD0 位的所有修改必须经过 10 (4 分频) 状态。例如, 从 00 (倍频) 切换至 11 (PMM), 软件必须按照以下顺序修改位: 00b => 10b => 11b。无效的状态切换不会成功, 并且不改变 CD1, CD0 位。

将倍频器切换为内部时钟时, 必须遵循下面的步骤。只有当器件工作在 4 分频时, 才能执行这些步骤。尽管这些步骤之间可插入其它指令, 但必须按照该顺序进行。背离该顺序 CD1, CD0 位将不能被修改。从倍频器切回非倍频模式只需修改 CD1, CD0 位即可, 而不需其它步骤。

- 1) 确定 CD1, CD0 位设置为 10, RGMD (EXIF.2) 位 = 0。
- 2) 清零晶振倍频使能 (CTM) 位。
- 3) 设置 4X/2X 位至合适的状态。
- 4) 置位 CTM 位。
- 5) 轮询 CKRDY 位 (EXIF.3) 直到其被设置为 1。这需要大概 65,536 个外部晶体或时钟周期。
- 6) 将 CD1, CD0 设置为 00。写入这些位之后的机器周期倍频器生效。

图 21. 系统时钟控制图



切回原状态

作为软件修改 CD1 和 CD0 时钟控制位退出 PMM 的替代方案, 微控制器提供硬件控制自动退回标准速率 (4 分频) 的选择。使能切回原状态功能后, 串口和中断可自动从 1024 分频 (PMM) 切换回 4 分频 (标准速率)。该功能方便了实时应用中使用 PMM。

通过将 SFR 位 SWB (PMR.5) 设置为 1 使能切回原状态功能。一旦使能并且选择 PMM 后, 两种可能的事件会导致自动切回 4 分频模式。第一, 如果出现外部中断, 并得到应答, 那么系统时钟从 PMM 切回 4 分频模式。例如, 如果使能 INT0, CPU 没有响应优先级更高的中断, 则出现 INT0 时切回原状态。但是, 如果没有使能 INT0, 或 CPU 正在响应优先级更高的中断, 那么 INT0 不会导致切回原状态。

当已使能的 UART 探测到起始位, 指示开始接收串行字符, 或 SBUF 寄存器被装入, 开始一次串行传输时, 也会切回原状态。注意, 串行字符的起始位不会产生中断。只有接收到一个完整的串行字后才产生中断。探测到起始位后的自动切回原状态使硬件能够及时返回 4 分频模式 (以及正确的波特率), 以进行正确的串行接收或发送。

状态

STATUS (C5h) 寄存器和 **STATUS1 (F7h)** 寄存器提供关于中断和串口的信息，以帮助判断是否可以进入 PMM。微控制器支持三个级别的中断优先级:电源失效、高和低。PIP (电源失效优先级中断状态; **STATUS.7**)、HIP (高优先级中断状态; **STATUS.6**) 和 LIP (低优先级中断状态; **STATUS.5**) 状态位被置为逻辑 1 时，指示正在处理相应优先级的中断。

当处理高优先级中断时，软件不应依靠低优先级中断退出 PMM (切回原状态)。在进入 PMM 之前，检查当前处理的优先级。如果当前处理级别不允许在需要时切回原状态，则建议在进入 PMM 之前等待处理结束。另外，软件可在进入 PMM 之前进入低优先级中断服务，以防止从 PMM 中意外的退出。这样可防止其它低优先级中断导致切回原状态。

正在进行串口发送或接收时进入 PMM 会导致串口工作失败。为防止出现这种情况，当串口工作时，硬件锁定功能防止对时钟分频位的修改。可通过位于 **STATUS** 和 **STATUS1** 寄存器中的串口活动位来监视串口发送和接收。

振荡器失效探测

微控制器具有一个被称为片内振荡器失效探测电路的安全机制。该电路使能后，如果振荡器频率降至约 100kHz 以下时，微控制器将保持复位状态。该电路可完善看门狗定时器功能。通常，微控制器失控时，看门狗定时器超时并产生复位。但是，晶振或外部振荡器失效时，看门狗定时器不起作用，有可能陷入不受控状态。即使振荡器停止工作，采用振荡器失效探测电路也可强迫微控制器进入已知状态 (如，复位)。

当软件将使能位 **OFDE (PCON.4)** 设为 1 时，使能振荡器失效探测电路。请注意，软件必须使用定时访问程序 (前面已经阐述)写入该位。当电路探测到振荡器失效时，**OFDF (PCON.5)** 位被置为 1，微控制器被强迫进入复位状态。只有通过电源失效复位或软件才能使该位清零。进入停止模式，振荡器停止工作时，振荡器失效探测电路不会被触发。

电源失效复位

微控制器采用一个内部高精度带隙电压基准和比较器电路，提供上电和电源失效复位功能。该电路监视电源电压 (V_{CC1} 和 V_{CC3})，如果任一电压低于最小电平，将使微控制器保持在复位状态。当电源电压超过复位门限时，则执行完整的上电复位。这样，无需其它外部元件，内部电压监视电路便可以处理上电和关断。

一旦 V_{CC1} 和 V_{CC3} 分别升至高于最小电压 V_{RST1} 和 V_{RST3} 时，器件自动启动外部晶体振荡器，在计数 65,536 个时钟周期后，程序从地址 0000h 开始执行。只有当电源电压处于已知的良好状态时，才允许正常工作，以保证系统可靠运行。通过检查上电复位标志 (**POR; WDCON.6**)，软件可确定是否发生过上电复位。读取**POR**位后，软件应将其清零。

电源失效中断

带隙电压基准不但能够精确设置复位门限，还能够产生电源失效中断早期报警 (**PFI**)。被软件使能后，如果 V_{CC1} 低于 V_{PFW1} 或 V_{CC3} 低于 V_{PFW3} 时，微控制器执行地址 0033h 处的代码。**PFI**具有最高优先权。**PFI**的使能位在看门狗控制 **SFR (EPFI; WDCON.5)**中。该位置 1 使能**PFI**。应用软件也可读取**WDCON.4**的**PFI**标志。发生**PFI**时该位置 1。该标志与中断使能无关，必须由软件清零。

外部复位引脚

DS80C410 同时具有复位输入 (RST) 和复位输出 ($\overline{\text{RSTOL}}$) 引脚。当 RST 引脚上出现高电平、看门狗定时器超时、晶体振荡器失效或内部探测到电源失效使微控制器复位时， $\overline{\text{RSTOL}}$ 引脚提供一个低电平有效复位输出。 $\overline{\text{RSTOL}}$ 引脚的时序取决于复位源。

RESET TYPE/SOURCE	$\overline{\text{RSTOL}}$ DURATION
Power-On Reset	65,536 t_{CLK} (as described in <i>Power Cycle Timing Characteristics</i>)
External Reset	< 1.25 machine cycles
Power-Fail	65,536 t_{CLK} (as described in <i>Power Cycle Timing Characteristics</i>)
Watchdog Timer Reset	Two machine cycles
Oscillator-Fail Detect	65,536 t_{CLK} (as described in <i>Power Cycle Timing Characteristics</i>)

空闲模式

可设置 IDLE 位 (PCON.0) 调用空闲模式。空闲模式下，内部时钟、串口和定时器继续工作。由于不访问存储器，也不执行指令，因此降低了功耗。由于时钟还在运行，因此空闲模式功耗依赖于晶振频率。任何中断或复位可使 CPU 退出空闲模式。由于 PMM 比空闲模式消耗更少的功耗，并且定时器和 CPU 继续工作，因此新设计不再建议使用空闲模式，保留该模式仅用于软件向后兼容。

停止模式

可设置电源控制寄存器 (PCON.1) 的 STOP 位调用停止模式。由于停止模式关闭了所有内部时钟，因此它是最低功耗状态 (关断模式除外)。指令设置 STOP 位之后，所有微控制器停止工作。只有当 CAN 控制器被禁止 (通过 C0C SFR 中的 SWINT 或 CRST 位)、以太网控制器被置入睡眠模式时，CPU 才可调用停止模式。CPU 可通过外部中断、以太网电源模式中断、CAN 中断或复位来退出停止模式。由于内部时钟在停止模式下不工作，因此内部产生的中断 (定时器、串口、看门狗) 无法退出停止模式。 I_{CC1} 和 I_{CC3} 最大停止模式电流参见 *DC Electrical Characteristics* 一节。

带隙选择

DS80C410 为停止模式提供两种增强特性。如下所述，器件提供带隙基准，以确保电源失效中断和复位门限。带隙基准由带隙选择位 BGS (EXIF.0) 控制。将 BGS 置为 1，带隙基准将在停止模式保持有效。该位的默认或复位值为 0，即在停止模式中禁止带隙基准。在完全供电、PMM 或空闲模式时，该位不影响使能/禁止内部基准。

使能带隙基准后，意味着可使用电源失效复位和电源失效中断退出停止模式。即使在停止模式下，软件也能够探测并补偿电源电压跌落。当 BGS = 1 时，内部带隙和相关比较器电路在停止模式也消耗少量电流。如果用户在停止模式下，不需要电源失效复位或中断，可禁止带隙功能。但只有对电源最敏感的应用才应在停止模式下禁止带隙基准，因为这将导致不受控的关断状态。

环形振荡器

停止模式的第二种增强特性降低了功耗，使器件退出停止模式时可立即重新启动。环形振荡器是一个内部时钟，当响应中断退出停止模式时，可为微控制器提供时钟源。

停止模式下，晶体振荡器暂停工作，以最大程度降低功耗。器件从停止模式退出时，外部晶体通常需要 1ms 至 7ms 才能再次开始振荡。而环形振荡器是自由振荡的数字振荡器，没有启动延时。通过设置环形振荡器选择位 RGSL (EXIF.1) 来使能环形振荡器功能。如果使能该功能，微控制器退出停止模式时使用环形振荡器作为时钟源，在 100ns 内恢复工作。外部时钟源 (不是环形振荡器) 经过 65,536 次振荡后，器件清除环形振荡器模式位 RGMD (EXIF.2)，指示器件已经从环形振荡器切换至外部时钟源。

环形振荡器运行在大约 15MHz 上，但会根据温度和电压而有所变化。当采用环形振荡器时，由于其工作频率不精确，应避免串行通信或精确时序。由于以太网和 CAN 控制器从系统时钟获取时序，因此在 $RGMD = 0$ 之前，不应使能以以太网和 CAN 控制器。RGSL 位的复位 (默认) 状态是 0，退出停止模式不使用环形振荡器。

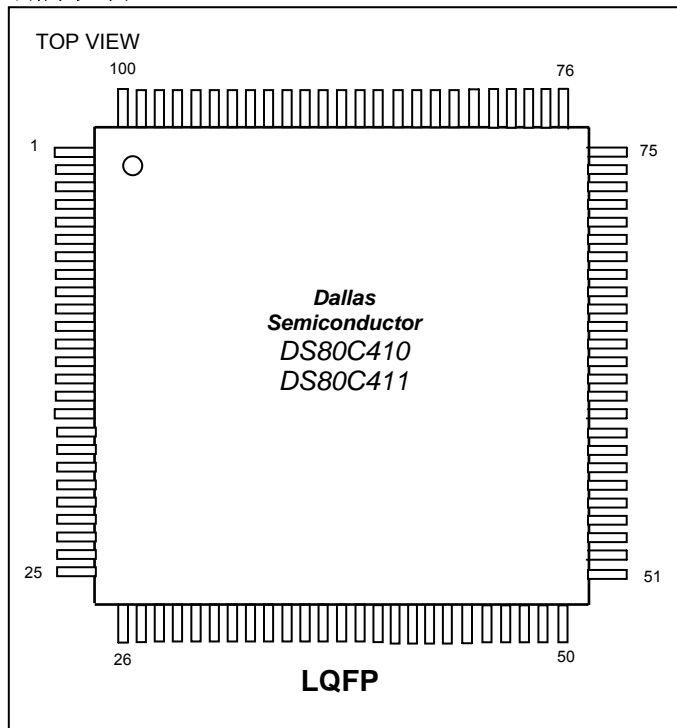
减小 EMI

基于 8051 的系统一个主要的辐射噪声源是 ALE 触发信号。微控制器允许软件通过将 ALEOFF (PMR.2) 位设置为 1，在不使用时禁止 ALE。如果 ALEOFF = 1，访问片外程序和数据存储器时，ALE 自动触发。但进行片内存储器访问时，ALE 保持静态。ALEOFF 的默认状态为 0，因此 ALE 通常以 $XTAL/4$ 的频率触发。

软件断点模式

DS80C410 提供特有的软件断点模式用于代码调试。通过将 BPME 位 (ACON.4) 设置为逻辑 1 可启用断点模式。一旦使能，可使用操作码 A5h 产生代码执行中的断点。当执行断点操作码 (A5h) 时，定时器 0, 1, 2, 3 和看门狗定时器模块的所有时钟停止，任何串口操作 (受定时器驱动) 暂停。此外，用来控制访问定时访问保护 SFR 的状态机也暂停。与中断非常相似，CPU 产生一个硬件 LCALL，转向地址 000083h。与中断不同的是，返回地址没有被压入堆栈中，而是放在 BPA1 (LSB), BPA2 (MSB) 和 BPA3 (XSB) SFR 中，操作码 A5h 用于退出断点模式，返回保存在 BPA3:1 SFR 中的地址。

引脚说明



选型指南

PART	CAN BUS	ON-CHIP SRAM (kB)	MAX CLOCK SPEED (MHz)
DS80C410-FNY	1	73.25	75
DS80C410+FNY	1	73.25	75
DS80C411-FNY	0	73.25	75
DS80C411+FNY	0	73.25	75

+ 指无铅/符合 RoHS 标准的器件。

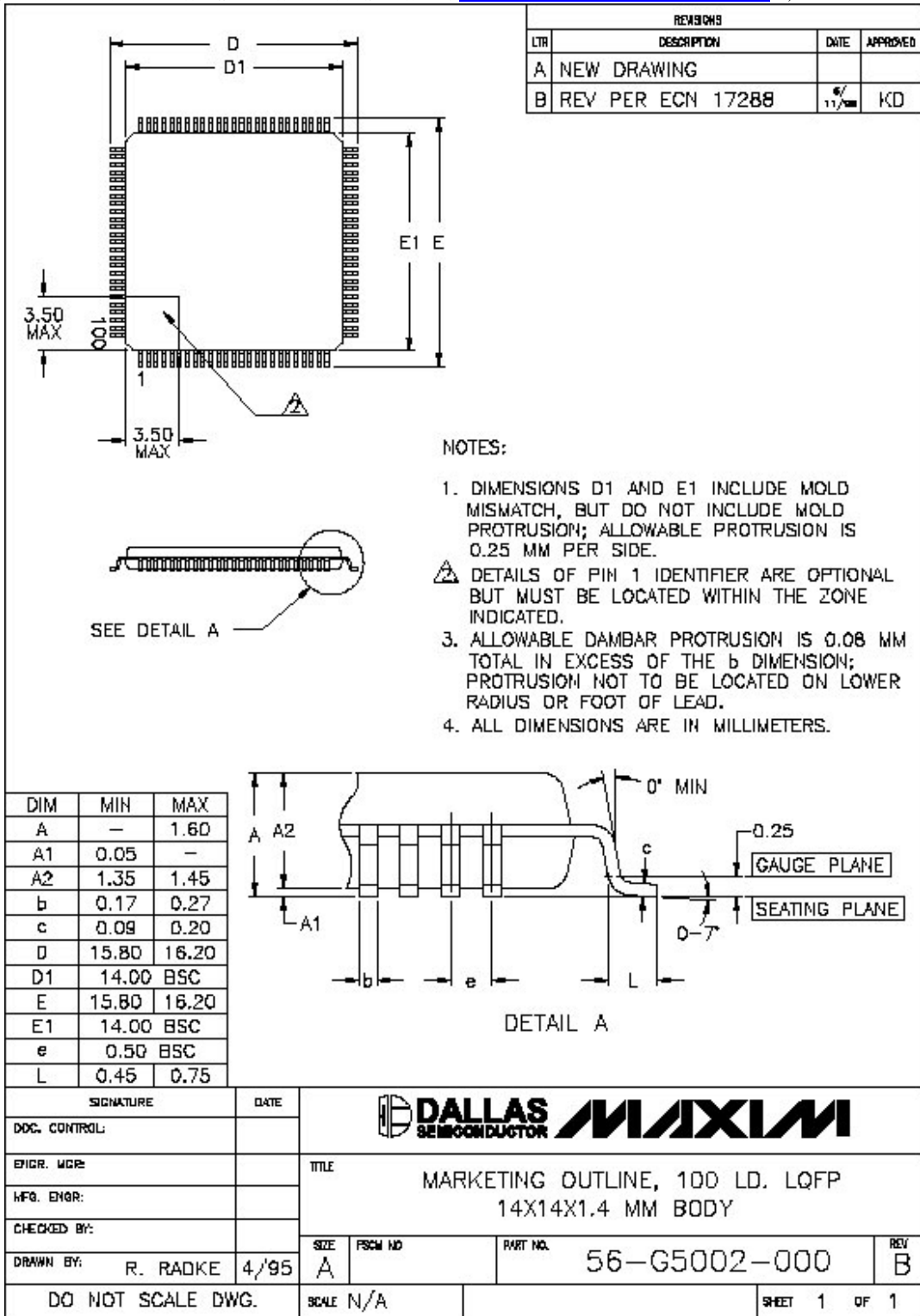
修订记录

修订版本	说明
102204	新产品发布 (DS80C410)。
010705	新产品发布 (DS80C411)。
060805	在订购信息和选型指南表中增加无铅封装。
010907	添加注释：系统时钟必需大于 25MHz 以此来支持 100Mbps 以太网模式(52 页，73 页)。 更正了缓存 BCUD SFR 地址。 缓冲控制单元部分 (54 页)。 更新封装图 (102 页)。

TINI 是 Dallas Semiconductor Corp. 的注册商标。

封装信息

(本数据资料提供的封装图可能不是最新规格, 最新封装外形信息请查询 www.maxim-ic.com.cn/DallasPackInfo。)



Maxim/Dallas Semiconductor 不对 Maxim/Dallas Semiconductor 产品以外的任何电路使用负责, 也不提供其专利许可。Maxim/Dallas Semiconductor 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2007 Maxim Integrated Products

Maxim 标志是 Maxim Integrated Products, Inc. 的注册商标。Dallas 标志是 Dallas Semiconductor Corp. 的注册商标。