



更多关于 ADI 公司的 DSP、处理器以及开发工具的技术资料，
 请访问网站：<http://www.analog.com/ee-note> 和 <http://www.analog.com/processor>
 如需技术支持，请发邮件至 processor.support@analog.com 或 processor.tools.support@analog.com

ADSP-BF52x 和 ADSP-BF54x Blackfin® 处理器上的主 DMA 接口

作者: Gurudath Vasanth, Jayanti Addepalli

Rev 1 – May 6, 2008

简介

ADSP-BF52x 和 ADSP-BF54x Blackfin® 处理器上的主 DMA 接口允许连接到 Blackfin 处理器上的一个外部主设备来主动控制 DMA 在两个方向上做传输。本应用笔记旨在探讨使用这个接口的细节，并提供不同操作模式下的代码范例。在 ADSP-BF52x 和 ADSP-BF54x 处理器上的主 DMA 接口外设在功能上是相似的；在附录 A 中概述了他们间的差别。

主 DMA 接口的主要特征

- 允许一个外部的处理器来设置和控制 DMA 的读/写数据传输，并读接口的状态。
- 使用一个灵活的异步存储器协议
- 连接主设备的 8/16-位外部数据接口
- 小/大端数据模式数据传输
- ADSP-BF54x 处理器中的内部 FIFO 持有 16 个 32 位字，而在 ADSP-BF52x 处理器中则是 16 个 16 位字。
- 半双工通信模式
- 提供 DMA 带宽控制机制

主机 DMA 端口信号

管脚	方向	描述
HOST_CE/	输入	主机DMA端口使能
HOST_WR/	输入	写选通
HOST_RD/	输入	读选通
HOST_ACK	输出	数据流控制引脚，在接受确认模式下被认为是 HRDY，在中断模式下被认为是 FRDY
HOST_ADDR	输入	地址信号 0: 访问数据端口 1: 访问控制端口
HOST_DATA <15:0>	输入/ 输出	16-bit 数据端口

表 1. HOSTDP 信号

HOSTDP 设置

我们务必要在数据传输之前由主处理器设置 Blackfin 处理器上的主 DMA 接口。主处理器一定要设置 HOST_STATUS 寄存器中的 ALLOW_CONFIG 位并确保在初始化设置之前设置此位。这一位被置 1 意味着从处理器待设置。

7 个 16 位的配置字一定要按以下的顺序来写。

1. HOST_CONFIG: 描述传输流程(自动缓冲模式或停止模式), DMA 模式(1-D 或者 2-D), DMA 方向(读或写操作)

2. **START_ADDR.L**: 开始地址的低 16 位—可作为任何有效的的片内或片外存储器
3. **START_ADDR.H**: 开始地址的高 16 位—可作为任何有效的的片内或片外存储器
4. **XCOUNT**
5. **XMODIFY**
6. **YCOUNT**
7. **YMODIFY**

在主处理器与 HOSTDP 之间移动的大量数据应该是 FIFO 深度的整数倍。

在 ADSP-BF54x 处理器上, HOSTDP 的 DMA 总线是 32 位宽, 但是数据总线是 8 位或 16 位宽。对于连续的存储器读/写操作来说, **MODIFY** 的值必须为 4。

同样的, 在 ADSP-BF52x 处理器上, HOSTDP 的 DMA 总线是 16 位宽, 但是数据总线是 8 位

或 16 位宽。在连续的存储器读/写操作中, **MODIFY** 的值必须为 2。COUNT 值也必须做相应的改变。

例如, 对于在 ADSP-BF54x 处理器上的 256 个 8 位字的 HOSTDP 的 1-D 写方式来说, XCOUNT 应该为 64, XMODIFY 应该为 4。

图 1 和图 2 分别显示的是由逻辑分析仪画出的确认模式下 16 位主读方式传输数据的配置图形, 和在中断模式下 8 位主写方式传输数据的配置图形。如果 HOSTDP 是为 8 位传输所设置的, 主处理器应该发送一个 16 位配置字里的两个字节。

直到 HOSTDP 模块已接收到所有的 7 个配置字后才会把描述符运送到 DMA 通道中。所以, 即使在 HOST_CONFIG 中选择的是 DMA 的 1-D 模式, 它也必需发送 YCOUNT 和 YMODIFY 的值(对 DMA1-D 模式来说都是 0)来完成 HOSTDP 的设置。

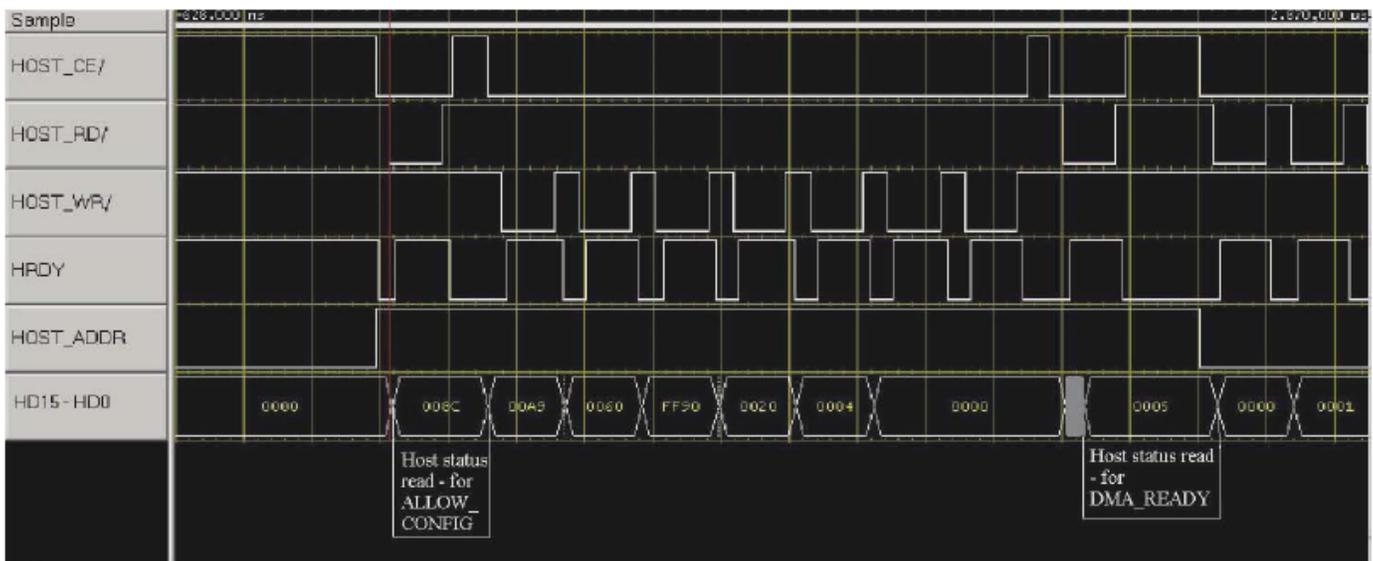


图 1. 确认模式下 16 位主读操作的 HOSTDP 配置

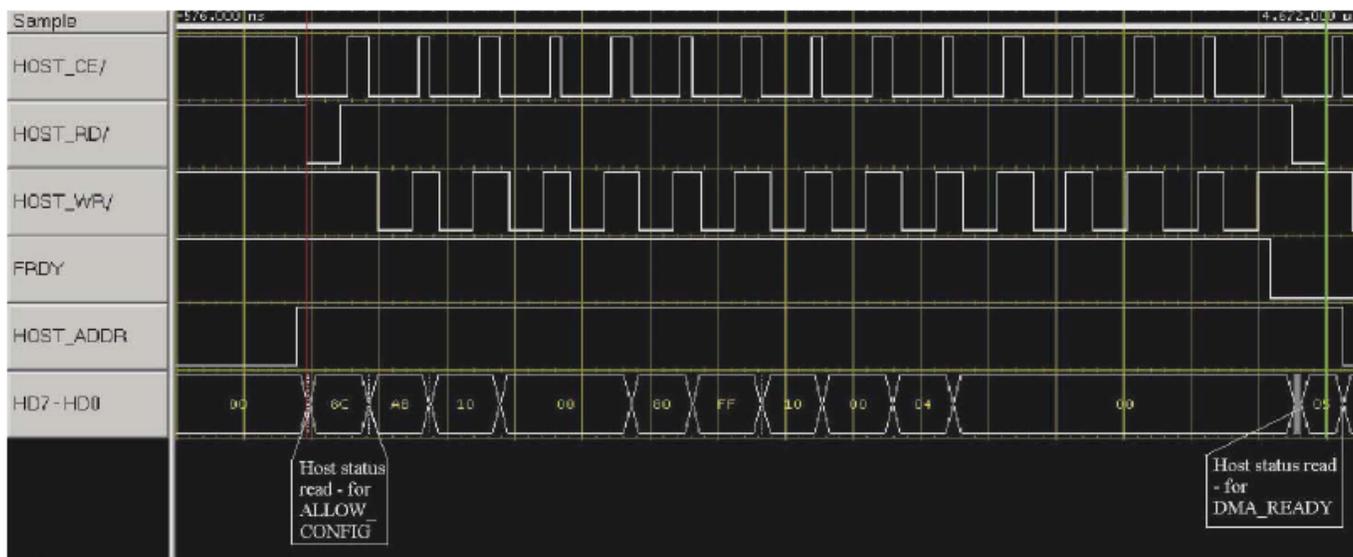


图2. 中断模式下8位主写操作的HOSTDP配置

HOSTDP 处理

HOSTDP 的处理有四种类型。访问的每一种类型

都是基于 HOST_ADDR 和 HOST_RD 或 HOST_WR 信号是否被发出。表 2 中列出这些不同的处理类型。

HOST_ADDR	/HOST_RD	/HOST_WR	/HOST_CE	功能
0	0	1	0	HOST读操作
0	1	0	0	HOST写操作
1	0	1	0	HOST_STATUS寄存器读操作
1	1	0	0	写HOST配置或控制命令

表2. HOSTDP 处理

HOSTDP 操作模式

HOSTDP 有两种流控制模式—中断模式和确认模式。HOST_ACK 信号用来在主接口和 Blackfin 处理器间提供流控制，但命名不同，根据于操作模式的不同(查阅表 1)。当使能 HOST_CONTROL 寄存器中的 HOSTDP 时，流控制模式将被从处理器设置。

中断模式

中断模式中，FRDY 信号从高位到低位的转变表明了 FIFO 的状态—在主写模式的情况下表明

FIFO 为空，在主读模式的情况下表明 FIFO 为满。主处理器期望被用来传输/接受在这个传输过程中 FIFO 深度数目的数据字。

图 3 显示的是一个带有主 ADSP-BF537 处理器的 HOSTDP 的接口。本应用笔记中也给出了关联软件的相关代码。

ADSP-BF537 的异步存储器接口连接了 HOSTDP。AMS3/信号连接在了 HOST_CE/。ARE/信号连接到 HOST_RD/。AWE/连接到 HOST_WR/。FRDY 连接到了一个 GPIO (PG13)，这样的话就可以在被设置为下降沿中断。

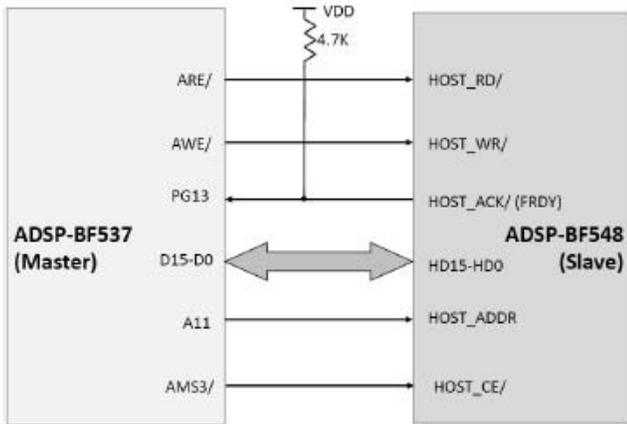


图3. 带有 ADSP-BF537 主处理器—中断模式的 ADSP-BF548 处理器上的 HOSTDP 接口。

在中断服务程序中，FIFO 字深度数被读出/写入 HOSTDP。读/写操作的执行取自于/返回至自异步存储器的第 3 个块的地址中，以至于连接到从设备的 HOST_ADDR 上的地址线(A11)，在数据传输中保持低位。当写控制字或读 HOSTDP 状态时，这条线一定要保持高位。

图 4 显示的是逻辑分析仪画出的 16 位主写操作，图 5 则显示的是 16 位主读操作。

对于主配置写或 HOST_STATUS 寄存器读来说，FRDY 是不用作流控制的。

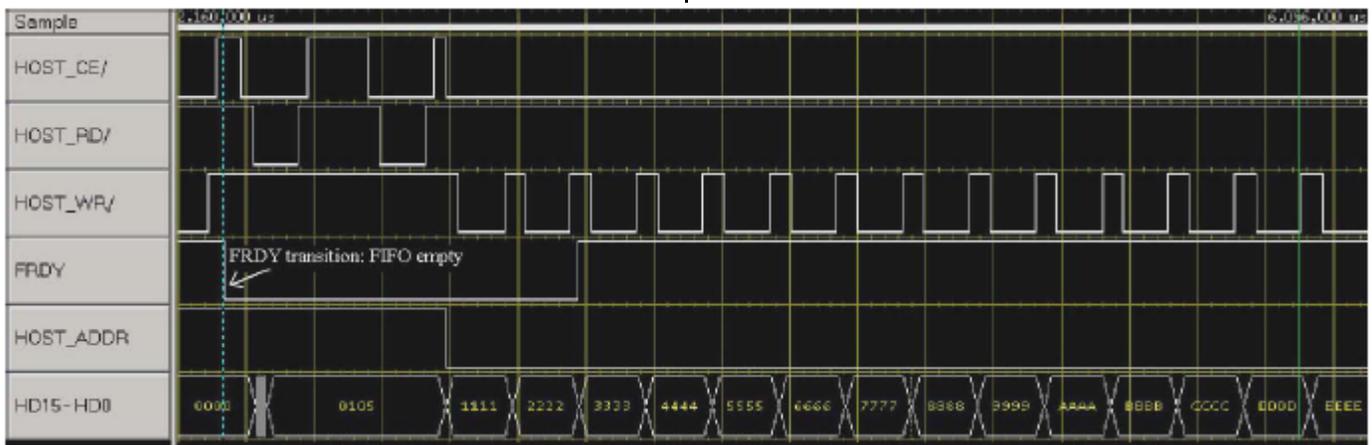


图4. 中断模式下 16 位主机写操作

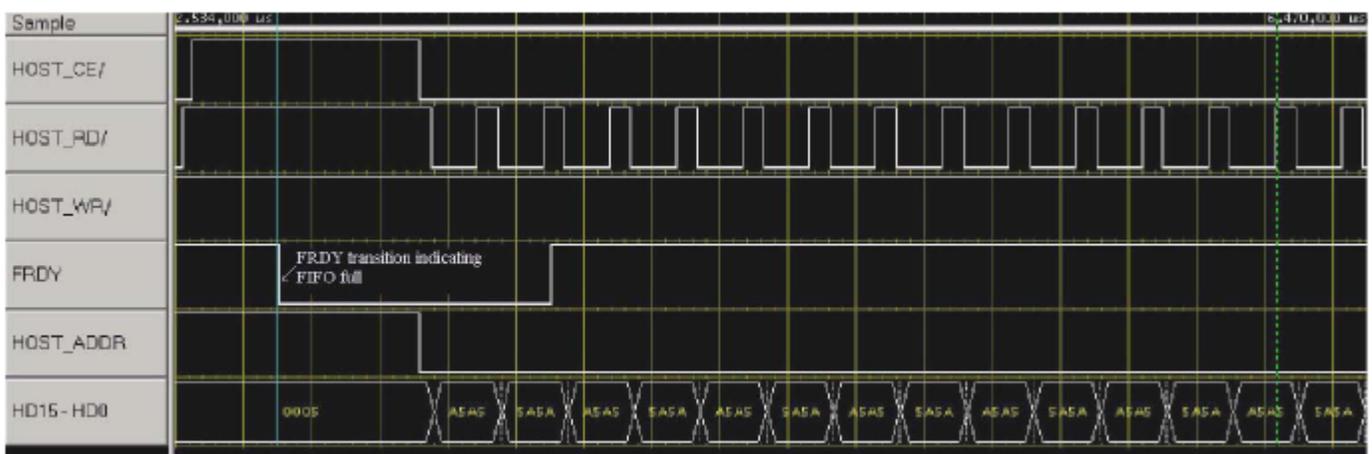


图5. 中断模式下 16 位主机读操作

确认模式

在确认模式中，HRDY 用来在一个读/写周期中插入等待状态。这个模式打算伴有主处理器来被使用的。主控制器是支持通过一个外部信号插入等待状态的。在 Blackfin 处理器中，该信号称为 ARDY。图 6 显示的是带有 ADSP-BF537 处理器的 HOSTDP 接口。

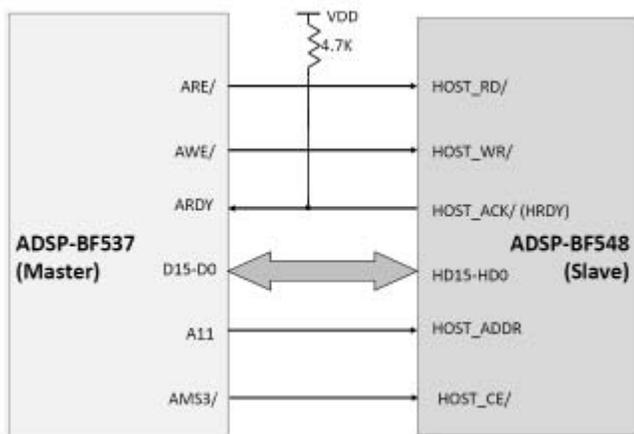


图6. 确认模式下带有ADSP-BF537处理器的HOSTDP接口

ADSP-BF537 处理器的异步存储器接口连接到 HOSTDP 上。AMS3/信号连接到 HOST_CE/。ARE/信号连接到 HOST_RD/。AWE/信号连接到 HOST_WR/。HRDY 连接到 ARDY；在这条线上使用了一个 4.7 千欧姆的上拉电阻。读/写操作执行到异步存储器的第 3 个块的任意地址中。地址将以下面的方式被选择：连接在从设备的 HOST_ADDR 上的地址线(A11)在数据传输过程中保持低位。当写配置字或当读 HOSTDP 状态时，这条线一定要保持高位。

在这种模式下，读/写访问将由主处理器连续执行。当 HOSTDP 由于 FIFO 处于空/满的状态而不能被主接口进行读/写操作时，它通过使 HRDY 失效来插入额外的等待状态。HRDY 将在每一个读脉冲中的 tDRDYRDL 周期和每一个写脉冲中的 tDRDYRDL 周期保持低位。请参照数据手册^[4]的关于时钟详述。如果在读访问操作时 FIFO 是空或写访问操作 FIFO 是满时，HRDY 保持失效状态直到要求被执行时。

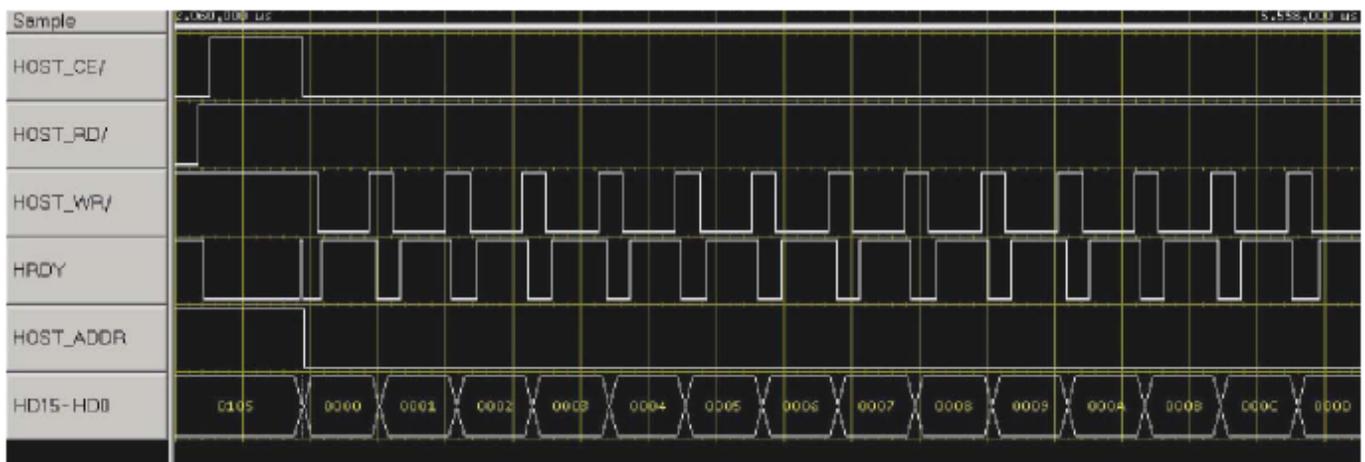


图7. 确认模式下16位传输的主写操作

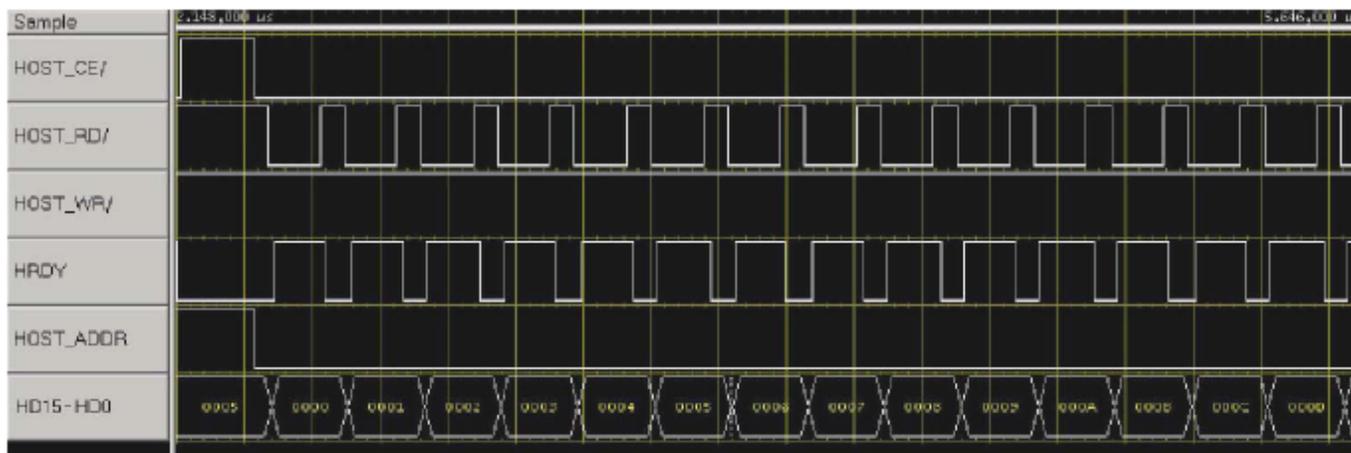


图 8. 在确定模式下的 16 位转移的主读操作

控制指令

主处理器可以给 Blackfin 从处理器发送控制指令。表 3 列出了这些指令。

HOST_IRQ 命令为主处理器中断 Blackfin 处理器上的 HOSTDP 提供了一个机制。当主处理器写这条命令时，在 HOST_STATUS 寄存器上的 HIRQ 为被设置，并且 HOSTDP 状态中断也被触发。

DMA Finish 命令为终止在 HOSTDP 上的 DMA 动作提供了一个机制。

HOST数据 (HD7-HD0)	命令
b# 000111xx	HOST_IRQ
b# 001011xx	DMA完成
b# 001111xx to 111111xx	忽略

表 3. 控制指令

像配置字那样，控制指令以相同的方式发送(也就是说，通过保持 HOST_ADDR 线处于高位)。当 HOSTDP 等待配置时，是不能传送控制指令的。那样的话，它们将可能被曲解为配置字。推荐的方法是主处理器确保在发送任何命令前 HOST_STATUS 寄存器中的 ALLOW_CONFIG 位已被清除。

附录 A

表 4 列出了在 ADSP-BF52x 和 ADSP-BF54x 处理器上的主 DMA 接口的不同。

参数	ADSP-BF52x处理器	ADSP-BF54x处理器
FIFO大小	16- x 16-bit words	16- x 32-bit words
DMA总线宽度	16 bits	32 bits
中断	读和写操作拥有不同中断操作。以HOST_STATUS的第15位标识。	读和写操作公用一个中断响应。

表 4. ADSP-BF52x 和 ADSP-BF54x 处理器上的主 DMA 接口的不同

参考文献

- [1] *ADSP-BF52x Blackfin Processor Hardware Reference*. Rev 0.3, September 2007. Analog Devices, Inc.
- [2] *ADSP-BF54x Blackfin Processor Hardware Reference*. Rev 0.1, March 2007. Analog Devices, Inc.
- [3] *ADSP-BF522/523/524/525/526/527 Blackfin Embedded Processor Preliminary Data Sheet*, Rev. PrD, December 2007, Analog Devices, Inc.
- [4] *ADSP-BF542/BF544/BF547/BF548/BF549 Blackfin Embedded Processor Preliminary Data Sheet*, Rev. PrG, December 2007. Analog Devices, Inc.

文档记录

Revision	Description
<i>Rev 1 – May 6, 2008 by Gurudath Vasanth and Jayanti Addepalli</i>	Initial release