



更多关于 ADI 公司的 DSP、处理器以及开发工具的技术资料，
请访问网站：<http://www.analog.com/ee-note> 和 <http://www.analog.com/processor>
如需技术支持，请发邮件至 processor.support@analog.com 或 processor.tools.support@analog.com

从 ADSP-21065L 转向使用 ADSP-21375 SHARC® 处理器

作者: Richard Murphy

Rev 2 - March 15, 2006

简介

本文详细讨论了由 ADSP-21065L SHARC® 处理器转向使用 ADSP-21375 SHARC 处理器的相关内容，涉及处理器性能和吞吐率，开发工具及硬件设计。这将有助于读者熟悉每个处理器的数据手册。

硬件差异

封装

ADSP-21375 采用与 ADSP-21065L 相同的 208 管脚的 MQFP 封装，这简化了生产物流与封装。虽然 ADSP-21375 处理器与 ADSP-21367 和 ADSP-21369 处理器的管脚兼容，但与 ADSP-21065L 的管脚是不兼容的。



ADSP-21368 处理器只提供 SBGA 封装，而不是 MQFP 封装。

供电

ADSP-21065L 处理器的供电电压为 3.3 V。ADSP-21375 采用双电压供电方案，分别是 3.3 V 的 I/O 电压和 1.2 V 的内核与锁相环电压。

时钟输入

ADSP-21065 L 的时钟输入由晶振产生，时钟输入经过 2 倍频后产生内核时钟。

ADSP-21375 的片上锁相环可为内核提供高质量时钟脉冲，它具有宽范围的倍频器和分频器，可适应更宽范围的输入晶体或晶体振荡器频率，并将其倍频到期望的内核速率。这一点也可用来在系统不需全速运行时，通过降低内核速率来减少功耗。用于产生特定甚至不同采样速率的时钟源现在可用于高精度音频应用场合。

增强点

更快的内核

ADSP-21375 运行在 266MHz 速率下，比运行在 66MHz 的 ADSP-21065L 有显著提升。在此速率下访问内部存储器，ADSP-21375 具有五级流水线结构(ADSP-21065 L 只具有三级流水线)。

ADSP-21375 与先前的 SHARC 器件代码完全兼容。ADSP-21065L 的源代码可以方便的在 ADSP-21375 平台上利用增强的体系结构与内存结构得以优化。

SIMD

ADSP-21065 L 处理器是单指令单数据结构，这种 SHARC 体系的单个处理器可以提供 66MIPS,66MMACS,和 132MFLOPS 的处理性能。

支持单指令多数据(SIMD)是 ADSP-2116x 系列体系的增强。SIMD 提供第二个处理单元，这可以有效的使性能倍增。在增至 266MHz 指令速率下，ADSP-21375 的性能可达 266MIPS，533 MMACS 和 1.596GFLOPS。

内部存储器

ADSP-21065 L 具有两个独立的片上双口 RAM。虽然 ADSP-21375 具有相同容量的非双口 RAM，但其具有 4 块内部存储器，每块可配置用于程序和数据的组合。使用这 4 个内存块和不同的片上总线，ADSP-21375 可在单周期内从内核发起两次数据传输，从 I/O 口发起一次数据传输。

ROM 空间

ADSP-21065 L 和 ADSP-21375 都具有 500Kbits 的内存空间。ADI 公司可根据客户的需要，在 ADSP-21375 上为您提供额外的 2Mbits 片上掩模 ROM。此外还有一些可保护客户知识产权的增强安全特性。如欲了解更多详情，请与本地 ADI 销售部门联系。

软件相关

ADSP-21375 与先前的 SHARC 器件可达到汇编级的代码兼容，为使处理器性能最优，请注意以下几点。

汇编语言循环优化

由于额外的两级流水线，短计数器循环可能导致三个周期的系统开销。

为避免这个开销，一个循环长度至少为 4，其余两个都至少为 2。

存储器优化

在给定周期中 4 块内存单元的每块只能被一组总线访问(DM, PM, IOP)。为使存储器性能最优，不要将 DMA 服务缓冲放在内核频繁访问(DM/PM 总线)的区域中。使用内存块 2 和 3 来进行乒乓缓冲，内核读取一个内存块，另一个内存块进行 DMA 传输。有关滤波器，例如 FIR，将指令和系数放在同一个块中。对于像 ADSP-21364 这样的 SHARC 处理器在应用时也做相同的考虑。

新引入的外设

与 ADSP-21065 L 相比，ADSP-21375 包含大量新增外设接口。这可使 ADSP-21375 与大量外设进行连接并允许这些设备与其它外设进行增强的数据输入/输出。

DAI/DPI

数字音频接口具有 20 个设备管脚，通过软件配置，可与不同的外设连接。这可使处理器包含大量外围，且具有便于管理的管脚数。以下外设可通过 DAI 实现。

数据输入端口(IDP)

可配置为 8 通道 I2S 串行数据接口(或 7 通道外加 20bit 宽的同步并行数据输入端)的 IDP 提供了到内核的额外输入路径。具有其各自 DMA 通道的每个数据通道独立于 ADSP-21375 的 SPORTs 口。

精确时钟发生器

ADSP-21375 处理器的锁相环为处理器提供时钟。虽然 PLL 的性能与内核相适应，但并未对在抖动会导致时间量化误差和失真的高精度数据转换方面做优化。

在使用高精度转换器时，可不使用内核 PLL 产生的时钟，而使用精确时钟发生器产生时钟和帧同步。作为一个单元，PCG 从时钟输入端(CLKIN)或 DAI 管脚(允许外部输入)输入时钟信号。一个 SPORT 接口配置为从模式，PCG 为其提供 SCLK 和 FSYNC 信号。这使 SPORT 有效的脱离内核 PLL 时钟域。

DPI 的功能

数字外设接口(DPI)的功能与 DAI 相似，但包含一系列额外外设接口。

串行外设(兼容)接口(SPI)

ADSP-21375 SHARC 处理器具有两个 SPI 口。SPI 是工业标准的同步串行连接口，可使 ADSP-21375 的 SPI 兼容接口与其它 SPI 兼容设备通信。SPI 由两个数据引脚，一个片选和一个时钟引脚组成，具有全双工同步串行接口，支持主从模式。通过与另外多达四个 SPI 兼容设备的连接，可作为主机或从机工作在多主机环境中。ADSP-21375 SPI 兼容接口可实现可变的波特率，时钟相位和极性，它使用开漏驱动来支持多主机配置并避免数据竞争。ADSP-21375 可从连接到其 SPI 接口的设备启动。

UART

ADSP-21375 处理器提供一个与 PC 标准完全兼容的全双工通用异步接收/发送(UART)接口。UART 提供了与其它外设或主机的简化接口，支持全双工，DMA 传输和异步传输串行数据。

两线接口(TWI)

TWI 是一个两线双向，兼容 I²C 的串行总线，它用于传输 8 位数据而与 I2C 总线协议保持一致。

脉宽调制(PWM)

PWM 模块是一个灵活，可编程的 PWM 波形发生器，可通过编程产生用于马达或引擎控制或音频电源控制等各种应用所需的转换模式。PWM 发生器可产生中心对齐或边沿对齐的 PWM 波形。此外，它还能以配对模式在两个输出引脚产

生互补信号或在非配对模式下产生独立信号(可用于单组产生 4 个 PWM 波)。

通用(GP)定时器

除内核定时器之外，DPI 的两个通用定时器还能提供 PWM 发生器，脉宽计数/捕获和外部事件监视功能。

不仅增加了新外设，某些原有外设功能也有所增强。

I/O 处理器

具有 24 个通道的 DMA

相比 ADSP-21065 L 处理器，ADSP-21375 提供额外用于与外设进行数据传输的 DMA 通道。

类型	数目
SPORT	8
DMA	2
External	2
IDP	8
SPI	2
Memory-to-Memory	2
UART	2

表一 ADSP-21375 DMA 通道

存储器之间 DMA 传输

通过外部或并行接口，ADSP-21375 不仅可以使使用 I/O 处理器以 DMA 方式在内部存储器之间进行数据传输，还可将数据块在内部存储器之间进行传输。这种特性为使用 4 块内部存储器结构提供了最大的灵活性。

串行接口

除了将同步串行口数量加倍并将数据吞吐量增至 50Mbps/s，ADSP-21375 的 SPORTs 接口也得到了增强。除了 DSP 串口，I2S 和 TDM 模式，ADSP-21375 SPORTs 还提供左对齐采样对和打包 I2S 模式。

TDM/多通道模式允许任意 SPORT 对同时使用，这比以往更加灵活。SPORTs 口具有错误检测逻辑可以检测到帧错误并具有自己的错误中断。在高精度应用中，SPORTs 也可与 ADSP-21375 的高精度时钟发生器配合使用。

外部接口

SDRAM 控制器

133MHz 操作

ADSP-21375 处理器的指令速率增至 266MHz(对比 ADSP-21065L)，它支持的 SDRAM 速度也增至 133MHz。与 ADSP-21065L 一样，ADSP-21375 也可寻址 128MB SDRAM，并具有两个 SDCLK 管脚支持多个 SDRAM 设备而无需片外时钟缓冲。

外部执行

与 ADSP-21065L 相似，ADSP-21375 可直接从外部 SDRAM 的 bank 0 位置执行指令。除了更快的 SDRAM 时钟，指令吞吐率也得到了增强。

ADSP-21065L 在 32 位模式下需要 4 个 SDCLK 时钟周期来执行一条指令。由于 ADSP-21375 具有 16 位 SDRAM 总线，因此可以在 6 个时钟周

期执行两条指令。即使对于 133MHz 的 SDRAM，这也是一个不小的改进。

DQM

ADSP-21065L 能够支持 SDRAM DQM(数据字屏蔽控制)逻辑，它可在总线用于其它用途时，阻止处理器进行写入操作以保护 SDRAM 的内容。

ADSP-21375 并不驱动 SDRAM DQM 信号，DQM 信号可以非活动方式连接。请参考 SDRAM 生产厂商以了解更多信息。

主机接口

ADSP-21065L 通过外部接口提供主处理器接口支持，包括用于总线仲裁的信号，可与标准微处理器总线紧密连接。ADSP-21375 不包括主处理器接口，因此不能与其它 SHARC 处理器或微处理器共享总线。

开发工具

VisualDSP++

现有或即将发布的VisualDSP++®开发工具将继续支持ADSP-21065L处理器。ADSP-21375处理器要求VisualDSP++4.0 (November 2005 update) 或更新版本。开发工具套装做了很多改进，包括增强的连接器支持，众多的编译器改进(包括支持C++)，代码配置特性和高级调试特性。更多有关VisualDSP++的信息请访问：

<http://www.analog.com/processors/resources/cross-core>.

仿真器

多种仿真器可支持ADSP-21065L，包括EZ-ICE®，Mountain-ICE™，Apex-ICE™，Summit-ICE™，and Trek-ICE™。

新的高性能PCI仿真器，HP-USB仿真器和USB仿真器支持ADSP-21375处理器。新的仿真器系列也支持ADSP-21065L。关于ADI仿真器的最新信息请访问我们的网站。

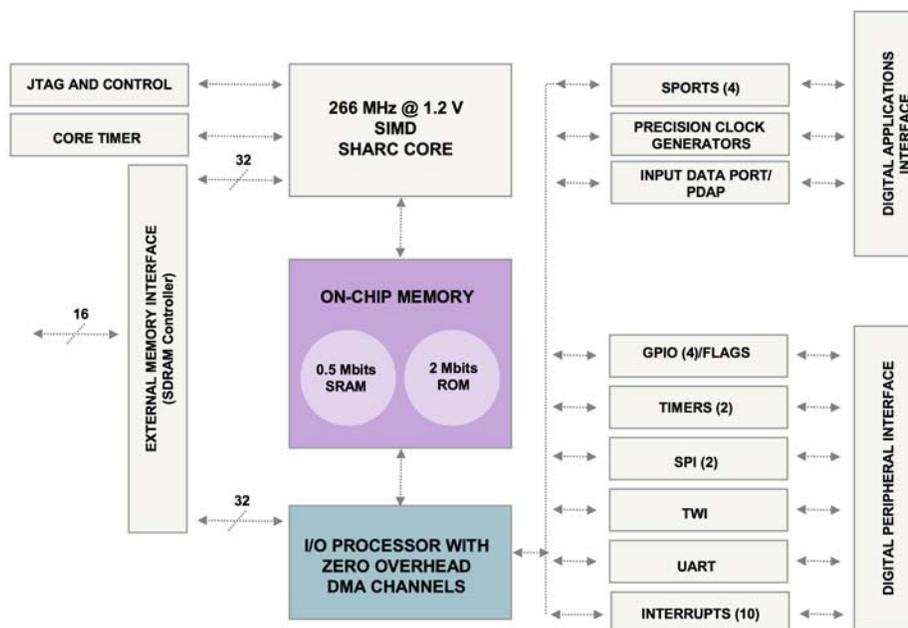
评估平台

ADSP-21065L EZ-KIT Lite®评估板为ADSP-21065L处理器提供了优秀的评估平台。它包含AD1819立体声编解码器，一个用于与ADI的ADC评估板连接的EMAFE接口和一个不用仿真器，通过与PC连接提供有限调试能力的RS-232接口。

ADSP-21375 EZ-KIT Lite提供很多额外特性比如AD1835 96-kHz 24位编解码器，串行flash接口，SDRAM，SRAM，一个RS-232收发器和一个用于与ADI EZ-Extender连接的增强扩展接口以增加额外功能。它也可通过基于USB的接口在没有仿真器的情况下使用VisualDSP++全部调试功能(性能较低)。不同于ADSP-21065L EZ-KIT Lite，ADSP-21375 EZ-KIT Lite的USB调试代理在内存使用和处理器功能上没有限制。

	ADSP-21375	ADSP-21065L
处理单元	2(SIMD)	
指令速率	266MHz	
串口	4(新的打包I2S模式)	
SPI	2	
RAM	0.5Mbit	
ROM	2Mbit	
SDRAM控制器	16位, 133MHz	
封装	208-lead MQFP ¹	208-lead MQFP, 196-ball MBGA
供电	内核=1.2V, I/O=3.3V	内核=I/O=3.3V
DMA控制器	24通道	10通道
UART	1(全双工)	n/a
PWM输出	16	1

表2 ADSP-21375与ADSP-21065L SHARC处理器特性总结



图一 ADSP-21375处理器框图

¹ The ADSP-21375 is offered in a lead-free package and is not pin-compatible with the ADSP-21065L

文档记录

Revision	Description
<i>Rev 2 – March 15, 2006</i> <i>by R. Murphy</i>	Added Table 2
<i>Rev 1 – November 10, 2005</i> <i>by R. Murphy</i>	Initial Release