

## 同步多个基于DDS的频率合成器AD9850/AD9851

作者: David Brandon, ADI

### 简介

许多应用要求产生两个或更多具有已知相位关系(如正交)的正弦波信号。ADI公司的AD9850和AD9851 DDS IC能够提供这种信号。本应用笔记详细说明了如何使两个或更多该器件同步,同时考虑了可能的相位误差源。

### 参考时钟(REF CLOCK)

成功同步多个AD9850/AD9851的首要要求是所有DDS的REF CLK输入之间的相位误差必须达到最小。REF CLK边沿之间的任何相位差异都会导致DDS输出出现成比例的相位差异。用户必须审慎考虑时钟分配在电路板PCB上的布局,以确保REF CLK边沿同步(见图1)。

AD9850/AD9851 REF CLK输入电路采用单端设计,因此,REF CLK必须具有最小的输入抖动和较短的上升/下降时间(建议5 ns以下)。REF CLK边沿上升时间较长会导致误差,因为输入电路的电压跳变点因器件不同而异。这些属性同样适用于W\_CLK和FQ\_UD输入。

### AD9850/AD9851 I/O访问详情

拥有边沿快速且路径适当的REF CLK信号之后,下一个时序要求是数据必须同步传输至DDS程序寄存器。FQ\_UD信号将数据传输至DDS内核。同步多个DDS要求FQ\_UD的上升沿同时发生在所有DDS上,如同REF CLK一样。另外,FQ\_UD必须发生在相对REF CLK而言的适当时间。

### 最佳布局

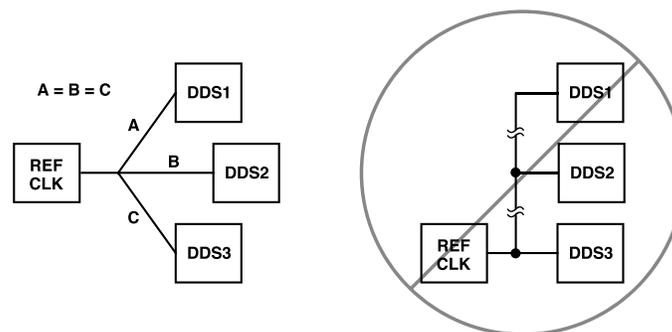


图1. REF CLK的分配

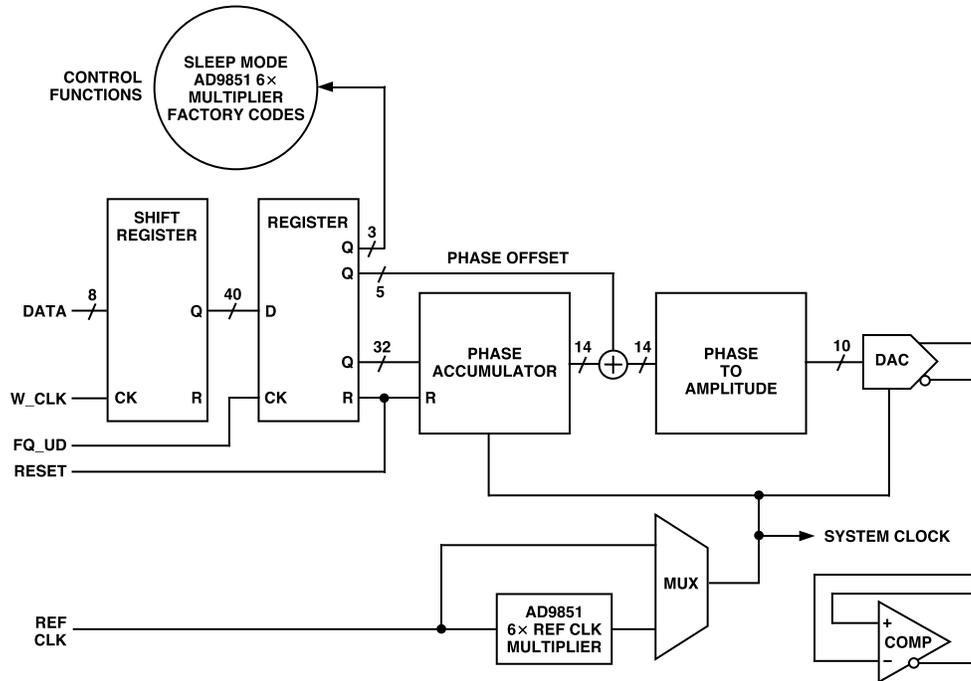


图2. AD9850/AD9851功能框图

图2为AD9850/AD9851的功能框图，两种器件之间仅存在较小差异。AD9851有一个6x时钟倍频器(PLL)和MUX，AD9850则没有。

DDS内核的前方设有两个寄存器。移位寄存器在并行模式下可接受5个字节，在串行模式下可接受40位。W\_CLK将数据锁存至该寄存器中。第二个寄存器在被FQ\_UD触发后，将在SYSTEM CLOCK的下一个上升沿时将移位寄存器中的内容传输至DDS内核。

FQ\_UD与SYSTEM CLOCK之间必须存在正确的时间关系(见图2)。如果这些信号的时序有误，则可能导致调谐字部分加载，从而阻碍DDS同步。FQ\_UD必须在REF\_CLK上升沿之前即具有正确的建立时间。有关正确时序的详细情况将在“同步操作指南”部分讨论，如图4和图6所示。

## RESET

RESET必须在上电后以及向DDS传输任何数据之前设定。结果可将DAC输出置于已知状态，使其成为共同的参考点，以便同步多个DDS。

RESET迫使AD9850/AD9851的相位状态变为 $\cos(0)$ 。当新数据被同时送至多个DDS时，DDS之间可以保持相关相位关系，或者通过相位偏移调整寄存器可以调整器件之间的相对相位。AD9850和AD9851可以实现5位的相位偏移调整，相当于 $11.25^\circ$ 的相位分辨率。相位偏移加法器位于相位累加器与相位幅度转换器之间。

**注意：RESET不会重置移位寄存器，它仅将FQ\_UD寄存器和相位累加器重置为 $\cos(0)$ 。应将移位寄存器理解为，在RESET后含有“随机”数据，而且可能无意间包含保留的“工厂代码”，结果使DDS发生意外行为。为此，在以预期数据对移位寄存器编程之前，不得发送FQ\_UD。**

## 同步操作指南

图3介绍了一种可能的参考设计，它可以成功同步多个DDS。本示例说明如何使两个DDS处于正交相位关系。

图3中，D触发器使FQ\_UD能与REF CLK同步，并且提供一个建立时间延迟。正常操作可能要求FQ\_UD路径具有额外时间延迟。这一延迟取决于触发器CK至Q的传播时间。FQ\_UD(引脚8)与REF CLK(引脚9)之间的建议时序关系如图4所示。

下面是关于使两个DDS处于正交相位关系的一些通用操作指南和建议(参考图3)。操作指南有两种，分别针对启用和禁用6\_REF CLK乘法器的情况。

## 禁用AD9851 6\_REF CLK乘法器情况下两个正交DDS的同步操作指南：

1. 使所有器件上电并施加相同的REF CLK。
2. 发送一个公共RESET指令，且最小高电平时间为5个REF CLK周期。
3. 不发出FQ\_UD，将1号DDS编程为所需的频率和0度相位偏移。
4. 不发出FQ\_UD，将2号DDS编程为相同的频率和90度相位偏移。
5. 置位相同的FQ\_UD。这将使所有DAC输出以编程设置的正确频率和相位偏移同时激活。
6. 有关REF CLK与FQ\_UD之间的建议时序，请参看图4。

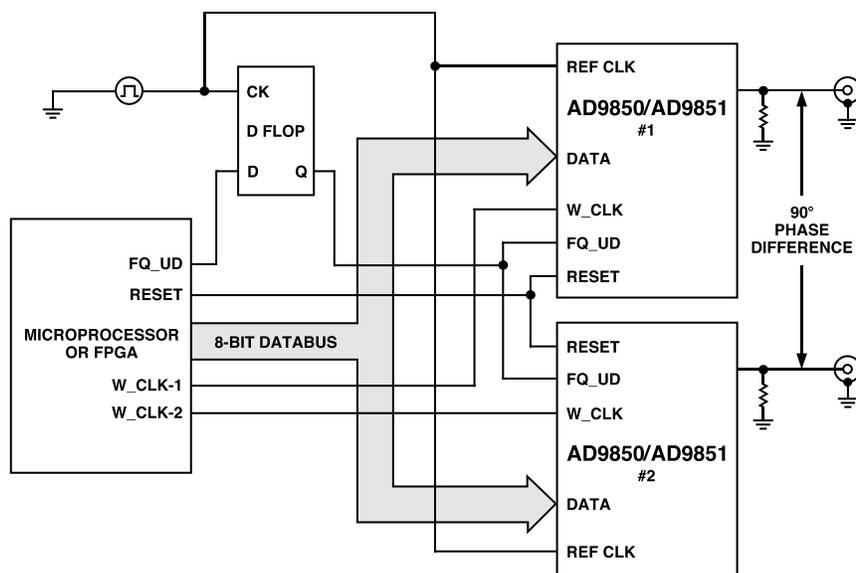


图3. 应用电路

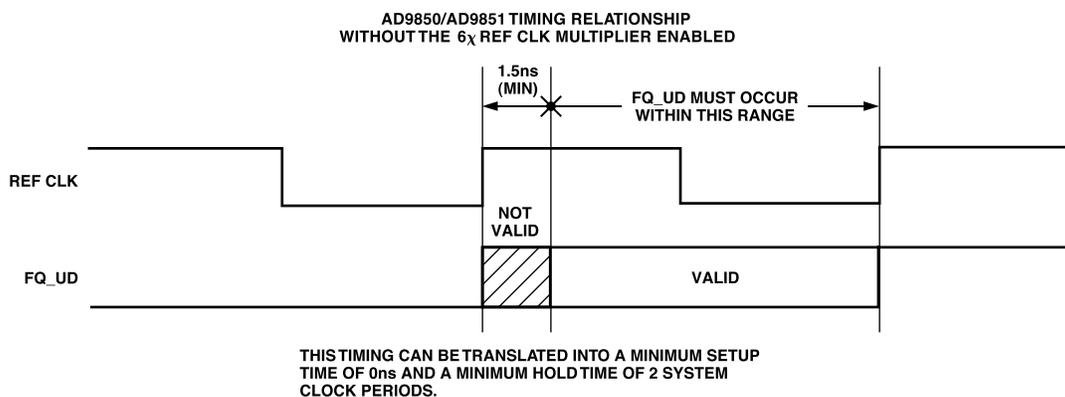


图4. REF CLK与FQ\_UD之间的正确时序关系

## 启用AD9851搭载的6\_REF CLK乘法器时的考虑因素

当同步多个DDS时，使用AD9851的6× REF CLK乘法器必须小心谨慎，因为PLL锁定时间会因器件不同而异。这意味着，在锁定时间传送到相位累加器的系统时钟周期数可能有所不同。

这个问题的解决方法是：首先置位RESET，然后将所有器件的调谐字编程为零。结果使相位累加器的相位设定为零，从而避免累加器在PLL锁定时进行累加。一旦PLL锁定，所有DDS均保持零相位。由于所有器件均与公共REF CLK同步，并且PLL相位锁定至REF CLK，因此所有系统时钟信号也应同相(假设已如上文所述将一个正确的REF CLK信号路由至各DDS)。

PLL锁定时间典型值约为30 μs。由于IC加工的差异和温度对锁定时间的影响，建议为锁定留出至少100μs的时间(参考图5)。

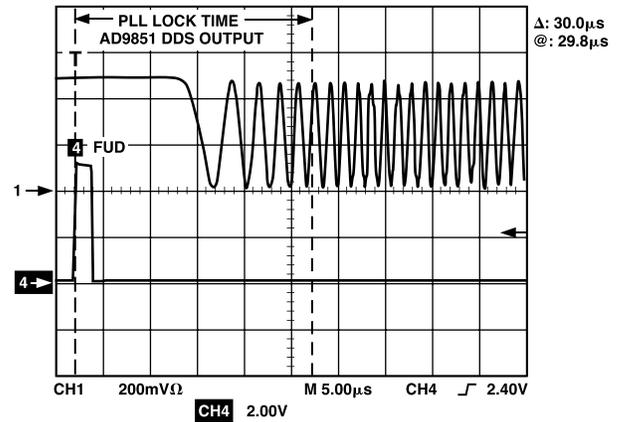
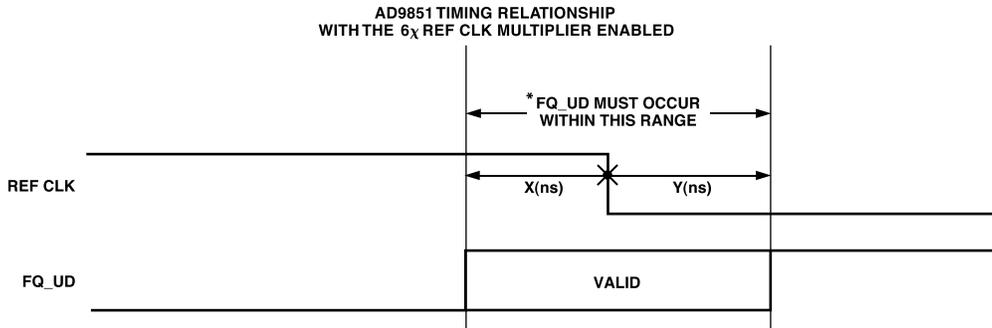


图5. PLL锁定时间典型值

注意：由于6\_REF CLK乘法器锁定至REF CLK的下降沿，因此，FQ\_UD信号应当以REF CLK的下降沿为基准。FQ\_UD(引脚8)与REF CLK(引脚9)之间的建议时序关系如图6所示。



\* FQ\_UD SHOULD BE REFERENCED TO THE FALLING EDGE OF REF CLK AND THE VALID TIMING RANGE SHALL BE RELATIVE TO A PERCENTAGE OF REF CLK'S PERIOD. THE VALID TIMING RANGE IS NOT NECESSARILY SYMMETRICAL ABOUT REF CLK'S FALLING EDGE. TABLE 1 DESCRIBES THE "X" AND "Y" SET UP TIME RANGE GIVEN REF CLK'S FREQUENCY, VCC, AND TEMPERATURE MINIMUM HOLD TIME IS 2 SYSTEM CLK PERIODS.

图6. 使用6×乘法器时的正确时序关系

## 启用AD9851 6\_REF CLK乘法器情况下两个正交DDS的同步操作指南：

1. 使所有器件上电并施加共同的REF CLK。
2. 发送一个共同的RESET指令，且最小高电平时间为5个REF CLK周期。
3. 在并行或串行模式下，不发出FQ\_UD，将以下指令写入1号DDS：

W0 = 01 hex      W1 = 00 hex      W2 = 00 hex

W3 = 00 hex      W4 = 00 hex

4. 对2号DDS重复第3步。
5. 置位相同的FQ\_UD并等待至少100 $\mu$ s。

注意：结果将使各DDS的调谐字设为零，并同步操作各个REF CLK乘法器。零调谐字将使DAC输出保持零相位，直到PLL完成锁定为止。

切记：在写入每个新调谐字和相位偏移时，必须使REF CLK乘法器保持启用状态。

6. 不发出FQ\_UD，将1号DDS编程为所需的频率和0度相位偏移。
7. 不发出FQ\_UD，将2号DDS编程为相同的频率和90度相位偏移。
8. 置位相同的FQ\_UD。这将使所有DAC输出以编程设置的正确频率和相位偏移同时激活。
9. 有关FQ\_UD与之间REF CLK的建议时序，请参看图6。

表I. FQ\_UD与REF CLK之间的建立时间范围(基于频率、VCC和温度)

VCC = 5 V		
REF CLK Frequency		
(x) ns	(MHz)	(y) ns
8	5-7	4
5	7-10	4
3	10-15	3
2	15-20	3
1	20-30	2

VCC = 3.3 V		
REF CLK Frequency		
(x) ns	(MHz)	(y) ns
7	5-7	7
5	7-10	6
2.5	10-15	4
2	15-20	3

注：包括温度(-40°C至+85°C)

## 小结

只要妥善处理并采用适当的程序，同步多个DDS是可以实现的。以下各图显示了两个AD9851的同步方式。图7中，REF CLK频率设为10 MHz，图8中设为180 MHz，两者均为非PLL模式。图9中，REF CLK设为30 MHz，PLL处于启用状态(系统时钟= 180 MHz)。图10显示两个AD9851保持正交，即使频率改变后仍然如此。正交由两个信号上的光标位置表示。

图7至图9同时显示了系统时钟18个上升沿的固定流水线延迟和建立时间。该延迟通过图中的光标进行测量。

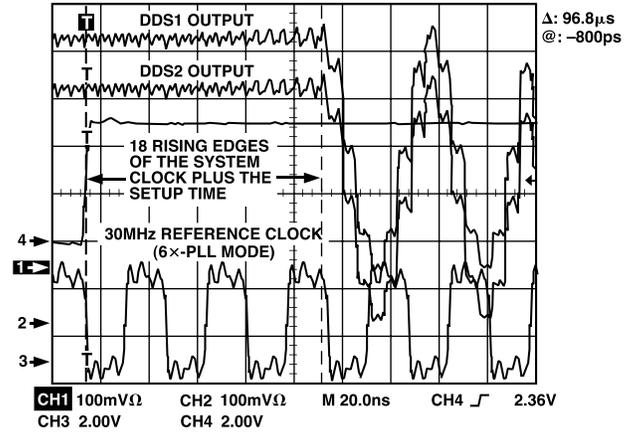


图9. DDS同步——最大系统时钟 (PLL模式)

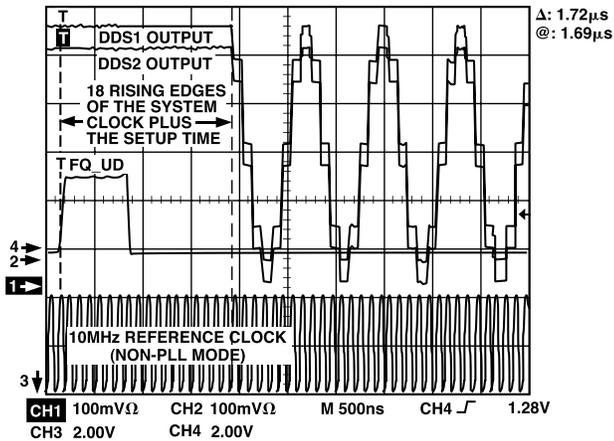


图7. DDS同步——10 MHz系统时钟

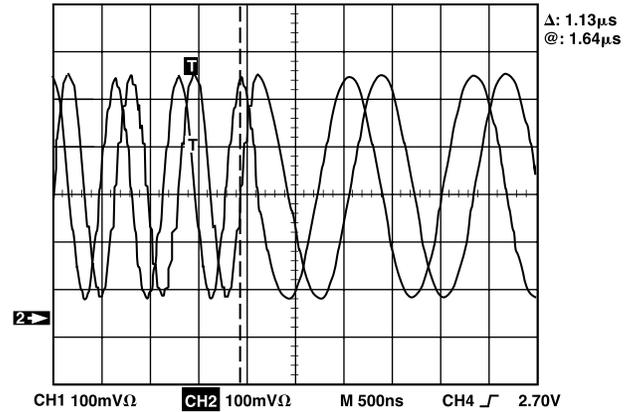


图10. DDS正交同步

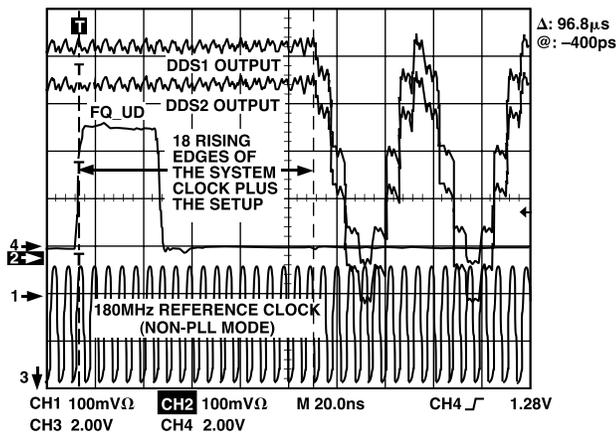


图8. DDS同步——最大系统时钟



