

应用工程师问答 — 30

作者: Adrian Fox [adrian.fox@analog.com]

锁相环(PLL)频率合成器

问: 什么是PLL频率合成器?

答: 利用频率合成器, 设计人员可以产生单一参考频率的各种不同倍数的输出频率。其主要应用是为RF信号的上变频和下变频产生本振(LO)信号。

频率合成器在锁相环(PLL)中工作, 其中鉴频鉴相器(PFD)将反馈频率与基准频率的某一分频形式相比较(图1)。PFD的输出电流脉冲经过滤波和积分, 产生一个电压。此电压驱动一个外部电压控制振荡器(VCO)提高或降低输出频率, 从而驱动PFD的平均输出接近零。

频率经过计数器缩放。示例中使用了一个ADF4xxx频率合成器以及一个外部滤波器和VCO。输入基准(R)计数器将基准输入频率(本例中为13 MHz)降至PFD频率($F_{PFD} = F_{REF}/R$), 反馈(N)计数器降低输出频率, 在PFD处与经过缩放的基准频率相比较。达到均衡时, 这两个频率相等, 输出频率为 $N \times F_{PFD}$ 。反馈计数器为双模预分频器类型, 具有A计数器和B计数器($N = BP + A$, 其中P为预分频值)。

图2显示了频率合成器在超外差式接收机中的典型应用。基站和手机LO是最常见的应用, 此外在低频时钟发生器(ADF4001)、无线LAN(5.8 GHz)、雷达系统和防撞系统(ADF4106)中, 频率合成器也有用武之地。

问: 选择PLL频率合成器时有哪些关键性能参数需要考虑?

答: 主要性能参数有: 相位噪声、参考杂散和锁定时间。

相位噪声: 对于给定功率水平的载波频率, 频率合成器的相位噪声为载波功率与规定频率偏移(对于频

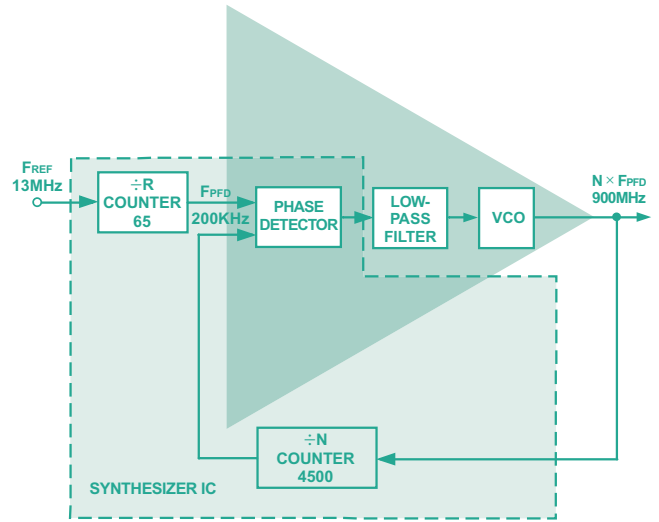


图1. 锁相环(PLL)框图

率合成器通常为1 kHz)处1-Hz带宽上的功率之比。带内(或近载波)相位噪声主要取决于频率合成器, 单位为dBc/Hz; VCO噪声贡献在闭环中被高通滤波滤除

参考杂散: 是内部计数器和以PFD频率工作的电荷泵所产生的在离散偏移频率上出现的频率成分。电荷泵产生的不匹配高低电流、电荷泵泄漏以及电源去耦不充分均会增加这种杂散。杂散音会混合在所需信号之上, 降低接收机的灵敏度。

锁定时间: PLL的锁定时间是指它从一个指定频率跳跃到给定频率公差内的另一个指定频率所需的时间。跳跃大小一般由PLL在所分配的频带内工作时必须完成的最大跳跃决定。GSM-900的步进大小为45 MHz, GSM-1800的步进大小为95 MHz。要求的频率公差分别为90 Hz和180 Hz。PLL必须在不到1.5个时隙内完成所需的频率步进, 每个时隙为577 μs。

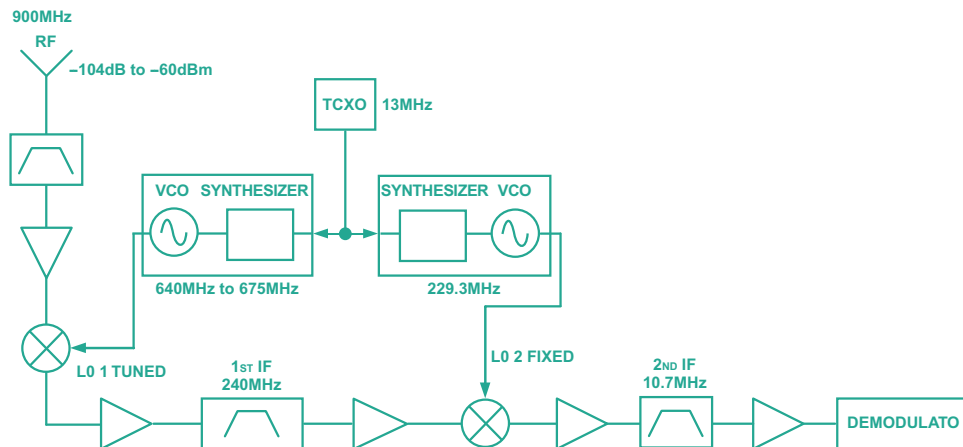


图2. 用来将GSM RF混频降至基带的双路PLL

所有商标和注册商标属各自所有人所有。

问：我已经根据所需输出频率选择了频率合成器，那么如何选择PLL中的其它元件呢？

答：频率基准：为获得稳定的低相位噪声RF输出，良好的高质量、低相位噪声频率基准至关重要。利用TCXO晶体产生的方波或限幅正弦波具有出色的性能，因为较陡峭的时钟边沿会使R计数器输出上的相位抖动较小。ADF4206系列具有片上振荡器电路，允许将低成本AT切割晶体用作频率基准。虽然可预测AT晶体的成本只有TCXO的三分之一，但其温度稳定性较差，需要使用变容二极管实施补偿方案。

电压控制振荡器(VCO)：VCO将所施加的调谐电压转换为输出频率。在VCO的整个频率范围上，其灵敏度可能相差极大，这可能会导致环路不稳定(参见“环路滤波器”部分)。一般而言，VCO的调谐灵敏度(Kv)越低，VCO相位噪声性能越好。载波偏离较小时，频率合成器的相位噪声占主导地位。载波偏离较大时，VCO的高通滤波噪声将开始占主导地位。在1-MHz偏移时，GSM的带外相位噪声特性为-130 dBc/Hz。

环路滤波器：环路滤波器的类型多种多样。最常见的类型是图3所示的三阶积分器。一般而言，环路滤波器带宽应为PFD频率(通道间隔)的1/10。提高环路带宽会缩短锁定时间，但滤波器带宽绝不应超过PFD/5，否则会大幅增加不稳定性。

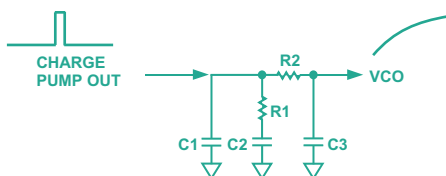


图3. 三阶环路滤波器。R2C3极为杂散提供额外的衰减。

PFD频率或电荷泵电流加倍时，环路滤波器的带宽也将加倍。如果VCO的实际Kv显著高于用来设计环路滤波器的标称Kv，则环路带宽将比预期宽很多。环路带宽随Kv的变化是宽带PLL设计的一大挑战，Kv的变化幅度可能超过300%。补偿Kv变化导致的环路带宽变化的最简单方法是增大或减小可编程电荷泵的电流。

问：如何针对相位噪声优化PLL设计？

答：使用低N值：相位噪声是在PFD(基准频率)的基础上乘以比率 $20 \log N$ ，因此使N减小1/2将能使系统相位噪声改善3 dB(即PFD频率加倍将使相位噪声降低 $10 \log 2$)。这也说明，应当始终使用可行的最高PFD频率。

选择高于所需频率的频率合成器：在相同条件下，以900 MHz频率工作时，ADF4106的相位噪声性能比ADF4111高出6-dB(参考表1)。

使用额定最低的Rset电阻：减小Rset可以增大电荷

泵电流，从而降低相位噪声。

表1. 积分相位抖动主要取决于频率合成器的带内相位噪声。系统参数：[900-MHz RF、200-kHz PFD、20-kHz环路滤波器]

频率合成器型号	带内相位噪声(dB)	积分范围(Hz)	积分相位误差度(均方根)
ADF4111	-86	100 至 1 M	0.86
ADF4112	-89	100 至 1 M	0.62
ADF4113	-91	100 至 1 M	0.56
ADF4106	-92.5	100 至 1 M	0.45

问：相位噪声为什么很重要？

答：相位噪声很可能是选择PLL时需要考虑的最重要特性。在发射链中，线性功率放大器(PA)是最难设计的模块。低相位噪声LO可以降低基带信号上变频的相位误差，使设计人员在处理PA的非线性度时拥有更大的余量。

GSM接收机/发射机(Rx/Tx)的系统最大相位误差为 5° (均方根)。从表1可以看出，降低PLL所贡献的相位噪声可以显著提高PA的相位噪声容许值。

在接收端，低相位噪声对于获得良好的接收机选择性(接收机在有干扰情况下解调信号的能力)至关重要。在图4所示的例子中，左侧的所需低电平信号被附近的干扰信号与LO噪声的混频(封闭的虚线区域)所覆盖。这种情况下，滤波器将无法阻塞这些不需要的干扰。为了解调所需的RF信号，发射端需要更高的输出功率，或者需要改善LO相位噪声性能。

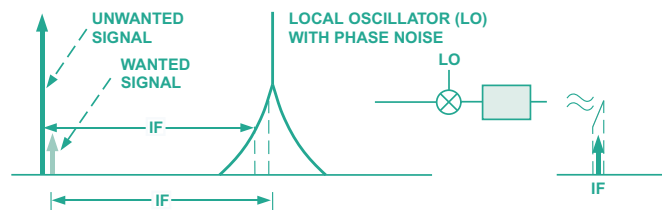


图4. 较大的干扰信号与LO噪声的混频将所需信号覆盖。较高的相位噪声将会降低接收机的灵敏度，因为解调器将无法从噪声中辨识信号。

图4. 较大的干扰信号与LO噪声的混频将所需信号覆盖。较高的相位噪声将会降低接收机的灵敏度，因为解调器将无法从噪声中辨识信号。

问：杂散水平为什么很重要？

答：大多数通信标准对LO可以产生的杂散频率成分(杂散)水平都做了非常严格的最大限度规定。在发射模式下，杂散水平必须被限制为确保不会干扰同一系统或邻近系统中的用户。在接收机中，LO杂散会显著削弱接收机解调下混频信号的能力。图4显示了混频的影响，所需信号被较大的干扰信号与的振荡器噪声所混频产生的噪声所覆盖。杂散噪声成分也会产生同样的影响。

杂散水平较高时，为了充分衰减这些干扰成分，设计人员不得不缩小环路带宽，降低响应速度，从而间接影响到锁定时间。确保低基准杂散的频率合成器关键特性是低电荷泵泄漏和电荷泵电流匹配。

问：锁定时间为什么很重要？

答：许多系统使用跳频作为保护数据安全、避免多径衰落以及避免干扰的手段。PLL实现频率锁定所花的时间非常宝贵，不能用于传输或接收数据，这会降低可达到的有效数据速率。目前的PLL尚不能实现足够快的调频以满足GSM协议的时序要求。在基站应用中，两个独立的PLL器件并联，用来减少浪费的时隙数量。当第一个PLL为发射机产生LO时，第二个PLL转到所分配的下一个通道。这种情况下，一个超快速(<10-μs)建立的PLL将能显著削减物料清单(BOM)并降低布局复杂度。

问：如何将锁定时间降至最短？

答：提高PFD频率。PFD频率决定了VCO/N与基准信号进行比较的频率。提高PFD频率将能提高电荷泵的更新速率，缩短锁定时间，而且还会使环路带宽变大。

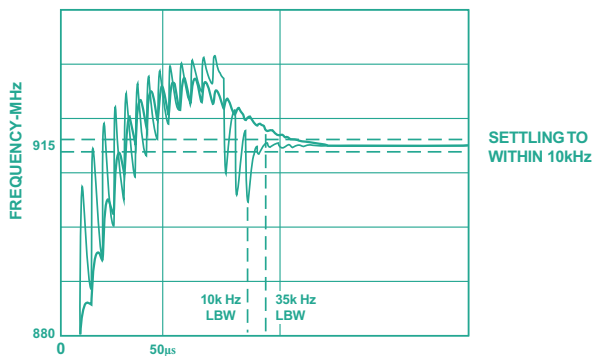


图5. 环路带宽对锁定时间具有重大影响。环路带宽越宽，锁定时间越快，但杂散成分水平也越大。环路带宽为35-kHz时，锁定至1 kHz的时间为142 μs；环路带宽为10-kHz时，锁定至1 kHz的时间为248 μs。

环路带宽。环路带宽越宽，锁定时间越快。不利一面是，较宽的环路带宽会削弱对杂散的衰减，提高积分相位噪声。显著提高环路带宽(>PFD/5)可能会导致环路变得不稳定，永久失锁。45度的相位余量可以产生最佳的建立瞬态。

避免使用接近地电压或V_p的调谐电压。如果调谐电压与电荷泵供电轨(V_p)相差不到1 V，电荷泵将开始在饱和区工作。在此区工作会显著延长建立时间，而且还可能造成频率上跳与下跳之间的不匹配。使用最大可用的V_p或使用有源环路滤波器可以避免电荷泵在饱和区工作。使用一个具有较高K_v的VCO可以使V_{tune}保持接近V_p/2，同时仍能在所需的频率范围上调谐。

选择塑料电容。一些电容会表现出电介质记忆效应，

这会减少锁定时间。对于快速锁相应用，推荐使用“塑料膜”式松下ECHU电容。

问：哪些因素决定了可以使用的最大PFD频率？

答：为了获得以PFD频率为步进的输出频率，PFD频率必须满足以下条件：

$$F_{PFD} < \frac{V_{CO} \text{ Output Frequency}}{(P^2 - P)}$$

其中P为预分频器值。

ADF4xxx提供低至8/9的预分频器选择，这使得其PFD频率可以高于许多竞争器件，同时不会违反上述规则，从而实现更低相位噪声的PLL设计。即使不满足这一条件，当编程寄存器中的B>A且B>2时，PLL也会锁定。

问：小数-N分频在1970年便已出现，它对PLL设计人员而言有何优势？

答：整数-N分频PLL输出的分辨率受限于PFD频率的步进。小数-N分频使PLL输出的分辨率可以降至PFD频率的一小部分。可以产生分辨率为数百Hz的输出频率，同时维持较高的PFD频率。因此，小数-N分频的N值显著小于整数-N分频的N值。由于电荷泵处的噪声以20 logN的比率累加到输出上，因此相位噪声可以得到显著改善。对于GSM900系统，小数-N分频ADF4252的相位噪声性能为-103 dBc/Hz；相比之下，整数-N分频PLL ADF4106的相位噪声性能为-93 dBc/Hz。

小数-N分频的另一个显著优势是可以改善锁定时间。当PFD频率设置为20 MHz、环路带宽为150 kHz时，频率合成器可以在不到30 μs内跳跃30 MHz。目前的基站要求使用2个PLL模块，确保LO能满足传输的时序要求。利用小数-N分频的超快锁定时间，将来频率合成器的锁定时间特性将允许用一个小数-N分频PLL模块代替现行的2个“乒乓”式PLL。

问：既然小数-N分频具有这些优势，为什么整数-N分频PLL仍然如此受欢迎呢？

答：问题在于杂散水平！小数-N分频19.1的组成是N-分频器花90%的时间除以19，花10%的时间除以20。平均分频是正确的，但瞬时分频是错误的。因此，PFD和电荷泵会不断地试图校正瞬时相位误差。提供求平均值功能的Σ-Δ调制器会承受繁重的数字运算活动，从而在输出处产生杂散成分。数字噪声加上电荷泵的匹配不精确性，导致杂散水平高于大多数通信标准的容许水平。小数-N分频器件只是在最近才对杂散性能进行了必要的改进，例如ADF4252，使设计人员得以考虑将其用于传统的整数-N分频市场。

问：贵公司最近发布了哪些PLL器件，这些器件有何区别，适合哪些应用？

答：ADF4001为200-MHz以下PLL，与广受欢迎的ADF4110系列引脚兼容，但去除了预分频器。在所有时钟必须与一个基准源同步的应用中，它可用作稳定的基准时钟发生器。它一般与VCXO(电压控制晶体振荡器)一起使用，后者具有比VCO更低的增益(Kv)和更好的相位噪声性能。

ADF4252为双路小数-N分频器件，杂散小于70 dBc。它提供不到20- μ s的锁定时间，而整数-N分频的锁定时间则长达250 μ s。由于PFD频率较高，相位噪声小于100 dBc/Hz。它是一款突破性产品，相位噪声与杂散性能之间的取舍可通过软件设置。

ADF4217L/ADF4218L/ADF4219L是LMX2331L/LMX2330L/LMX2370的低相位噪声升级产品。这些器件的功耗仅为7.1 mA，相位噪声性能比竞争产品高出4-dB。这对于手机设计人员是好消息！

ADF4106为6-GHz PLL频率合成器。它是市场上噪声最低的整数-N分频PLL，非常适合5.4 - 5.8-GHz频段内的WLAN设备。

问：环路仿真工具有哪些？

答：ADIsimPLL是一款与Applied Radio Labs共同开发的仿真工具，含有ADI公司频率合成器以及常用VCO、TCXO的丰富模型。利用这款工具，用户能设计许多结构的无源和有源环路滤波器，仿真VCO、PLL和基准噪声，以及为杂散和建立行为建模。完成设计后，可以使用到Avnet的内部网络链接，根据设计订购定制评估板。

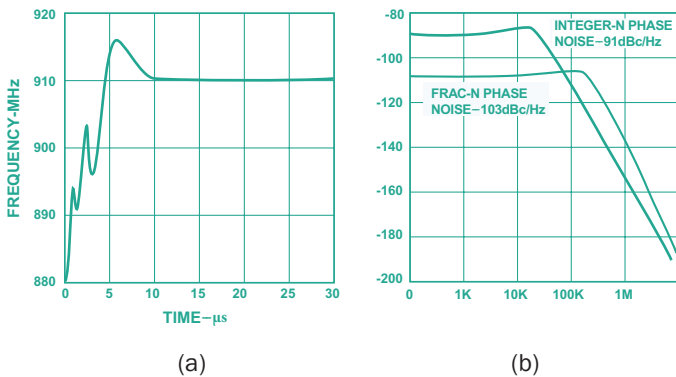


图6. ADIsimPLL可以模拟很多参数，锁定时间和相位噪声只是其中的两个。相位噪声降低8 dB以上，同时小数-N分频支持较宽的环路带宽和较高的PFD频率，使得30-MHz跳跃的锁定时间降至30 μ s以下(如图所示)。

这款工具可以免费下载，请访问：www.analog.com/pll。其它广泛使用的工具有商业软件Eagleware和MATLAB。

问：ADI器件相对于类似的竞争器件有哪些具体优势？

答：对于许多系统设计人员而言，相位噪声是关键特性。ADF4113系列的相位噪声性能比National同类产品一般高出6 dB，比富士通或飞利浦同类产品一般高出10 dB以上。丰富的预分频器设置选择可以使设计人员不必在根据“ $P^2 - P$ ”规则选择较高的PFD频率时进行折中。另一个重要优势是八个可编程电荷泵电流选择。在VCO增益会发生巨大变化的宽带设计中，可以调整可编程电流，确保整个频带上的环路稳定性和带宽一致性。

问：PLL行业未来将朝何方向发展？

答：虽然芯片组解决方案非常引人注目，尤其是对于GSM，但新一代手机和基站在起步阶段仍可能会热衷于分立式解决方案。分立式PLL和VCO模块具有更好的噪声和隔离性能，并且在设计周期的开始阶段就已大批量生产。

在手机中对更小尺寸和更低功耗的需求驱使ADI公司开发出了L系列双路频率合成器，它采用0.35- μ m Bi-CMOS工艺制造，提供小型CSP封装。在较新系统的设计中，由于初始设计非常注重减小电路板面积和降低成本，因此集成式VCO和PLL模块将大行其道。

不过，最激动人心的发展可能是小数-N分频技术。最近对杂散性能的改善促成了ADF4252的发布，并引发了业界前所未有的兴趣。相位噪声性能的改进、超快锁定时间以及这种架构固有的多功能性，很可能在未来多标准、高数据速率无线系统的LO模块应用中占统治地位。

致谢

感谢Mike Curtin、Brendan Daly和Ian Collins为本文的撰写所做的重要贡献。

参考资料

- (1) “Fractional-N Synthesizers,” (Design Feature), *Microwaves and RF*, August 1999.
- (2) *Microwave and RF Wireless Systems*, by David M. Pozar. Wiley (2000).
- (3) “Phase locked loops for high frequency receivers and transmitters,” by Mike Curtin and Paul O’Brien. *Analog Dialogue Volume 33*, 1999.
- (4) *Phase-locked Loops*, by Roland E. Best. McGraw-Hill (1993).
- (5) “Phase Noise Reference” (Application Note), Applied Radio Labs. 