

分量处理器非标准视频格式

作者: Witold Kaczurba

简介

这篇应用笔记旨在帮助用户配置分量处理器(CP)内核,以便处理PRIM_MODE[3:0]和VID_STD[3:0]未涵盖的HD、PS和图形标准。例如,可以通过编程让CP支持使用VID_STD[3:0]所不支持的其它SMPTE HD标准,如720p/50 Hz和1080i/50 Hz等。如果配置正确,CP可以支持RGB非标准图形格式,如MAC 13和MAC 16等图形标准。

在ADV7401/ADV7403标准操作中,PRIM_MODE[3:0]和VID_STD[3:0]用于配置CP处理最常见的HD、PS、SD和RGB图形格式。(有关主要模式和视频标准选择的更多信息,请参考ADV7401/ADV7403硬件手册《集成的多格式SDTV/HDTV视频解码器和RGB图形数字化仪》,其中列出了器件支持的模式。)

本应用笔记描述如何配置CP以处理非标准视频格式,步骤如下:

1. 选择适当的PRIM_MODE[3:0]/VID_STD[3:0]。
2. 设置锁存时钟。
3. 写入PLL_DIV_RATIO[11:0]。
4. 写入FR_LL[10:0]。

“用于非标准格式的PRIM_MODE[3:0]/VID_STD[3:0]选择”、“锁存时钟”、“像素时钟发生”和“自由振荡模式配置”部分分别描述上述各步骤。“成功范例”部分提供了几个例子。

目录

简介.....	1	例1：720p、50 Hz.....	5
CP内核配置.....	3	例2：MAC 16	6
用于非标准格式的PRIM_MODE[3:0]/VID_STD[3:0].....	3	例3：SXGA、75 Hz(二次采样像素时钟 = 108 MHz)	7
锁存时钟.....	3	例4：VESA 1360 × 768、60.015 Hz	
像素时钟发生.....	3	(像素时钟 = 85.5 MHz).....	8
自由振荡模式配置	4	提示.....	9
成功范例.....	5		

CP内核配置

用于非标准格式的PRIM_MODE[3:0]/VID_STD[3:0]选择

将PRIM_MODE[3:0]和VID_STD[3:0]设置为最接近的可用标准，便可将CP配置为非标准工作模式。表2给出了用于非标准格式的PRIM_MODE[3:0]和VID_STD[3:0]选择的一些例子。应当根据分辨率和像素时钟频率的最佳匹配进行选择。

锁存时钟

锁存时钟是控制采样的ADC内部参数。推荐的锁存时钟设置如表1所示。

表1. 锁存时钟设置

LATCH_CLK[3:0]	像素时钟(MHz)
0001	13.5至54
0010	55至100
0101	108
0110	135

像素时钟产生

ADV7401/ADV7403利用PLL通过输入Hsync信号合成像素时钟(TLLC)。对于非标准视频格式，可以手动配置PLL以产生任意频率的像素时钟，这通过对PLL反馈分频器模块进行编程而实现(参见图1)。

首先，用户必须将PLL_DIV_MAN_EN置1以使能PLL模块的手动编程功能。然后，针对非标准模式，设置PLL_DIV_RATIO[11:0]以提供所需的像素时钟。

计算PLL_DIV_RATIO[11:0]值的方法有两种，用户根据非标准格式的相关信息选择其中一种。

方法1详见公式1，也就是将像素时钟频率除以输入Hsync频率。此公式说明了PLL从输入Hsync信号产生像素时钟的倍频过程。

$$PLL_DIV_RATIO[11:0] = \frac{f_{PIXELCLOCK}}{f_{Hsync}}$$

(1)

方法2是运用以下规则：PLL_DIV_RATIO[11:0]始终等于全行的亮度采样像素周期数。

表2. 用于非标准格式的PRIM_MODE[3:0]和VID_STD[3:0]选择示例

非标准视频格式			ADV7401/ADV7403 CP默认配置				
格式	分辨率	像素时钟(MHz)	PRIM_MODE[3:0]	VID_STD[3:0]	格式	分辨率	像素时钟(MHz)
VGA 70	640 × 480	28.561	0010	1001	VGA 72	640 × 480	31.515
WVGA60	852 × 480	34.000	0010	0000	SVGA 56	800 × 600	36.00
MAC 13	640 × 480	30.240	0010	1001	VGA 72	640 × 480	31.515
MAC 21	1152 × 870	100.00	0010	1111	XGA 85	1024 × 768	94.5
1080i/50 Hz	1920 × 1080	74.25	0001	1100	HD 1080/60	1920 × 1080	74.25

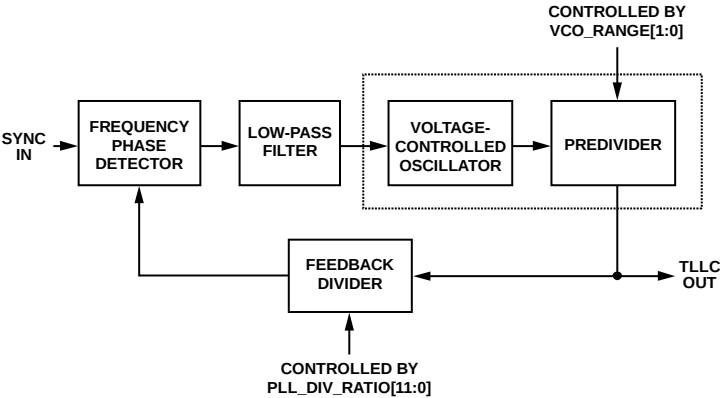


图11 PLL架构

VCO_RANGE[1:0]和PLL_QPUMP[2:0]手动配置

必须设置VCO_RANGE[1:0]和PLL_QPUMP[2:0]，从而配置PLL产生稳定的TLLC。推荐的VCO范围和PLL电荷泵设置如表3和表4所示。

表3. 非标准视频格式VCO范围设置

VCO_RANGE[1:0]	像素时钟(MHz)
00	13.5 to 29
01	30 to 44
10	45 to 89
11	90 to 140

表4. 非标准视频格式PLL设置

电荷泵电流PLL_QPUMP[2:0]	像素时钟(MHz)
001	<22
011	≥22
100	≥31
101	≥42
011	≥45
100	≥48
101	≥58
100	≥90
101	≥95
110	≥136
111	≥205

仅当VCO_RANGE_MAN置1时，VCO_RANGE[1:0]的设置才会有效。针对PRIM_MODE[3:0]和VID_STD[3:0]支持的所有标准，VCO自动选择适当的范围。

二次采样输入视频

通过调整PLL分频比，也可以对输入视频进行二次采样。这样，CP就能以较低的水平分辨率(每行亮度采样数)处理标准格式，而垂直分辨率(每帧行数)则保持不变。必须限制输入视频信号的带宽，防止混叠失真。

使用二次采样，CP还能处理分辨率和像素时钟高于ADV7401/ADV7403额定值的视频格式。例如，UXGA、60 Hz (1600 × 1200)的像素时钟为162 MHz，高于ADC的最

大采样速率。通过利用PLL从输入Hsync产生108 MHz时钟，CP就能处理1200行的分辨率。由于像素时钟较低，水平分辨率随之降低；对于全带宽信号，全行的亮度采样数只有1440 S/TL，而不是1600 S/TL。

自由运行模式配置

当CP内核进入未锁定状态时，ADV7401/ADV7403的自由运行功能支持显示蓝屏输出。CP通过行长测量来决定何时进入自由运行状态。CP使用VID_STD[3:0]确定期望的行长。对于非标准格式，CP必须手动编程设置为期望的不同行长。

FR_LL(自由运行行长)参数是视频格式的理想行长内的晶体时钟周期数。当输入格式改变时，或当没有输入时，CP使用此参数检测行长何时发生改变。此参数一般从VID_STD[3:0]和PRIM_MODE[3:0]解码获得。

当测得的行长与FR_LL[11:0]相差32个时钟周期(此阈值可以在CP_F_RUN_TH[2:0]中设置)时，CP内核转为未锁定状态，并进入自由运行模式。要针对非标准视频配置CP，必须手动设置FR_LL[11:0]，从而使它忽略与对应VID_STD[3:0]相关的默认行长。

要计算手动设置参数FR_LL[11:0]，将行周期除以27 MHz时钟周期(对于27 MHz晶体)或28.6363 MHz时钟周期(对于28.6363 MHz晶振)，参见公式2。此公式中的分子可以直接根据Hsync周期计算，或者将每行的总亮度像素周期数乘以像素时钟周期。

$$FR_LL[11:0] = \frac{t_{LINE\ PERIOD}}{t_{XTAL_MHZ}} \tag{2}$$

其中， $t_{XTAL_MHZ} = t_{27\ MHz}$ (对于27 MHz晶体)或 $t_{XTAL_MHZ} = t_{28.6363\ MHz}$ (对于28.6363 MHz晶体)。

成功范例

例1：720p、50 Hz

- 1. 将PRIM_MODE[3:0]和VID_STD[3:0]设置为最接近的可用标准。
PRIM_MODE[3:0] = 0001b
VID_STD[3:0] = 1010b
该选择基于最接近可用非标准格式的像素时钟频率和分辨率。
- 2. 设置锁存时钟。参考表1的74.25 MHz，LATCH_CLK[3:0] = 0010b。
- 3. 写入PLL_DIV_RATIO[11:0]。由于没有关于此标准的Hsync频率的信息，因此无法使用公式1。全行的亮度采样周期数等于1980，因此使用方法2，将PLL_DIV_RATIO

[11:0]设为1980(如“像素时钟发生”部分所述)。
PLL_DIV_MAN_EN = 1b
PLL_DIV_RATIO[11:0] = 1980_{dec} = 0x7BC
将PLL_QPUMP[2:0]设置为101b，VCO_RANGE[1:0]设置为10b(参考表3和表4)。
4. 使用公式2计算FR_LL[11:0]。
 $t_{\text{LINE PERIOD}} = (1980 \times 1/74.25 \text{ MHz}) = 26.667 \mu\text{s}$
 $t_{27 \text{ MHz}} = 37.037 \text{ ns}$
FR_LL[11:0] = 720_{dec} = 0x2D0

结合这些新寄存器设置和标准设置，ADV7401/ADV7403 (器件地址0x42)720p/50 Hz需要下列I²C写操作。

```
##CP 720p YPrPb 1X1##
:720p/50 YPrPb In 1X1 30Bit 444 Out:
42 05 01 ; PRIM_MODE = 0001b COMP
42 06 0A ; VID_STD = 1010b for 720P 1x1
42 3A 20 ; set latch clock settings to 010b
42 3B 80 ; External Bias Enable
42 3C 5D ; PLL_QPUMP to 101b
42 6B C2 ; 30-bit 4:4:4 output
42 87 E7 ; Man set PLL_DIV_RATIO 1980
42 88 BC ; Man set PLL_DIV_RATIO 1980
42 8A D0 ; VCO Range to 10b
42 8F 02 ; Set FR_LL = 720
42 90 D0 ; Set FR_LL = 720
End
```

表5. 720p/50 Hz的视频信号时序

系统命名	每有效行的亮度采样数	每帧的有效行数	帧速率(Hz)	采样频率(MHz)	全行的亮度采样周期数	每帧的总行数
1280 × 720	1280	720	50	74.25	1980	750

例2： MAC 16

1. 将PRIM_MODE[3:0]和VID_STD[3:0]设置为最接近的可用标准。

PRIM_MODE[3:0] = 0010b

VID_STD[3:0] = 0100b

该选择基于最接近可用非标准格式的像素时钟频率和分辨率。

2. 设置锁存时钟。参考表1的55.000 MHz， LATCH_CLK[3:0] = 0010b。

3. 写入PLL_DIV_RATIO[11:0]。使用公式1， Hsync频率为49.107 kHz， 像素时钟为55.000 MHz， 因此：

PLL_DIV_MAN_EN = 1b

PLL_DIV_RATIO[11:0] = 1120_{dec} = 0x460

##CP RGB Graphics Special Modes##

:832 x 624 _@ 75.087Hz MAC 16 PIXEL CLOCK 55.00 MHz:

42 04 75 ; enable max drive strength
42 05 02 ; PRIM_MODE = 0010b for GR
42 06 04 ; VID_STD = 0100b for 800x600 @ 85; closest available standard.
42 0E 0F ; enable max drive strength Clock & Syncs
42 3A 20 ; set latch clock settings to 010b
42 3B 80 ; External Bias Enable
42 3C 5C ; PLL_QPUMP to 100b
42 6A 00 ; DLL Phase Adjust
42 6B 82 ; Enable DE output, swap Pr& Pb
42 73 90 ; Set man_gain
42 7B 1C ; TURN OFF EAV & SAV CODES
42 87 E4 ; PLL_Div_Ratio to 1120
42 88 60 ; PLL_Div_Ratio to 1120
42 8A D0 ; VCO Range to 10b
42 8F 02 ; FR_LL = 550
42 90 26 ; FR_LL = 550
End

将PLL_QPUMP[2:0]设置为100b， VCO_RANGE[1:0]设置为10b(参考表3和表4)。

4. 使用公式2计算FR_LL[11:0]。

$t_{\text{LINE PERIOD}} = (1/49.107 \text{ kHz}) = 20.36 \mu\text{s}$

$t_{27 \text{ MHz}} = 37.037 \text{ ns}$

$\text{FR_LL}[11:0] = 550_{\text{dec}} = 0x226$

结合这些新寄存器设置和标准设置， ADV7401/ADV7403 (器件地址0x42)MAC 16需要下列I²C写操作。

表6. MAC 16的视频信号时序

系统命名	每有效行的亮度采样数	每帧的有效行数	帧速率(Hz)	采样频率(MHz)	全行的亮度采样周期数	每帧的总行数
832×624	832	624	75.087	55.000	1120	654

例3: SXGA、75 Hz(二次采样像素时钟 = 108 MHz)

1. 将PRIM_MODE[3:0]和VID_STD[3:0]设置为SXGA/75 Hz标准。

PRIM_MODE[3:0] = 0010b

VID_STD[3:0] = 0101b

该选择基于最接近可用非标准格式的像素时钟频率和分辨率。

2. 设置锁存时钟。参考表1的108 MHz(二次采样像素时钟), LATCH_CLK[3:0] = 0010b。

注意: 在标准格式(135 MHz)中, 锁存时钟为LATCH_CLK[3:0] = 0110。

3. 写入PLL_DIV_RATIO[11:0]以获得所需的二次采样像素时钟。使用公式1, Hsync频率为79.976 kHz, 像素时钟为108 MHz, 因此:

PLL_DIV_MAN_EN = 1b

PLL_DIV_RATIO[11:0] = $1351_{\text{dec}} = 0x547$

##CP RGB Graphics MEI Special Modes##

:1280x1024 _@ 75.025Hz SubSamp. 108MHz Out through DAC:

42 05 02 ; PRIM_MODE = 0010b for GR

42 06 05 ; VID_STD = 0101b for 1280x1024 @ 75

42 37 00 ; Invert PCLK

42 3A 21 ; set latch clock settings to 010b, Power Down ADC3

42 3B 80 ; Enable External Bias

42 3C 5D ; PLL_QPUMP to 101b

42 6A 00 ; DLL Phase Adjust

42 6B C2 ; sets CPOP_SEL to 0010b 30 Bit Output Pr/Pb pins swapped.

42 73 90 ; Set man_gain

42 7B 1C ; TURN OFF EAV & SAV CODES

42 87 E5 ; PLL_Div_Ratio to 1350

42 88 47 ; PLL_Div_Ratio to 1350

42 8A F0 ; VCO Range to 11b

42 8F 01 ; FR_LL = 338

42 90 52 ; FR_LL = 338

42 B3 FE ; STDI Tweak

42 F4 3F ; Max Drive Strength

End

将PLL_QPUMP[2:0]设置为101b, VCO_RANGE[1:0]设置为11b(参考表3和表4)。注意: 二次采样视频数据对应1350 S/TL, 标准格式对应1688 S/TL。

4. 使用公式2计算FR_LL[11:0]。

$$t_{\text{LINE PERIOD}} = (1/79.976 \text{ kHz}) = 12.503 \mu\text{s}$$

$$t_{27 \text{ MHz}} = 37.037 \text{ ns}$$

$$\text{FR_LL}[11:0] = 338_{\text{dec}} = 0x152$$

结合这些新寄存器设置和标准设置, ADV7401/ADV7403 (器件地址0x42)SXGA/75 Hz需要下列I²C写操作。

表7. SXGA/75 Hz的视频信号时序(二次采样)

系统命名	每有效行的亮度采样数	每帧的有效行数	帧速率(Hz)	采样频率(MHz)	全行的亮度采样周期数	水平频率(kHz)
1280 × 1024	1280	1024	75	135 (108 ¹)	1688 (1350 ¹)	79.976

¹ 二次采样视频数据格式

例4: VESA 1360 × 768、60.015 Hz(像素时钟 = 85.5 MHz)

1. 将PRIM_MODE[3:0]和VID_STD[3:0]设置为1024 × 768 (75 Hz时)标准。
PRIM_MODE[3:0] = 0010b
VID_STD[3:0] = 1110b
该选择基于最接近可用非标准格式的像素时钟频率和分辨率。
2. 设置锁存时钟。参考表1的85.5 MHz, LATCH_CLK[3:0] = 0010b。
3. 写入PLL_DIV_RATIO[11:0]以获得所需的采样像素时钟。使用公式1, Hsync频率为47.712 kHz, 像素时钟为85.5 MHz, 因此:
PLL_DIV_MAN_EN = 1b
PLL_DIV_RATIO[11:0] = 1792_{dec} = 0x700

```
##CP RGB Graphics Special Modes##
:1360x768 _@ 60.015Hz, 85.500MHz Out through DAC:
  42 05 02 ; PRIM_MODE = 0010b for GR
  42 06 0E ; VID_STD = 1110b for 1024x768 @ 75
  42 3A 21 ; set latch clock settings to 010b, Power Down ADC3
  42 3B 80 ; Enable External Bias
  42 3C 5D ; PLL_QPUMP to 101b
  42 6A 00 ; DLL Phase Adjust
  42 6B 82 ; Enable DE output, swap Pr Pb
  42 73 90 ; Set man_gain
  42 7B 14 ; AV CODES DISABLE, TURN OFF EAV and SAV CODES
  42 87 E7 ; PLL_Div_Ratio to 1792
  42 88 00 ; PLL_Div_Ratio to 1792
  42 8A E0 ; VCO Range to 10b
  42 8F 02 ; FR_LL = 566
  42 90 36 ; FR_LL = 566
  42 F4 3F ; Max Drive Strength
End
```

将PLL_QPUMP[2:0]设置为101b, VCO_RANGE[1:0]设置为10b(参考表3和表4)。

4. 使用公式2计算FR_LL[11:0]。

$t_{\text{LINE PERIOD}} = (1/47.712 \text{ kHz}) = 20.959 \mu\text{s}$

$t_{27 \text{ MHz}} = 37.037 \text{ ns}$

$\text{FR_LL}[11:0] = 566_{\text{dec}} = 0x236$

结合这些新寄存器设置和标准设置, ADV7401/ADV7403 (器件地址0x42)1360 × 768(60 Hz时)需要下列I²C写操作。

表8. 1360 × 768(50 Hz时)的视频信号时序

系统命名	每有效行的亮度采样数	每帧的有效行数	帧速率(Hz)	采样频率(MHz)	全行的亮度采样周期数	水平频率(kHz)
1360 × 768	1360	768	60.015	85.5	1792	47.712

提示

如果已设置DAC输出，则使能AV_CODE_EN[1]可能会导致输出上出现可见的垂直线。为避免这种现象，使用DAC输出时应关闭AV_CODE_EN[1]。

AV_BLANK_EN[3]根据VBI应处的位置(由PRIM_MODE[3:0]决定)消隐视频；对于新的配置，它可能不正确。此时应禁用AV_BLANK_EN位。

解码器与后端之间的PCLK不匹配的极性可能会在输出端引起噪声。(请参考ADV7401和ADV7403硬件手册《集成的多格式标清电视/高清电视视频解码器和RGB图形数字化仪》。)可以让PCLK信号反相，利用PCLK[0]避免产生噪声。

```
42 37 00 ; Invert PCLK
```

更改CP自由运行阈值(CP_F_RUN_TH[2:0])可能会导致输出无效。此值默认设置为0x54。由于EMC和串扰，可能需

要增强或减弱输出驱动器的驱动强度。DR_STR_S[1:0]设置同步信号HS、VS和FIELD的驱动强度。DR_STR_C[1:0]选择时钟信号输出驱动器的输出强度。DR_STR[1:0]设置数据输出驱动器的驱动强度。

建议值如表9所示。

表9. 驱动强度设置

DR_STR_S[1:0]	DR_STR_C[1:0]	DR_STR[1:0]	像素时钟(MHz)
01	01	01	<54
10	10	10	<110
11	11	11	>110

注释

注释

注释