

AD9361的LVDS接口上的伪随机二进制序列校准

作者: Howie Jing、Jie Weng和Patrick Wiers

简介

AD9361是一款面向3G和4G基站应用的高性能、高集成度射频 (RF) Agile Transceiver™ 捷变收发器。AD9361具有可编程性和宽带能力,特别是它的通道带宽在200 kHz以下至56 MHz的范围内,具备低功耗特性,这些优点使之成为众多收发器应用的理想选择。我们建议将AD9361用于小型基站应用新设计,在此类应用中,需要较宽的带宽来支持多载波应用,载波必须是连续的。

为了支持较宽的带宽,我们必须考虑多种因素,例如变送器 (Tx) 输出线性度、本振 (LO) 泄漏、低电压差分信号 (LVDS) 接口。本应用笔记主要讨论支持56 MHz带宽必需的LVDS接口。图1显示AD9361和定制应用集成电路 (ASIC)、现场可编程门阵列 (FPGA) 之间通过LVDS接口的连接。AD9361数据手册提供了接口详细信息。本应用笔记重点讨论伪随机二进制序列 (PRBS) 校准方法,以使LVDS接口在工艺和温度变化范围内更加可靠。

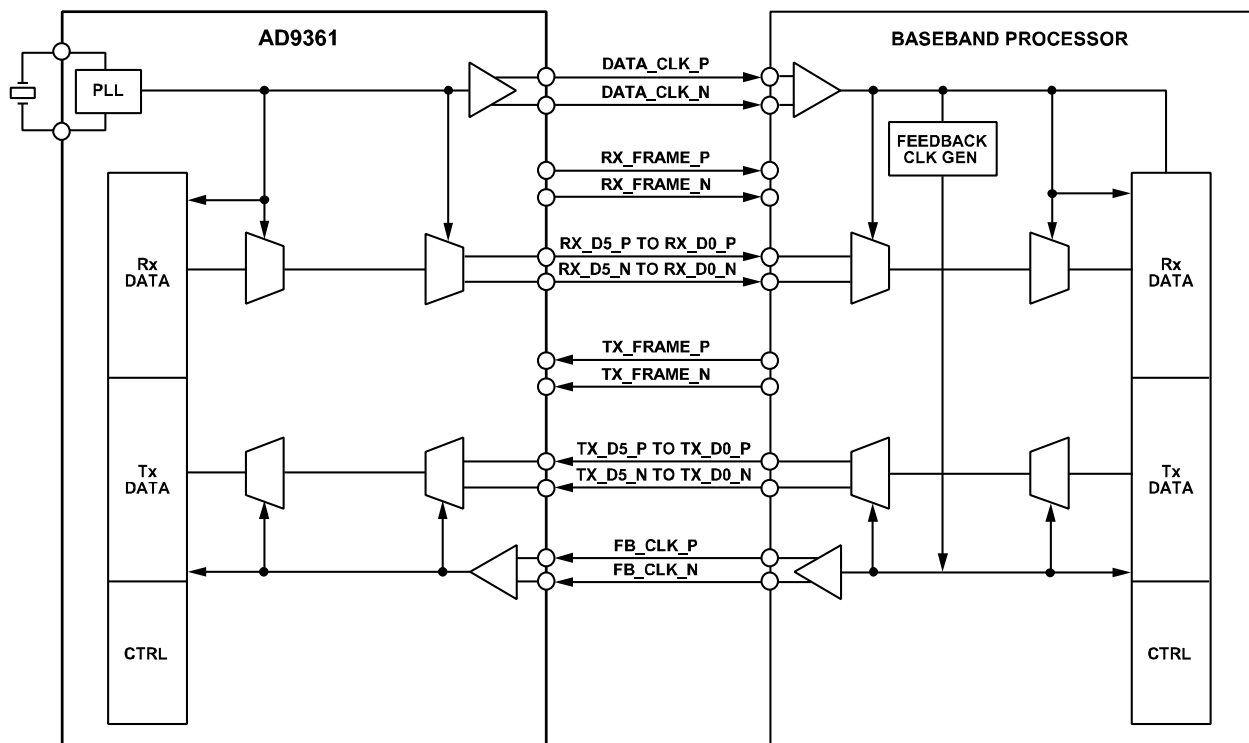


图1. AD9361在LVDS模式下的数据路径

目录

简介.....	1	延迟变化测试结果.....	5
修订历史.....	2	基带处理器中的延迟补偿	5
问题描述.....	3	AD9361中的延迟补偿.....	5
LVDS时序参数.....	3	PRBS校准.....	7
对连接基带处理器的影响.....	3	结论.....	9
PRBS校准详细信息	5		

修订历史

2018年4月—修订版0：初始版

问题描述

请注意，本应用笔记中提及的RX_Dx ($x = 0$ 至5)、TX_Dx ($x = 0$ 至5)、DATA_CLK、RX_FRAME、TX_FRAME和FB_CLK仅指信号。RX_Dx信号是RX_Dx_P和RX_Dx_N引脚上的信号。TX_Dx信号是TX_Dx_P引脚和TX_Dx_N引脚上的差分信号。DATA_CLK信号是DATA_CLK_P引脚和DATA_CLK_N引脚上的差分信号。RX_FRAME信号是RX_FRAME_P引脚和RX_FRAME_N引脚上的差分信号。TX_FRAME信号TX_FRAME_P引脚和TX_FRAME_N引脚上的差分信号，FB_CLK是FB_CLK_P和FB_CLK_N引脚上的差分信号。

LVDS时序参数

为支持56 MHz带宽，必须将AD9361上的I/Q数据速率设置为61.44 MSPS的最大值。为了实现2T2R操作，DATA_CLK信号必须在4×I/Q速率、245.76 MHz频率下传输。表1显示此速率下LVDS数据总线的时序限制。

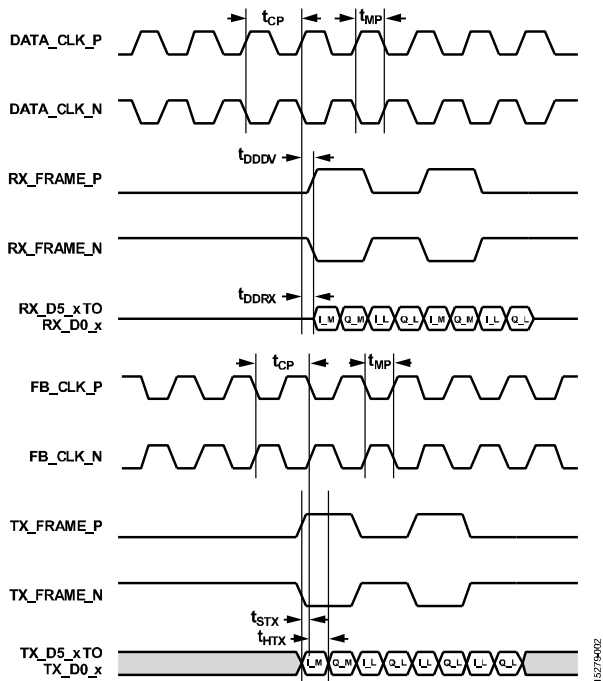


图2. 数据端口时序参数图 — LVDS总线配置
(其中x表示P和N引脚)

对连接基带处理器的影响

如表1所示，当时钟速率为245.76 MHz时，DATA_CLK的周期时间为4.069 ns，最小脉冲宽度为占空比的45%，大约为1.83 ns。与此脉冲宽度相比，从DATA_CLK信号到RX_D5至RX_D0信号或到RX_FRAME信号 (t_{DDRX} 和 t_{DDV}) 的延迟为1.25 ns最大值。

图2显示了AD9361中的时序图。

图3显示了基带处理器中的时序图。

在图3中， t_{TDD} 是总延迟差异，包括AD9361中的 t_{DDRX} (1.25 ns) 和数据通过印刷电路板 (PCB) 传播的路径延迟差异，以及类似于基带处理器器件中的 t_{DDRX} 中的延迟差异。在最差情况下，该值大于1.25 ns。例如，假定延迟差异为1.5 ns，则数据剩下的建立时间 (t_{ST}) 和保持时间 (t_{HT}) 仅为0.33 ns (请参见图3)，因为即便在测试台和某一个温度下满足时序要求，也很难在温度和工艺变化的情况下保持可靠性。

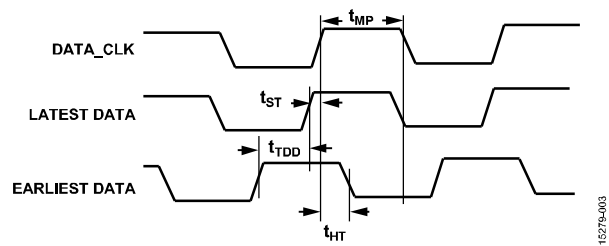


图3. 基带处理器中的时序图

要让该接口在245.76 MHz频率下工作，建议进行校准，以校正AD9361和基带处理器之间的延迟差异 (t_{TDD})。

表1. 图2显示的LVDS时序参数

参数	最小值	典型值	最大值	单位	说明
t_{CP}	4.069			ns	DATA_CLK周期时间（时钟周期）
t_{MP}	t_{CP} 的45%		t_{CP} 的55%		DATA_CLK信号和FB_CLK信号的高/低最小脉冲宽度（包括占空比失真、周期抖动、相邻周期抖动、半周期抖动带来的影响）
t_{STX}	1			ns	TX_D5至TX_D0和TX_FRAME信号建立时间，截止到AD9361输入的FB_CLK信号下降沿
t_{HTX}	0			ns	TX_D5至TX_D0和TX_FRAME信号保持时间，从AD9361输入的FB_CLK信号上升沿开始
$t_{DDR\!X}$	0.25		1.25	ns	从DATA_CLK到RX_D5至RX_D0输出信号的延迟
t_{DDV}	0.25		1.25	ns	从DATA_CLK信号到RX_FRAME信号的延迟

PRBS校准详细信息

延迟变化测试结果

图4显示了六个RX_D0至RX_D5信号对的延迟差异，以及300个器件上从DATA_CLK到RX_FRAME的延迟差异。这些数字信号的延迟值之间存在很大差异。最大延迟接近1.2 ns，但最短延迟仅为0.3 ns，差异可以达到0.9 ns。

基带处理器中的延迟补偿

图4显示了另一个现象，例如最大延迟大多发生在RX_D4上，接近1.2 ns；但在RX_D1上，延迟最大值仅为0.7 ns左右。RX_D4和RX_D1之间的延迟差异为0.5 ns；因此，我们最好补偿RX_D1上的0.5 ns延迟，这样RX_D4能够与RX_D1保持一致。这种方法可以延伸到其他RX_D5至RX_D0信号对，以及RX_FRAME信号，还有TX_D5至TX_D0信号对。

例如，如果能够在基带处理器中单独对每个RX_D5至RX_D0进行这些补偿，则可达到更高精度，如图4所示，对RX_D5和RX_D4进行-500 ps的延迟校准，对RX_D3、RX_D2和RX_D0进行-200 ps的延迟校准，可实现图5所示的效果。延迟更多集中在0.2 ns和0.7 ns之间，性能得到显著改进。

校准可在每个器件上调节；因此，研究单个AD9361器件上的RX_D5至RX_D0信号对与DATA_CLK之间的延迟差异更有

意义。在图6中，蓝条显示了在没有任何补偿的300多个器件上的此类延迟差异的分布。大多数器件上的延迟差异集中在0.5 ns，最大值为0.7 ns。采用上文所述的相同补偿，分布移向较低的延迟差异，如图6中的绿条所示。最大延迟差异为0.3 ns，减小了0.4 ns。

AD9361中的延迟补偿

基带处理器可能无法通过RX_D5至RX_D0信号校正延迟差异，或者完全无法进行延迟补偿。这个问题的解决方案是，对于Rx，使用寄存器0x006在AD9361中进行补偿，对于Tx，使用寄存器Register 0x007进行补偿，以调节RX_D5至RX_D0和DATA_CLK信号之间（或TX_D5 to TX_D0和FB_CLK信号之间）的相对延迟，最低有效位（LSB）精度大约为0.3 ns。请注意，该延迟影响具有相同值的所有数据对。AD9361无法单独调节数据对上的延迟。但是，这种类型的补偿仍然可以实现校准。图7显示了在AD9361的寄存器0x006中校正300 ps延迟时的结果。图7中的结果显示，延迟差异主要分布在0.1 ns和0.4 ns之间，最大延迟减小至0.4 ns，这为基带处理器中的 $t_{ST} + t_{HT}$ 的时序（如图3所示）提供了更多裕量（大约1.4 ns），从而保证在工艺和温度变化范围内的可靠性。

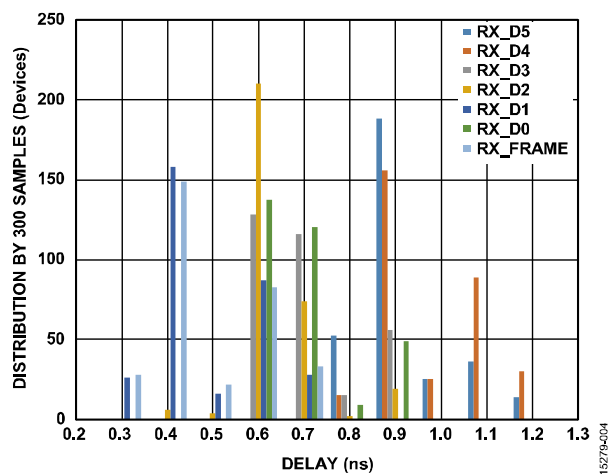


图4. RX_DATA信号和RX_FRAME信号相对DATA_CLK信号的延迟分布

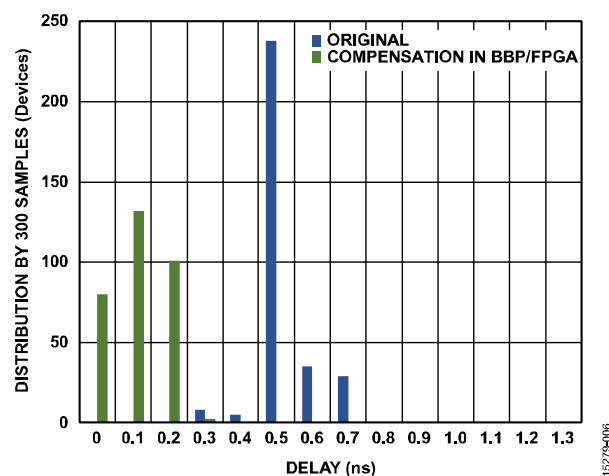


图6. 单个器件上的延迟差异的分布

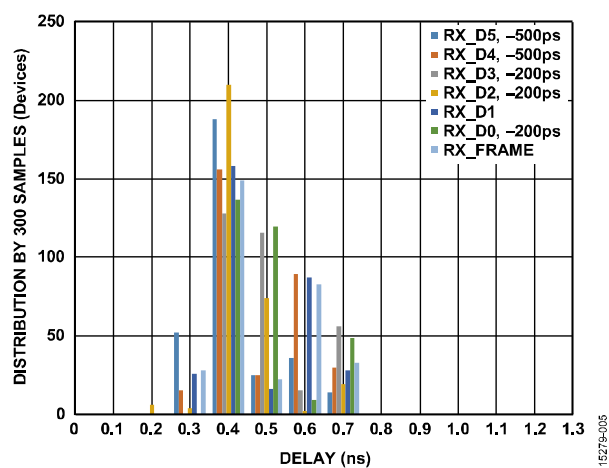


图5. 校正后的延迟分布

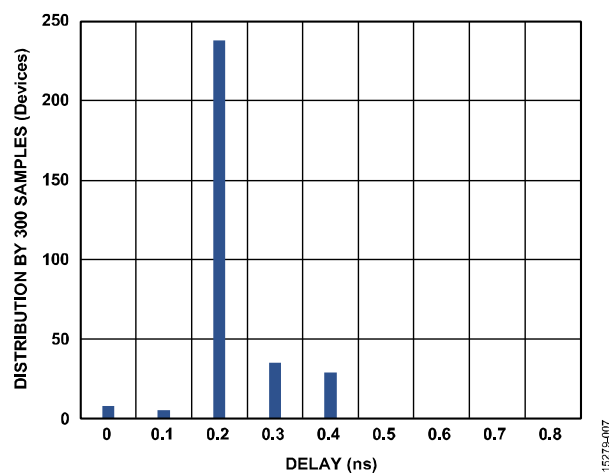


图7. AD9361中的延迟差异的分布 (进行了延迟校正)

PRBS校准

AD9361中集成的PRBS发生器提供了确定需要多大延迟补偿的方法。可将PRBS注入AD9361的接口，并传输到基带处理器。在基带处理器接收这个已知序列之后，可实现PRBS检查器，以计算误码率（BER）。如果在接收的PRBS上没有发生错误，则接口正常工作。否则，请调节AD9361或基带处理器中的延迟补偿模块，直至BER降低到所需阈值之下。

AD9361带有16次、14 tap的PRBS发生器，使用16阶多项式，如以下方程所示。

$$G(x) = x^{16} + x^{15} + x^{14} + x^{13} + x^{12} + x^{11} + x^{10} + x^9 + x^8 + x^7 + x^6 + x^5 + x^3 + x^2 + 1$$

有关PRBS生成和多项式方程的详细说明，请参考AD9361寄存器图表中的寄存器0x3F4。

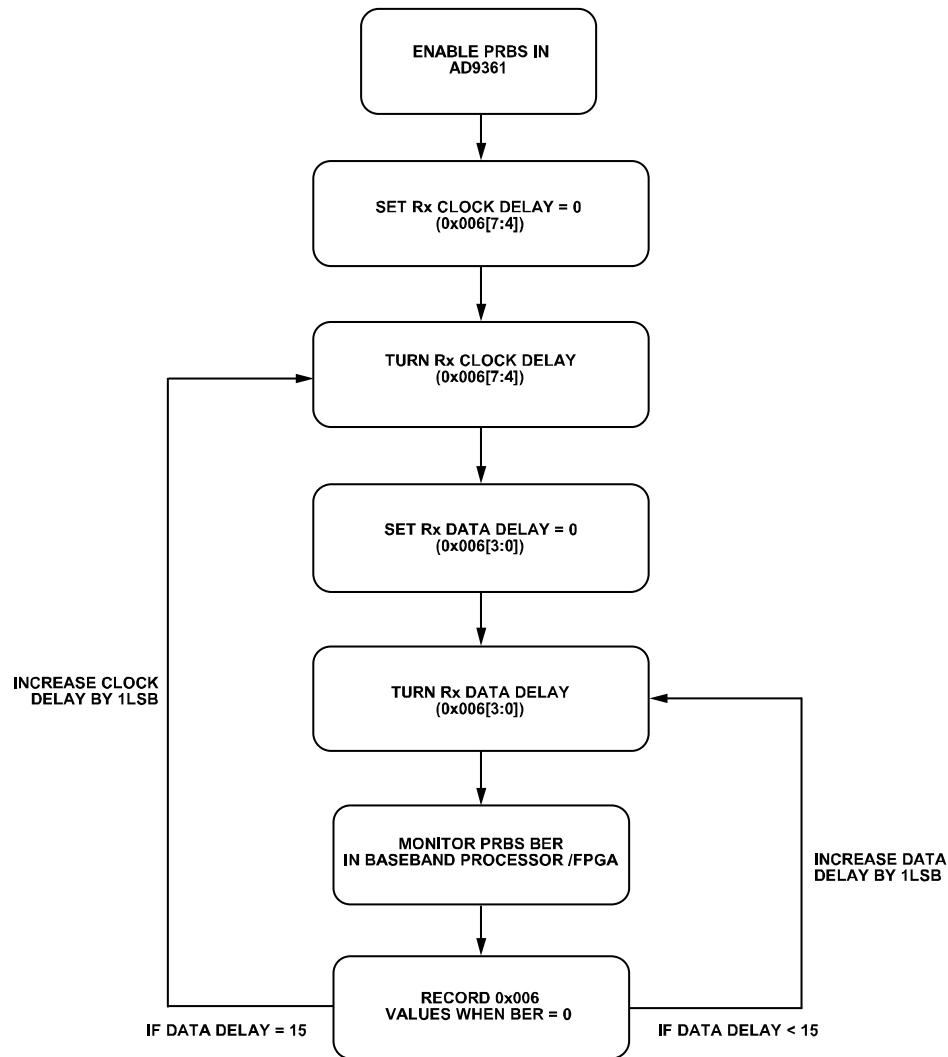


图8. 校准序列

遵循下文所述的校准序列，如图8所示，可生成表2所示的矩阵。在表2中，P表示PRBS测试通过，F表示PRBS测试失败。在本例中，寄存器0x006的值可能是0x96、0xA7、0xB8、0xC9或0xDA

为寄存器0x006上的接收器（Rx）延迟选择适当设置之后，可以使用相同的方法和序列，在Tx LVDS路径上运行校准

程序。这次，在校准Tx LVDS路径时，可在基带处理器中生成伪随机二进制序列，并传输到AD9361的Tx接口。在AD9361中，内部电路可将TX_D5 to TX_D0循环到RX_D5 to RX_D0路径，然后将数据传输回到基带处理器，PRBS检查器将其与原始序列进行比较，并确定如何调节寄存器0x007中的延迟，以获得如表2所示的相似矩阵。

表2. 校准矩阵 — IQ数据速率：61.44 MSPS¹

寄存器0x006[7:4] 位值	寄存器0x006[3:0]位值															
	0	1	2	3	4	5	6	7	8	9	a	b	c	d	e	f
0	P	F	F	F	F	F	F	F	F	F	P	P	P	F	F	F
1	P	F	F	F	F	F	F	F	F	F	F	F	F	F	P	P
2	P	P	F	F	F	F	F	F	F	F	F	F	F	F	F	P
3	P	P	P	F	F	F	F	F	F	F	F	F	F	F	F	F
4	P	P	P	P	F	F	F	F	F	F	F	F	F	F	F	F
5	F	P	P	P	P	F	F	F	F	F	F	F	F	F	F	F
6	F	P	P	P	P	P	F	F	F	F	F	F	F	F	F	F
7	F	F	P	P	P	P	P	F	F	F	F	F	F	F	F	F
8	F	F	F	F	P	P	P	P	F	F	F	F	F	F	F	F
9	F	F	F	F	P	P	P ²	P	P	F	F	F	F	F	F	F
a	F	F	F	F	F	P	P	P ²	P	P	F	F	F	F	F	F
b	F	F	F	F	F	F	P	P	P ²	P	P	F	F	F	F	F
c	F	F	F	F	F	F	F	P	P	P ²	P	P	F	F	F	F
d	F	F	F	F	F	F	F	F	P	P	P ²	P	P	F	F	F
e	F	F	F	F	F	F	F	F	F	P	P	P	P	P	F	F
f	F	F	F	F	F	F	F	F	F	F	P	P	P	P	P	F

¹ P = PRBS测试通过，F = PRBS测试失败。

² 延迟设置的最佳值。这些值在两个方向上具有最少两个LSB（大约0.6 ns）的保护裕量，通常足以应对工艺变化和温度范围变化

结论

在本文档中，我们介绍了LVDS路径延迟的PRBS校准，目的是支持245.76 MHz数据时钟（56 MHz带宽最大值）。因此，对Rx数据实施校准时，数据对上的延迟差异得到显著改进，降低至0.3 ns（基带处理器中的补偿）或0.4 ns（[AD9361](#)中的补偿）。

两种补偿都让高速LVDS接口具有裕量，从而克服温度和工艺差异。这种方法对Tx数据延迟校准同样有效。

本应用笔记通过[AD9361](#)上的一个示例，证明校准序列是可行的，可用于大批量生产客户系统。