

兼容SPICE的运算放大器宏模型

作者：Mark Alexander、Derek F. Bowers

目前，电路仿真领域呈现采用全方位电路仿真方法的趋势。我们认为，在所有安装的电路仿真器中，有 75% 用于系统设计，而不是 IC 设计。几乎所有这些仿真器都是 SPICE 的变体。随着电子行业不断发展，系统工程师面对日益增多的集成电路，尤其是无处不在的运算放大器，也需要愈加精准的模型。但是，这些 IC 器件的速度和复杂性不断提高，给初期的 SPICE 开发人员带来了始料未及的问题。

由于典型的运算放大器中包含大量有源器件，仅使用晶体管级模型的电路仿真会消耗大量时间，特别是电路中包含多个运算放大器时。由于涉及多个非线性方程，即使是简单的半导体器件模型也会消耗大量计算时间。在某些情况下，完成整个仿真所需的时间可能超过构建工程原型所需的时间。显然，这种情况完全背离了使用 SPICE 的初衷。

幸运的是，我们可以通过使用尽可能准确地表示运算放大器的宏模型来缩短仿真时间，而无需使用大量晶体管或其他非线性器件。然而，无论出于何种意图和目的，要设计一个能完全模拟实际器件的宏模型是一个相当大的挑战。对于电路设计人员来说，运算放大器模型要切实起到作用，则不能只涵盖所有重要的 DC 参数，还要能够在远超单位增益交越频率的区域内合理地仿真近似 AC 特性。

现有的宏模型是不够的

许多运算放大器的宏模型已包含在多个可用软件仿真器的器件库中。这些模型大多数都是基于 Graeme Boyle 和他的同事（见参考文献 1）所做的初期工作，他们在 20 世纪 70 年代中期开发了一些宏模型，以缓解当时已经超负荷的大型计

算机的 CPU 时间紧张问题。Boyle 几乎去除了宏模型中的所有晶体管，只保留了两个晶体管。保留的这两个器件构成了运算放大器的差分输入级；后续的所有级都采用线性控制源、无源元件和二极管来实现。输入级中保留的晶体管有助于仿真实际影响，例如偏置电流，以及输出 dV/dt 随差分输入电压的变化。

Boyle 方法大大减少了所有非线性元件的数量，所以每个放大器所需的仿真时间也大幅缩短。相比完全采用晶体管的仿真，Boyle 结构确实有明显改善，但该结构仍有一些不足之处，这也促进了新的宏模型的开发。该结构具有以下缺陷：

- Boyle 模型只提供两个极（没有零）来显示整个放大器的频率响应——这种配置仅适用于较慢的运算放大器，完全不适合如今速度更快的器件。
- 所有内部产生的节点电压都以地为基准，即使放大器相对于地“浮空”。这种配置不能体现运算放大器的真实运行状况——几乎所有可用的器件都不提供接地参考。
- 输出端电流从连接到地的受控源流出，而不是像在实际放大器中那样从电源轨流出。此特性完全排除了基于放大器的输出电流（在电源轨之间正确分流）来仿真电路的情况。

理想元件可以降低复杂性

开发原始的 Boyle 模型（图 1）的电路拓扑结构时，使用了两种基本的宏模型建模方法（称为简化法和构造法），这两种方法在开发新宏模型时也非常有用。

另一方面，可以使用构造法构建一个完全由理想元件组成的电路模块，高度仿真器件实际部分的行为。遗憾的是，构造法常常会导致一些子部分与实际等效部分毫不相似。图 1 的输出级就是一个很好的示例：它提供了必要的输出电压限幅，具有正确的输出电阻，还提供了短路限流值，但与实际运算放大器原理图没有一点相似之处。

开发改进的宏模型

开发新的宏模型（图 2）的目的是创建一个能够像实际运算放大器一样运行的模型；但它仍然必须足够简单，可以作为一个通用模型使用。图 3、图 4 和图 5 显示该模型由处理输入信号的几个级联部分组成。

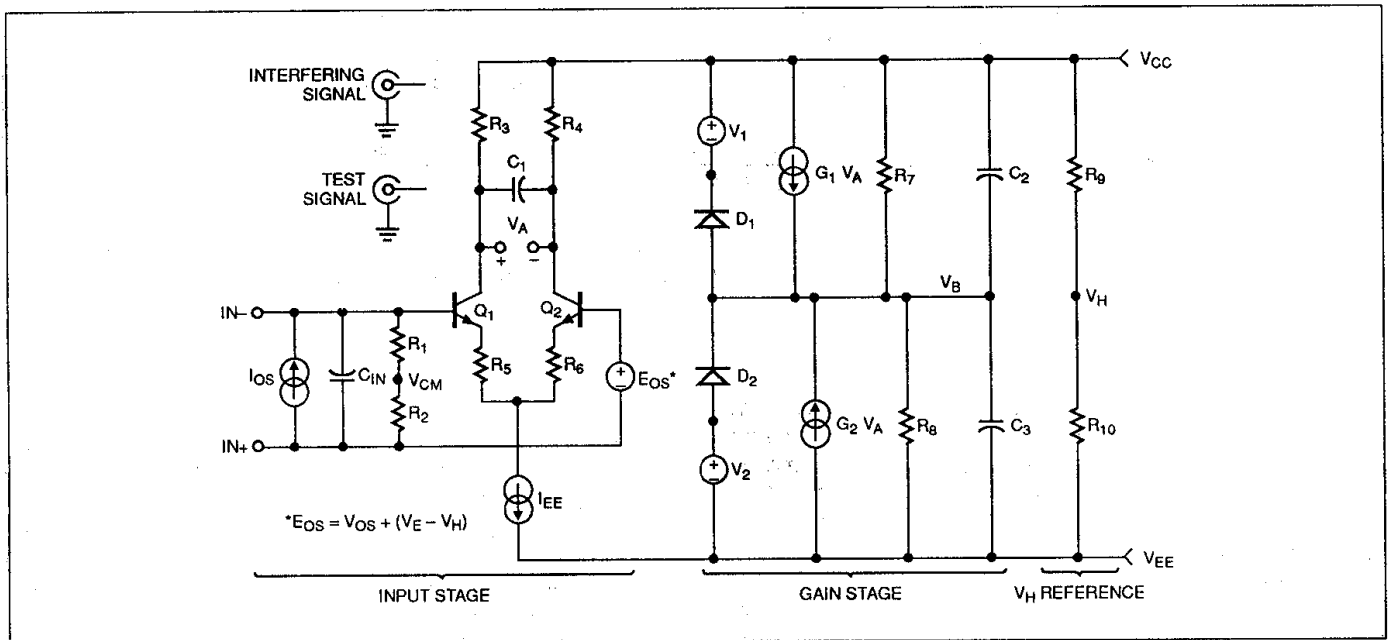


图 3：新模型的输入级与 Boyle 模型的输入级相似，但之后所有级的结构都截然不同。

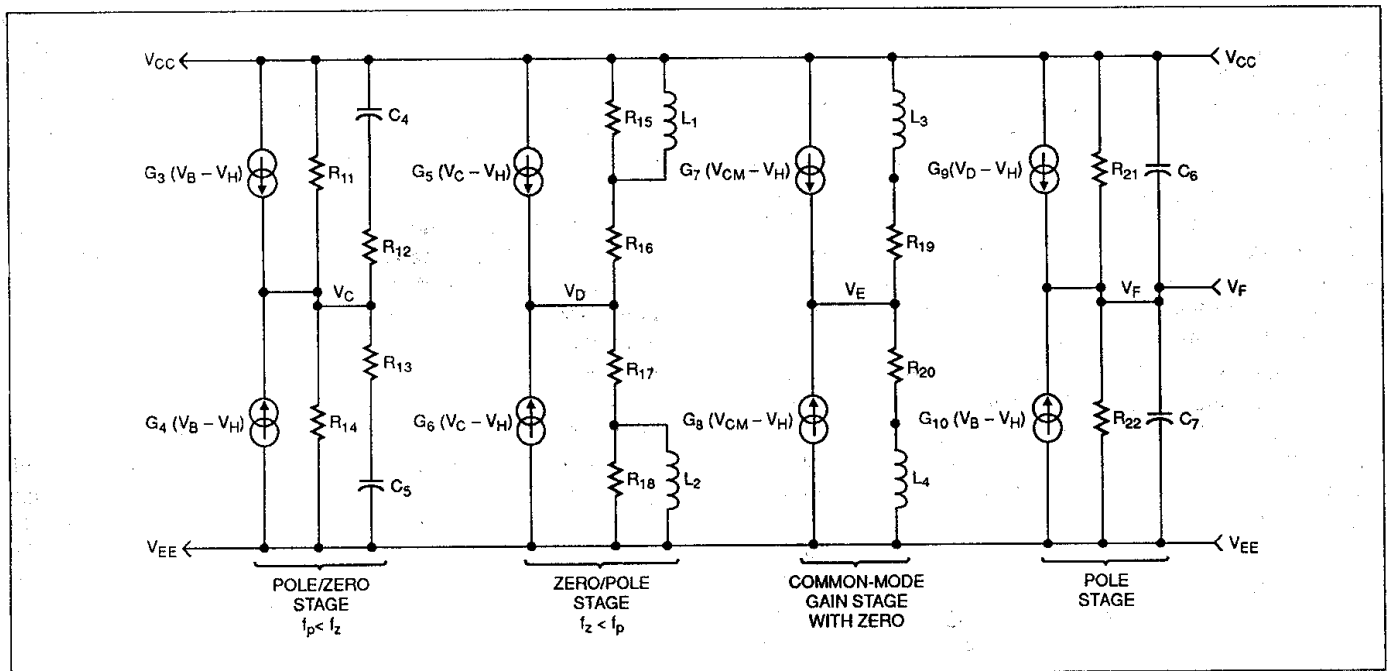


图 4：除提供零点的共模增益级外，还提供三种类型的频率成形网络。

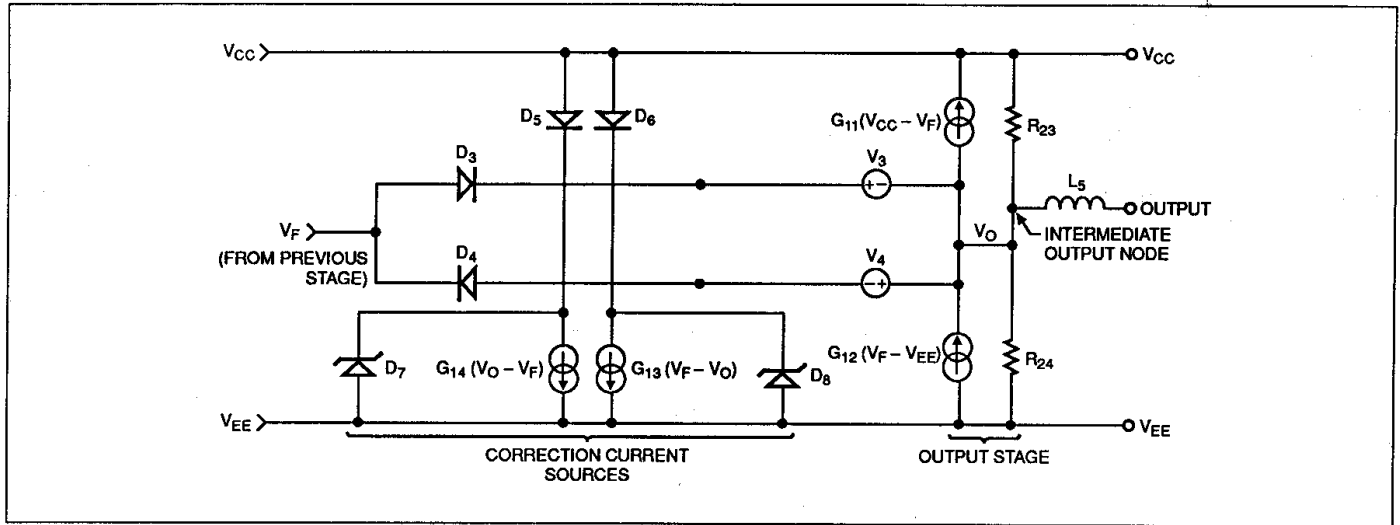


图 5：新输出级还配有电流源，对供电轨之间的负载电流正确分流。

由于该模型在构建时采用了简化技术，所以其输入级与 Boyle 模型非常相似。但是，由于生成新模型的剩余部分时采用了构造法，在输入级之后，这两个宏模型毫无任何相似之处。注意，在任何信号处理模块中都没有接地参考。相反，在实施差分至单端转换后，所有内部产生的节点电压都以供电轨之间的中点为基准。这个中点在模型中称为 V_{II} ，由两个连接在供电轨之间的等值电阻产生。

在使用新宏模型对任何特定的运算放大器建模时，其最低要求基本上与 Boyle 拓扑的要求相同：一个差分输入级、一个增益级和一个输出级。这种配置可以产生基本的双极频率响应，且可以从仿真时间这个角度直接比较这两种宏模型。您可以在增益级和输出级之间添加单位增益极、极零点和零极点模块的任意组合，以获得所需的频率相关开环增益滚降。模块之间的区别在于：极零点模块产生的极点频率比零点低，而零极点产生的极点频率比零点高。

框图 2“模型参数的计算”显示了基于图 3、4 和 5 所示的构建模块构建运算放大器所需完成的计算。只要给出所探讨的运算放大器的某些数据手册参数，结合必要的极零点位置，就可以使用计算器轻松完成这些计算。

图 3 中的输入级是一个简化双晶体管电路。新模型和旧模型的主要区别在于：在新模型中，输入级使用与实际运算放大器同类型的输入器件，即 NPN 或 PNP 双极性器件、P 通道 JFET（或者如果适用，使用 N 通道器件），或者 MOSFET。Boyle 模型只允许在输入级使用双极性器件，如果是对双极性输入运算放大器进行建模，这毫无问题。但是，如果使用 Boyle 技术对一个 FET 输入运算放大器建模，则必须大幅提高输入晶体管的电流增益，以获得所需的输入偏置电流。此外还必须通过发射极负反馈来降低其跨导。这些更改导致的结果是：无法在宽输入差分电压范围（一般是 1 至 2V）内正确仿真 FET 输入放大器的输出 dV/dt 的常见变化。A 降级之后的双极输入级具有线性化、双曲正切传递特性（见文献 2），而 FET 输入级具有平方律传递特性（见文献 3）。显然，这些特性并不对等。因此，由于 FET 输入级的参数计算并不比双极性级复杂，所以在模型中使用正确的输入器件是有意义的。

所有表现出非理想行为的输入级参数（如失调电压、失调电流和输入电容）都使用单独的理想元件进行建模。此外，在反相和同相输入端之间连接两个等值电阻，以产生共模输入电压。模型的后续部分会用到输入电压，先进行扩展和频率成形，之后反馈到输入级用于修正失调电压。

框 1

SPICE 仿真器的发展

电路仿真器 SPICE 及其增强版本 SPICE2 最初是加州大学伯克利分校在上个世纪 70 年代开发出来的（见参考文献 4）。最初是为了帮助设计工程师在晶体管级分析集成电路（所以这个首字母缩略词是表示：Simulation Program with integrated Circuit Emphasis，集成电路模拟的仿真程序）。相比在实验室由人力计算，SPICE 支持使用计算机评估设计，其速度更快，也更彻底。SPICE 迅速流行，很快传播到系统级设计社区，受到 IC 设计人员的青睐。

初版 SPICE 是一个公用程序，仅象征性收取少量费用；但是，许多软件供应商都意识到需要一个完全受支持、可以调整和不

断改进的商用电路仿真器。这类程序的第一个基于大型机的版本包括 Meta-Software 的 HSpice、NCSS 分时软件的 I-Spice 和电子工程软件的 precision。近来，大部分大型机版本经过调整可用于工作站，还有一些可用于 IBM PC 和兼容产品。

SPICE 的首个 PC 版本是由 MicroSim Corp 推出的 PSpice。之后陆续推出了其他版本，例如 Intusoft 推出的 IS-Spice。其他公司，包括 ADI 公司（提供一种名为 Saber 的行为仿真软件包）已经选择脱离传统的 SPICE 格式，放弃使用“盒装”电路元件来构建模型。相反，Saber 基于严格定义的用一种称为 Mast 的特定建模语言编写的方程来控制任何所需电路模型的行为。

该模型假设输入晶体管是完全匹配的，且没有任何会改变整体频率响应的结电容。但是，通过为双极性级选择合适的电流增益，或为 FET 级选择合适的栅极漏电流，它也可以得出正确的输入偏置电流。通过使负载电阻值等于晶体管跨导的倒数，可以将差分对的电压增益设为单位增益。这个假设简化了确定压摆率限制元件的计算。为方便起见，将输入级的尾电流标称值设为 1 mA；但是，这个值可以降低到 100 μ A、10 μ A 或 1 μ A，具体取决于放大器的总静态电流。

增益级的特性

该模型的开环增益通常在一个单级（见图 3）中实现，该级由两个电压控制电流源、两个电阻、两个电容和一个电压限制网络组成。在这个级中，也会发生差分至单端信号转换。电压限制网络由一对二极管组成，每个二极管都连接到自己的电压源。该网络防止增益级和模型的其他内部节点在输入过载驱动条件下出现超过电源轨电压的摆幅。在开环增益级必须限制电压；否则，后续节点可能会尝试仿真大信号（数百千伏）的产生。

两个电容（与电阻并联）决定放大器主极点和压摆率。目前，宏模型只能处理对称的正负压摆率，因为对称是最容易仿真的情况。但是，未来的增强宏模型可能允许仿真对称正负压摆率之间的一些变化。最后，该级在这两个电压控制电流源上各添加一个直流分量，构成放大器静态电源电流的主要部分。

对运算放大器频率响应的研究表明，在大多数情况下，精确仿真实际器件在高频率下的增益和相位变化需要两个以上

的极点。此外，不同类型的运算放大器具有不同数量的极点和零点。为了让这些不同类型的电路都能轻松转换成兼容 SPICE 的子电路（而不必每次都从头开始），那么一个真正的通用模型必须是高度模块化的，并且具有任意数量（大量）的极点和零点。所以，最终架构使用了所有单个运算放大器模型都通用的一些基本构建模块。这些模块如图 4 所示。

所有频率成形模块在 DC 条件下具有单位增益，因为每个电压控制电流源(VCCS)的 g_m 都等于从 VCCS(电压控制电流源)的每个节点连接至电源轨的电阻的倒数。这种拓扑结构优势在于，在为一个特定放大器生成模型时，可以标注单独的极点或极零点对。因而可以查看它们各自对放大器的净频率响应的影响，这样极零点调整变得非常容易。因为所有频率成形模块在 DC 条件下都具有单位增益，所以这个过程不会改变模型的 DC 开环增益。

图 4 中的共模增益级由两个 VCCS 组成，它们驱动两个等值电阻，每个电阻与一个电感串联连接至其中一个电源轨。电感仿真大部分放大器随着输入频率增加而表现出的 CMRR 的典型衰减。输入共模电压（相对于 V_h 节点）控制电流源。每个控制电流源的 g_m 都等于相关电阻值除以 DC 条件下放大器的 CMRR 的值的倒数。

所以，从输入共模网络到内部共模增益节点的增益等于放大器的 CMRR 的倒数。（“增益”一词用在这里并不恰当，因为共模增益的值要远小于单位增益）。

电感器在共模增益上增加一个零点，这相当于在共模 CMRR 上增加一个极点。共模电压，在经过扩展和适当的频率成形之后，按照理论要求输送回输入级。这一步通过将输入级偏置电压源变成单位增益电压控制电压源来实现，其直流分量等于放大器的 V_{OS} 。

图 5 中并未完全显示输出级的操作。在接收所有适当的频率成形之后，内部运算放大器输出信号显示为以输出级处理之前的最后一个节点的 V_h 为基准的电压。输出模块中的两个电压控制电流源驱动两个连接至供电轨的等值电阻，就像其他

模块一样。但是，此时，两个电压控制电流源的 g_m 的排列方式使它们能够作为有源电流发生器。所以，每个 g_m 源产生的电流恰好足以通过并行电阻提供所需压降。

当输出端没有负载时，该模型不会从任一电源轨吸取电流。所以，它表现得比较像是理想的单位增益 B 类输出级，且无交越失真。因为两个电阻的值都等于开环输出电阻的两倍，所以输出级看起来就像是以 V_h 为基准的电压源，具有正确的 DC 输出电阻。仿真正确的输出电阻意味着 DC 开环增益会在放大器加载时适当降低。

框 2

模型参数计算

以下公式可用于构建改进的宏模型，以实现任何运算放大器仿真。它分别针对每个可用的构建模块进行计算，并讨论了一些电源考量因素。

输入级和增益级计算

a. 通用计算

参考图 3 来确定此处提到的元件和信号。首先，选择 I_{EE} ，其值要略小于放大器的总静态电流。为方便起见，可以将 I_{EE} 设置为 1mA、100 μ A、10 μ A 或 1 μ A，

$$C_2 = C_3 = \frac{I_{EE}}{\text{SLEW RATE}}$$

$$R_7 = R_8 = \frac{1}{2\pi f_{p1} C_2},$$

其中 f_{p1} = 放大器主极点，

$$G_1 = G_2 = \frac{A_{VOL}}{R_7},$$

A_{VOL} = 开环直流增益

$$R_3 = R_4 = \frac{1}{G_1}$$

$$C_1 = \frac{1}{4\pi f_{p2} R_3},$$

f_{p2} = 第二放大器极点

$$V_1 = V_{CC} - (+V_{OUT MAX}) + V_T \ln(2I_{EE}/I_S)$$

$$V_2 = (-V_{OUT MAX}) - V_{EE} + V_T \ln(2I_{EE}/I_S)$$

$V_T = 0.02585V$ $T = 27^\circ C$

$I_S = 1 \times 10^{-12} A$ (两个二极管均适用)。

您可以将数据手册中的一些参数直接运用到模型中。这些参数包括：

E_{OS} = 输入失调电压 (仅限直流分量)；

I_{OS} = 输入失调电流； C_{IN} = 输入电容。

b. 双极性输入级计算

首先，必须评估以下公式，确定是否可以使用新宏模型对讨论的运算放大器进行建模：

$$A_{VOL} \leq \frac{\text{SLEW RATE}}{4\pi f_{p1} V_T},$$

其中 $V_T = 0.02585V$ ($27^\circ C$ 时)。

如果此方程成立，可以继续计算。如果不成立，则必须修改模型，使其与特定的运算放大器匹配。

$$R_5 = R_6 = R_3 - \frac{2 V_T}{I_{EE}}$$

$$\beta_F = \frac{2 I_{BIAS}}{I_{EE}},$$

其中 β_F 为输入晶体管的正向电流增益， I_{BIAS} 为输入偏置电流。

$$R_1 = R_2 = \frac{1}{2 \left(\frac{1}{R_{ID}} - \frac{1}{2 \beta_F R_3} \right)} \leq 5 \times 10^{11} \Omega,$$

其中 R_{ID} 为差分输入电阻。如果 R_{ID} 不是指定的数据手册参数，则将 R_1 和 R_2 的值设为 $5 \times 10^{11} \Omega$ 。

c. JFET 输入级计算

如果设计中包含 JFET 输入级，则使用栅极至源极截止电压 V_{TO} 的默认值 -2.000V。另外，将第一级电流源的名称改为 I_{SS} 。主要计算是确定 β ，即 JFET 的增益系数：

$$\beta = \frac{(G_{1/2})^2}{2 I_{SS}},$$

其中 I_{SS} 为第一级尾电流。

为了获得最大输出 dV/dt ，尾电流只能来自差分对的一侧；因此需要差分输入电压等于：

$$V_{ID} = \frac{\sqrt{2} (\text{SLEW RATE})}{2\pi A_{VOL} f_{p1}}$$

框 2 (续)

此外，输入偏置电流由栅极漏极电流和栅极源极漏电流组成。所以，

$$I_S = \frac{I_{BIAS}}{2},$$

其中 I_{BIAS} 为 27°C 时的输入偏置电流。此外，

$$R_1 = R_2 = \frac{R_{ID}}{2},$$

其中 R_{ID} 为差分输入电阻（一般为 $1 \times 10^{12} \Omega$ ）。

最后，可以将 R_5 和 R_6 的值设置为零，因为 JFET 输入放大器通常不需要降级。

频率成形级计算

要确认频率成形级的参数，请参见图 4。在所有三类频率成形级中，为方便起见，将 G_3 和 G_4 设置为 A/V 的 1×10^{-6} 倍。此外， f_z 为零点频率， f_p 为极点频率。

然后，在极零点级，

$$\begin{aligned} R_{11} &= R_{14} = 1 \times 10^6 \\ R_{12} &= R_{13} = \frac{R_{11}}{f_z/f_p - 1}; \\ C_4 &= C_5 = \frac{1}{2\pi f_z R_{12}} \end{aligned}$$

在零极点级，

$$\begin{aligned} R_{16} &= R_{17} = 1 \times 10^6 \\ R_{15} &= R_{18} = (f_p/f_z - 1) R_{16}; \\ L_1 &= L_2 = \frac{R_{15/18}}{2\pi f_p} \end{aligned}$$

在极点级，

$$\begin{aligned} R_{21} &= R_{22} = 1 \times 10^6 \\ C_6 &= C_7 = \frac{1}{2\pi f_p R_{21}} \end{aligned}$$

但是，这种简单的推挽式输出级存在一个微妙的问题。无论这个级是吸电流还是源电流，负载电流总是均匀分布在两个电源轨上，而实际输出级不会如此。所以，以源负载电流为例，净正电源电流的增加幅度只有流入负载中电流的一半。

共模增益级计算

要确认共模增益级的参数，请参见图 4。

$$\begin{aligned} R_{19} &= R_{20} = 1 \times 10^6 \\ G_7 &= G_8 = \frac{1}{R_{19} \times CMRR} \\ L_3 &= L_4 = \frac{R_{19}}{2\pi f_{p(CM)}} \end{aligned}$$

其中， f_{CM} 为共模极。

输出级计算

要确认输出级的参数，请参见图 5。二极管 D_7 和 D_8 的击穿电压标称值设置为 50V。通过实验确定了电感 L_5 的值。 R_{OUT} 为开环输出阻抗； V_T 为 0.02585V (27°C 时)；所有二极管的 I_S 均为 $1 \times 10^{-12} A$ 。所以：

$$\begin{aligned} G_{11} &= G_{12} = G_{13} = G_{14} = \frac{1}{2 R_{OUT}} \\ R_{23} &= R_{24} = 2 \times R_{OUT} \\ V_3 &= I_{SC}(+VE)R_{OUT} - V_T \ln(20 \times 10^{-6}/I_S) \\ V_4 &= |I_{SC}(+VE)R_{OUT}| - V_T \ln(20 \times 10^{-6}/I_S) \end{aligned}$$

可以通过以下公式确定图 3 中电阻 R_9 和 R_{10} 的值：

$$R_9 = R_{10} = \frac{1}{2(dI_{SY}/dV_{SY})},$$

其中 dI_{SY}/dV_{SY} 表示电源电压变化引起的电源电流变化。该模型中 V_{CC} 与 V_{EE} 之间的总静态电流为：

$$I_{SY} = I_{EE} + (N+1) \left(\frac{V_{CC} - V_{EE}}{2R} \right) + I_{DC} + \left(\frac{V_{CC} - V_{EE}}{R_9 + R_{10}} \right),$$

其中， N 为该模型中频率成形和共模增益级的总数； R 一般为 $1 \times 10^6 \Omega$ ；此值以及频率成形级中 G 源的跨导，可以根据低功耗运算放大器适当调整；

I_{DC} 是增加至 G_1 和 G_2 源的直流偏移，以补偿模型的剩余部分消耗的电流和 的静态电流之间的差值

而负电源电流则是减少相同的量。为了补偿这种异常，会强制电流从正电源轨流向负电源轨，数量正好是负载电流的一半。这种校正电流必须始终沿着相同的方向流动——即使输出电流的极性相反。

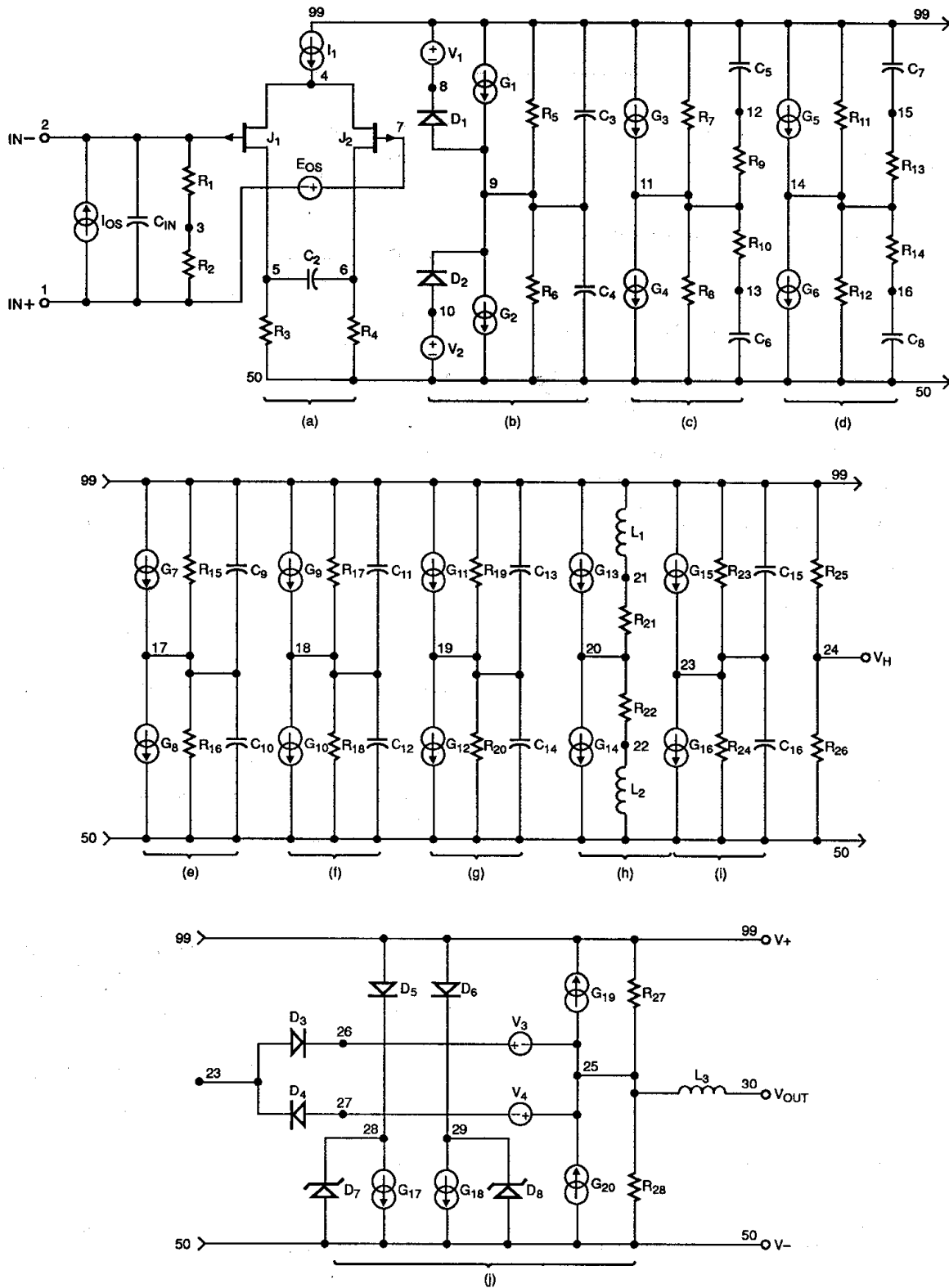


图6: OP-42 宏模型远比 Boyle 模型复杂, 需要更长的仿真时间, 但其精度大幅提高。

列表 1: OP-42 SPICE 宏模型网络列表

OP-42 宏模型 © PMI 1990

● SUBCKT OP-42 1 2 30 99 50

* 15.9 MHZ 时的输入级和极点

```

R1 1 3 5E11
R2 2 3 5E11
R3 5 50 707.36
R4 6 50 707.36
CIN 1 2 5E-12
C2 5 6 7.08E-12
I1 99 4 1E-3
IOS 1 2 4E-12
EOS 7 1 POLY(1) 20 24 1E-3 1
J1 5 2 4 JX
J2 6 7 4 JX

```

* 45 HZ 时的第二级和极点

```

R5 9 99 176.84E6
R6 9 50 176.84E6
C3 9 99 20E-12
C4 9 50 20E-12
G1 99 9 POLY(1) 5 6 3.96E-3 1.4137E-3
G2 9 50 POLY(1) 6 5 3.96E-3 1.4137E-3
V1 99 8 2.5
V2 10 50 3.1
D1 9 8 DX
D2 10 9 DX

```

* 1.80 MHZ/2.20 MHZ 时的极零点对

```

R7 11 99 1E6
R8 11 50 1E6
R9 11 12 4.5E6
R10 11 13 4.5E6
C5 12 99 16.1E-15
C6 13 50 16.1E-15
G3 99 11 9 24 1E-6
G4 11 50 24 9 1E-6

```

* 1.80 MHZ/2.20 MHZ 时的极零点对

```

R11 14 99 1E6
R12 14 50 1E6
R13 14 15 4.5E6
R14 14 16 4.5E6
C7 15 99 16.1E-15
C8 16 50 16.1E-15
G5 99 14 11 24 1E-6
G6 14 50 24 11 1E-6

```

* 53 MHZ 时的极点

```

R15 17 99 1E6
R16 17 50 1E6
C9 17 99 3E-15
C10 17 50 3E-15
G7 99 17 14 24 1E-6
G8 17 50 24 14 1E-6

```

* 53 MHZ 时的极点

```

R17 18 99 1E6
R18 18 50 1E6
C11 18 99 3E-15
C12 18 50 3E-15
G9 99 18 17 24 1E-6
G10 18 50 24 17 1E-6

```

* 53 MHZ 时的极点

```

R19 19 99 1E6
R20 19 50 1E6
C13 19 99 3E-15
C14 19 50 3E-15
G11 99 19 18 24 1E-6
G12 19 50 24 18 1E-6

```

* 100 KHZ 时增益为零的共模增益网络

```

R21 20 21 1E6
R22 20 22 1E6
L1 21 99 1.5915
L2 22 50 1.5915
G13 99 20 3 24 1.58E-11
G14 20 50 24 3 1.58E-11

```

* 79.6 MHZ 时的极点

```

R23 23 99 1E6
R24 23 50 1E6
C15 23 99 2E-15
C16 23 50 2E-15
G15 99 23 19 24 1E-6
G16 23 50 24 19 1E-6

```

* 输出级

```

R25 24 99 111.1E3
R26 24 50 111.1E3
R27 25 99 90
R28 25 50 90
L3 25 30 2.5E-7
G17 28 50 23 25 11.1111E-3
G18 29 50 25 23 11.1111E-3
G19 25 99 99 23 11.1111E-3
G20 50 25 23 50 11.1111E-3
V3 26 25 0.7
V4 25 26 0.7
D3 23 26 DX
D4 27 23 DX
D5 99 28 DX
D6 99 29 DX
D7 50 28 DY
D8 50 29 DY

```

* 使用的模型

- JX PJF 模型(BETA=999.3E-6 VTO=-2.000 IS=8E-11)
- DX 模型 D(IS=1E-15)
- DY 模型 D(IS=1 E-15 BV=50)
- ENDS OP-42

因此, 图 5 中两个校正源的作用是在供电轨之间产生一个等于输出电流一半的单极性补偿电流。在 SPICE 中, 因为难以实现绝对值 VCCS, 所以必须具有两个线性校正源——一个校正源对应半个输出电流周期。与每个源串联的二极管执行半波整流,

齐纳二极管确保当电流反向时, 始终为每个源提供导电路径。所有这些附加元件最终形成了一个输出级模型, 其直流行为非常接近实际电路的行为。

为了解决发射极跟随器输出级阻抗随频率升高的典型现象, 宏模型内置一个输出电感, 连接在中间输出节点和实际宏模型输出节点之间 (参见图 5)。可以通过在模型上使用容性负载来确定这个电感的值, 经过不断试验和试错, 直到过冲量与采用同样负载的实际运算放大器极为接近为止。

出色的运算放大器宏模型还必须具备短路电流限制特性，在图 5 中，通过使用二极管 D_3 和 D_4 以及电压源 V_3 和 V_4 ，将前一个频率成形级的输出电压(V_F)箝位到中间输出节点(V_O)来实现限制。注意，在没有负载的情况下，前一级的信号始终等于理想的输出电压，并且输出级就像是具有有限输出阻抗的电压源。二极管和电压源的作用相当于箝位有效输出电阻上的压降。通过适当选择每个电压源，可以获得所需的输出限流。

由于新结构的主要目标是提高交流精度，因此该模型也必须正确表示共模行为。因此，建模团队选择 PMI OP-42 (JFET 输入运算放大器) 作为第一个实验对象，主要是因为 Boyle 模型无法正常仿真 JFET 输入级。虽然在测试整个模型之前，该团队必须计算出与 JFET 输入级有关的所有方程，但之后发现，从数学角度处理这个级相当容易，并不妨碍最终的宏模型结构开发。

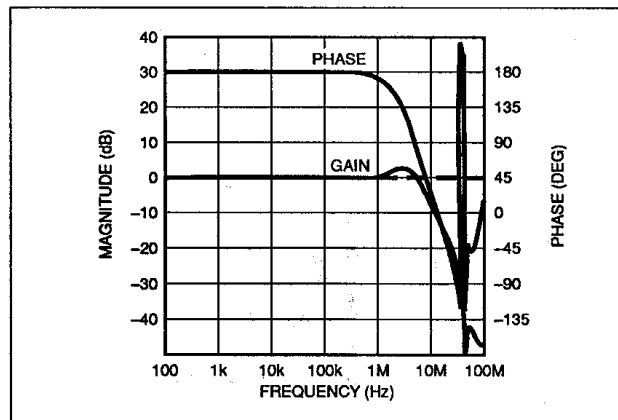


图 7: 以单位增益、反相配置连接 OP-42 时，增益响应在 6MHz 左右有一个小高峰；2MHz 之后，相位偏移急剧增加。

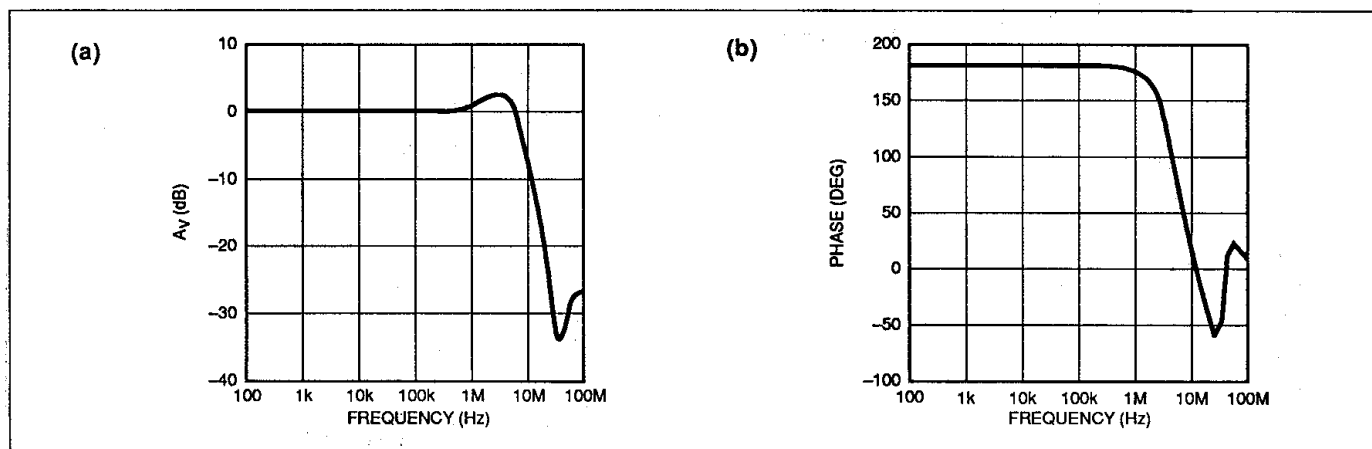


图 8: 采用新的宏模型，OP-42 的仿真增益响应(a)与实际器件非常相似，在 4MHz 有一个小峰值。相位响应(b)非常不错。这条曲线与实际器件的曲线非常接近。

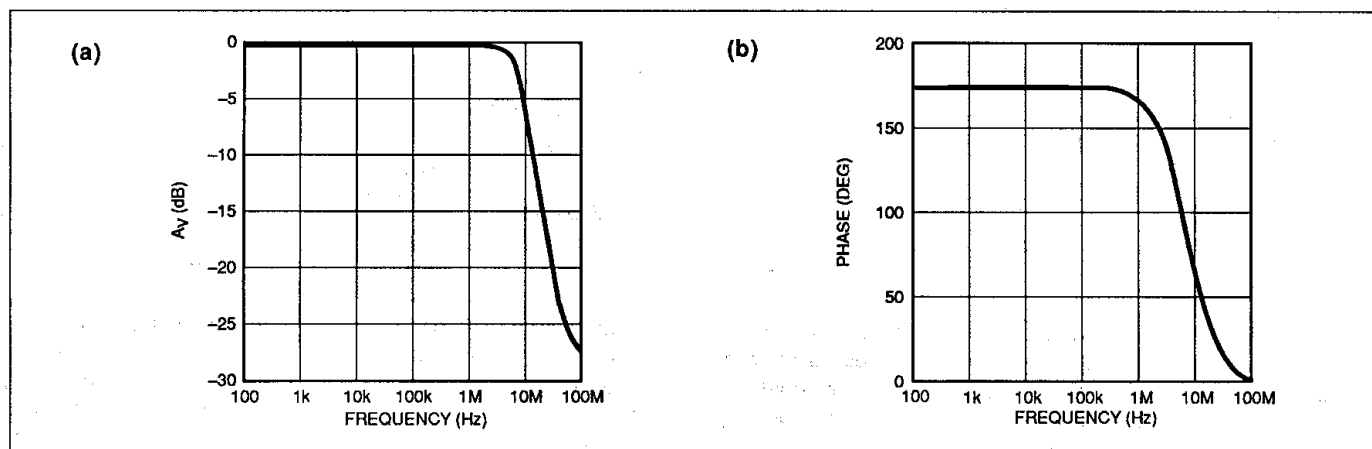


图 9: OP-42 的 Boyle 模型(a)在 4MHz 时，没有显示实际器件所具备的幅度峰值特性。相位响应(b)也不是很准确，特别是在超过 10MHz 的区域。

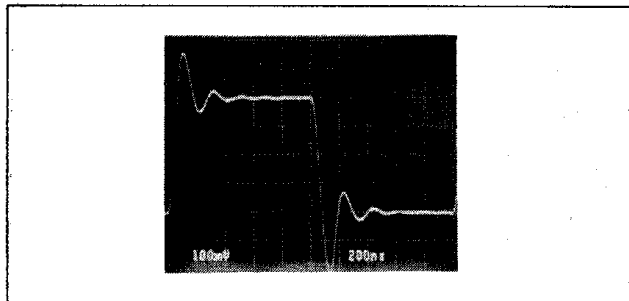


图 10: 具有 430pF 电容负载的 OP-42 在 500kHz、200mV 峰值方波的驱动下显示过冲和欠冲。

图 6 显示随之得出的结果。实际 OP-42 具有约 10MHz 的增益带宽乘积, 以及 50V/ μ s 的对称压摆率。从该放大器的 CMRR 与频率关系曲线可以看出, 该模型的共模增益级需要一个零点 (约 100kHz 处)。

列表 1 所示为 OP-42 宏模型的网络列表, 它有 8 个极点、2 个零点, 以及在共模增益级的 100kHz 处的一个零点。即使是一个相对稳定的放大器模型也需要这些极点和零点, 以便准确地模拟实际器件在高频率下的增益和相位行为。

查看网络列表的输出级部分可知, 开环输出电阻为 45 Ω 。与输出端口串联的 250nH 电感可以补偿高频率下有效开环输出阻抗的上升。由二极管 D3 和 D4 以及电压源 V₃ 和 V₄ 组成的限流网络将最大输出电流箝位在约 $\pm$ 30mA。

仿真精度比较

图 7 显示作为反相单位增益放大器连接的实际 OP-42 的增益和相位响应, 该放大器具有 1k Ω 输入和反馈电阻, 采用 $\pm$ 15V 电源供电。在闭环增益曲线上, 可以看到一个小峰值 (约 2dB), 在超过 2MHz 之后, 相位偏移急剧增加。图 8a 和图 8b 显示在相同条件下, 新 OP-42 宏模型的增益和相位响应。增益响应显示与实际电路具有相同的闭环峰值; 相位响应与实际器件的相位响应几乎完全一样, 至少达到 10MHz。

图 9a 和 9b 显示采用 Boyle 模型时的输出曲线, 从中可以明显看出 Boyle 模型在响应精度方面的缺陷。增益响应未出现 2dB 峰值, 表明急剧滚降, 在超过 10MHz 之后, 结果非常不准确。Boyle 模型的相位响应与实际电路的响应相去甚远。OP-42 宏模型采用多个极零点补码, 可以更准确地仿真实际电路的交流响应。

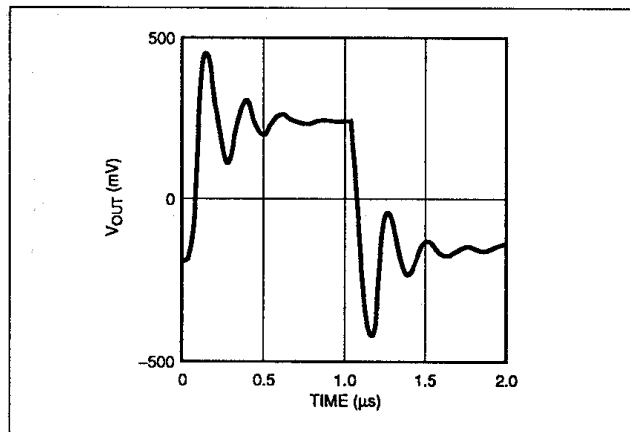


图 11: 采用新的宏模型仿真 OP-42 (采用 430pF 容性负载) 的结果显示, 该模型的输出级具有对称性。

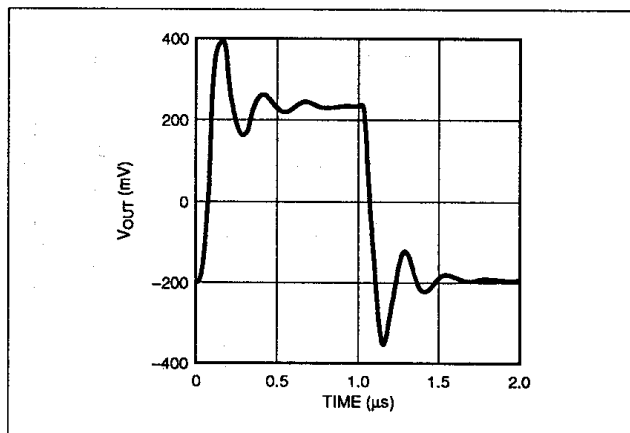


图 12: 采用 Boyle 模型仿真 OP-42 时, 仿真了大约等量的过冲, 但其振铃频率过低。

图 10 显示在 430pF 容性负载下, 测量的反相单位增益 OP-42 放大器的瞬态响应。对于 400mV_{p-p} 输入信号, 大约有 75% 的过冲和 100% 的欠冲。新的宏模型仿真结果 (参见图 11) 显示大约 115% 的过冲和欠冲。这个仿真值与波形负半部的实际值相当接近, 但与正半部的实际值不同。对于这种异常, 给出的解释是: 尽管新的宏模型的输出级完全对称, 但所建模的运算放大器可能并非如此。OP-42 实际上具有不对称、完全由 NPN 晶体管组成的输出级。所以, 高频开环响应是可变的, 具体取决于输出级是吸电流还是源电流。

Boyle 配置也将运算放大器的输出级建模为完全对称的电压源, 如图 12 所示, 它在输出波形负半部的欠冲仿真并不正确。它在正半部的仿真与实际电路非常接近, 但是振铃频率低于实际电路。

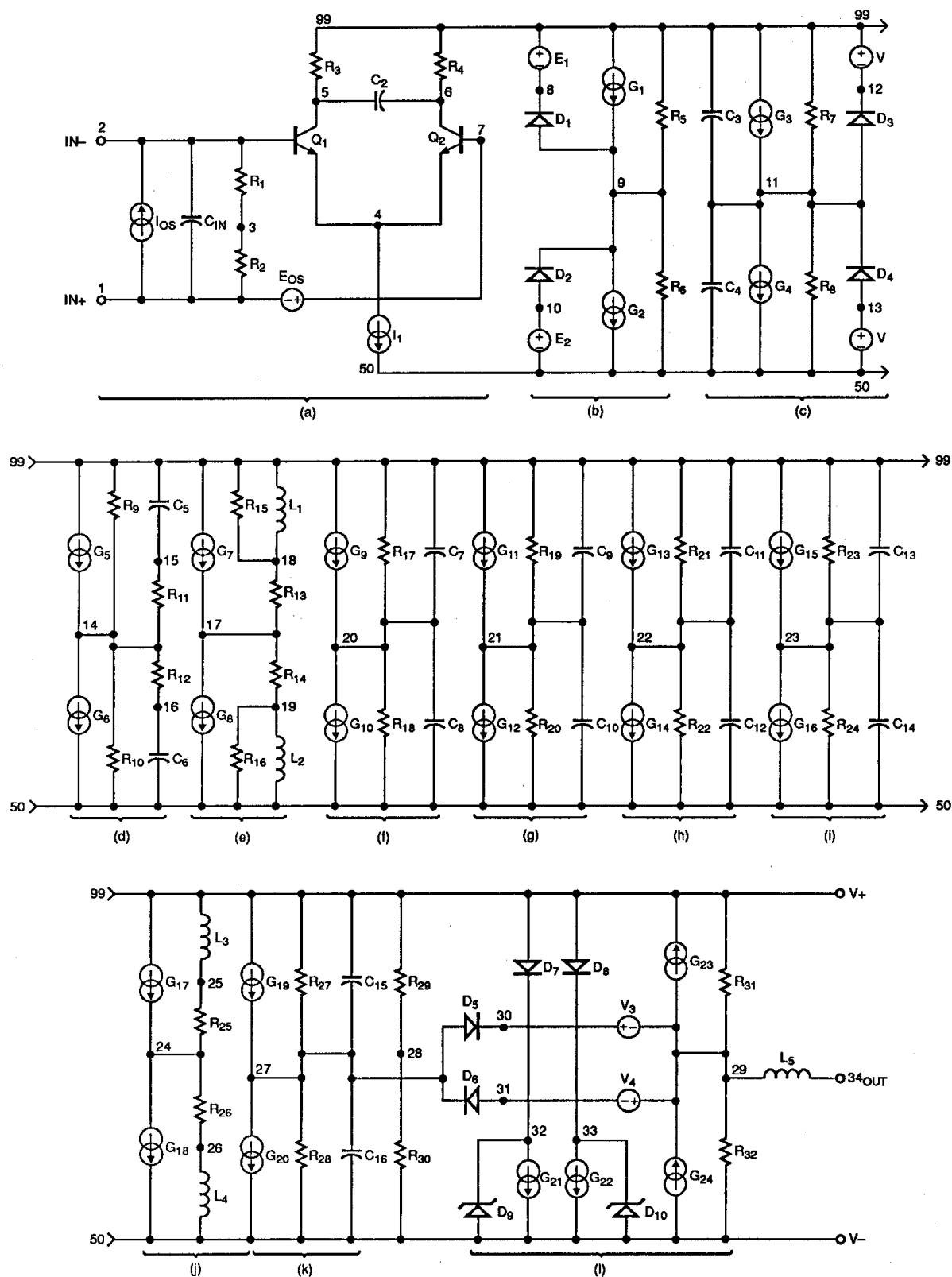


图13: 除了多了一个增益级之外, OP-61 的模型示意图与 OP-42 类似。

列表 2: OP-61 SPICE 宏模型网络列表

OP-61 宏模型 © PMI 1989

- SUBCKT OP-61 1 2 34 99 50

- * 300 MHz 时的输入级和极点

R1	1	3	5E11
R2	2	3	5E11
R3	5	99	51.6
R4	6	99	51.6
CIN	1	2	5E-12
C2	5	6	5.141E-12
I1	4	50	1E-3
IOS	1	2	2E-7
EOS	7	1	POLY(1) 24 28 400E-6 1
Q1	5	2	4 QX
Q2	6	7	4 QX

- * 第一个增益级

R5	9	99	1E6
R6	9	50	1E6
G1	99	9	5 6 2E-4
G2	9	50	6 5 2E-4
E1	99	8	POLY(1) 99 28 -4.4 1
E2	10	50	POLY(1) 28 50 -4.4 1
D1	9	8	DX
D2	10	9	DX

- * 2.5KHZ 时的第二增益级和极点

R7	11	99	5.1598E6
R8	11	50	5.1598E6
C3	11	99	12.338E-12
C4	11	50	12.338E-12
G3	99	11	POLY(1) 9 28 4.24E-3 9.69E-5
G4	11	50	POLY(1) 28 9 4.24E-3 9.69E-5
V1	99	12	2.3
V2	13	50	2.3
D3	11	12	DX
D4	13	11	DX

- * 4MHZ / 8MHZ 时的极零点对

R9	14	99	1E6
R10	14	50	1E6
R11	14	15	1E6
R12	14	16	1E6
C5	15	99	19.89E-15
C6	16	50	19.89E-15
G5	99	14	11 28 1E-6
G6	14	50	28 11 1E-6

- * 85MHZ / 300MHZ 时的零极点对

R13	17	18	1E6
R14	17	19	1E6
R15	18	99	2.529E6
R16	19	50	2.529E6
L1	18	99	1.342E-3
L2	19	50	1.342E-3
G7	99	17	14 28 1E-6
G8	17	50	28 14 1E-6

- * 40MHZ 时的极点

R17	20	99	1E6
R18	20	50	1E6
C7	20	99	3.979E-15
C8	20	50	3.979E-15
G9	99	20	17 28 1E-6
G10	20	50	28 17 1E-6

- * 200MHZ 时的极点

R19	21	99	1E6
R20	21	50	1E6
C9	21	99	.796E-15
C10	21	50	.796E-15
G11	99	21	20 28 1E-6
G12	21	50	28 20 1E-6

- * 200MHZ 时的极点

R21	22	99	1E6
R22	22	50	1E6
C11	22	99	.796E-15
C12	22	50	.796E-15
G13	99	22	21 28 1E-6
G14	22	50	28 21 1E-6

- * 200MHZ 时的极点

R23	23	99	1E6
R24	23	50	1E6
C13	23	99	.796E-15
C14	23	50	.796E-15
G15	99	23	22 28 1E-6
G16	23	50	28 22 1E-6

- * 40 KHZ 时增益为零的共模增益网络

R25	24	25	1E6
R26	24	26	1E6
L3	25	99	3.979
L4	26	50	3.979
G17	99	24	3 28 1E-6
G18	24	50	28 3 1E-6

- * 300MHZ 时的极点

R27	27	99	1E6
R28	27	50	1E6
C15	27	99	.531E-15
C16	27	50	.531E-15
G19	99	27	23 28 1E-6
G20	27	50	28 23 1E-6

- * 输出级

R29	28	99	20.0E3
R30	28	50	20.0E3
R31	29	99	30
R32	29	50	30
L5	29	34	1.65E-7
G21	32	50	27 29 33.3333E-3
G22	33	50	29 27 33.3333E-3
G23	29	99	99 27 33.3333E-3
G24	50	29	27 50 33.3333E-3
V3	30	29	0.2
V4	29	31	0.2
D5	27	30	DX
D6	31	27	DX
D7	99	32	DX
D8	99	33	DX
D9	50	32	DY
D10	50	33	DY

- * 使用的模型

- QX NPN 模型(BF=1250)
- DX 模型 D(IS=1E-15)
- DY 模型 D(IS=1E-15 BV = 50)
- ENDS OP-61

Boyle 方法本身不支持对非对称输出级行为建模，很遗憾，这种新的宏模型也是如此。但是，这个缺陷是可以解决的。如果在生成模型的过程中发现过冲值与欠冲值不同，那么在输出电感相关计算中应使用两个值中较大的一个。然后，在容性负载下，该电感值将会产生最差情况下的过冲和欠冲结果。

执行时间比较

假设宏模型不存在收敛问题，那么 SPICE 进行操作点计算或生成直流转换曲线所需的时间很大程度上取决于网络列表中指定的电路元件数量。因此，新的 OP-42 宏模型的速度几乎比 Boyle 模型慢一半，需要进行 2.27 次迭代，才能得出最终的解决方案。对于交流分析案例，情况也是这样，新的宏模型的运行时间几乎是 Boyle 宏模型的两倍。但是，在仿真交流响应时，这两种模型需要的迭代次数基本是相同的。

由于所涉因素很多，很难评估瞬态分析需要多大的计算量。特别是，新的宏模型会展示比 Boyle 模型更多的细节。所以，仿真器必须使用更精细的时间步长，相应地执行更多的计算。但是，模型中大量的理想元件使得模型具有很好的收敛性能。所以，有时可以通过在单个时间步长内进行更多次迭代来加快分析速度，这样，仿真器可以保持粗略的时间步长，并减少回溯次数。

大多数 SPICE 仿真器将瞬变迭代次数默认为 10。您可以在 OPTIONS 部分将 ITL4 设置为一个更大的数值(比如 40)，以覆盖这个默认值。此外，将 RELTOL 放宽到 0.01 (默认值通常为 0.001)，通过略微降低准确性也可加快运行时间。这种降低是可行的，因为宏模型本身也只是一种近似法。但是，请注意，图 11 和图 12 是在 RELTOL 设置为 0.001 而不是 0.01 时生成的，所以曲线会更为准确。另一种加快瞬态分析速度的方法是使用 GEAR 积分，而不是梯形积分；但是，使用这种积分得出结果的振荡幅度要比实际结果低得多。

RELTOL 使用 0.01，ITL4 和梯形积分使用 40，OP-42 宏模型的瞬变运行速度比 Boyle 慢 3.64 倍，且需要 2.15 倍迭代。仿真速度虽然大幅降低，但是可以接受，并且精度大大提高，足以抵消这种降低。

OP-61 宏模型

OP-61 是一种双极输入宽带精密运算放大器，典型的增益带宽积为 200MHz(测试频率为 1 MHz 时)，压摆率为 40V/ μ s。

图 13 所示的这种器件的模型比 OP-42 的模型稍微复杂一点。OP-61 的共模抑制在比 OP-42 的 CMRR 低的频率下开始滚降，但在 1MHz 时，其值仍然非常可观，为 80dB。网络列表(参见列表 2)表明 OP-61 模型需要 9 个极点和 2 个零点来模拟开环频率响应，并且共模增益在 40kHz 时为零。

注意，这个模型在差分输入级和主增益级(参见图 13c)之间有一个额外的增益级(图 13 中的级 b)，可以生成放大器主极点。这个特殊的模型需要额外的增益级，因为 OP-61 不能满足极限方程要求，该方程涉及双极性输入级的压摆率、开环增益和主极点频率(参见框 1)。OP-61 模型需要 100dB 开环增益和 40V/ μ s 压摆率，但其增益带宽积(以及由此得出的主极点频率)太高，无法由单个级生成所有开环电压增益。所以，该模型使用两个增益级，共同提供所需的 100dB 增益。第一个增益级的增益为 200；第二个为 500。必须对第一个增益级箝位，以限制施加给第二个增益级中电压控制电流源的最大驱动电压。这个箝位操作会限制传递给补偿电容 C_5 和 C_6 的峰值电流，从而限制第二个增益级的最大 dV/dt 。

因为输入级的最大差分输出电压仅为 51.6mV，所以第一个增益级必须提供较大增益。为了便于对电压源和二极管进行箝位，需要一个更大的电压。第一个增益级的 200 增益在摆动期间可以产生相对于 V_h 的 $\pm 10.32V$ 无阻尼电压，但是无论使用哪个供电轨，箝位电路都会将此值限制为约 $\pm 5.0V$ 。这种配置支持进行可靠箝位，即使电源电压低至 $\pm 4.4V$ ，这也导致所需压摆率为 40V/ μ s。

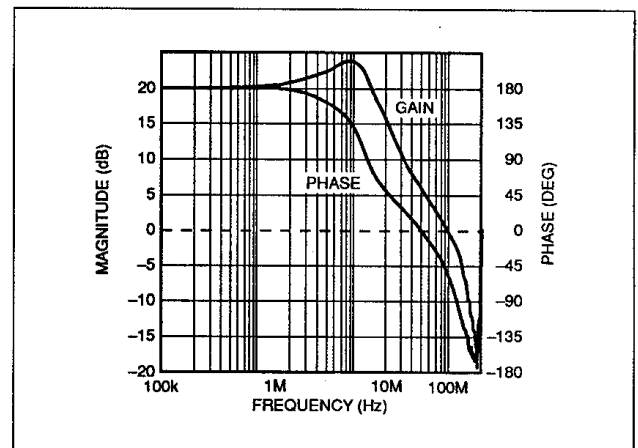


图 14: 将一个实际 OP-61 连接为反相放大器，增益为 10 时，增益响应在 10MHz 时显示达到 3dB 峰值。

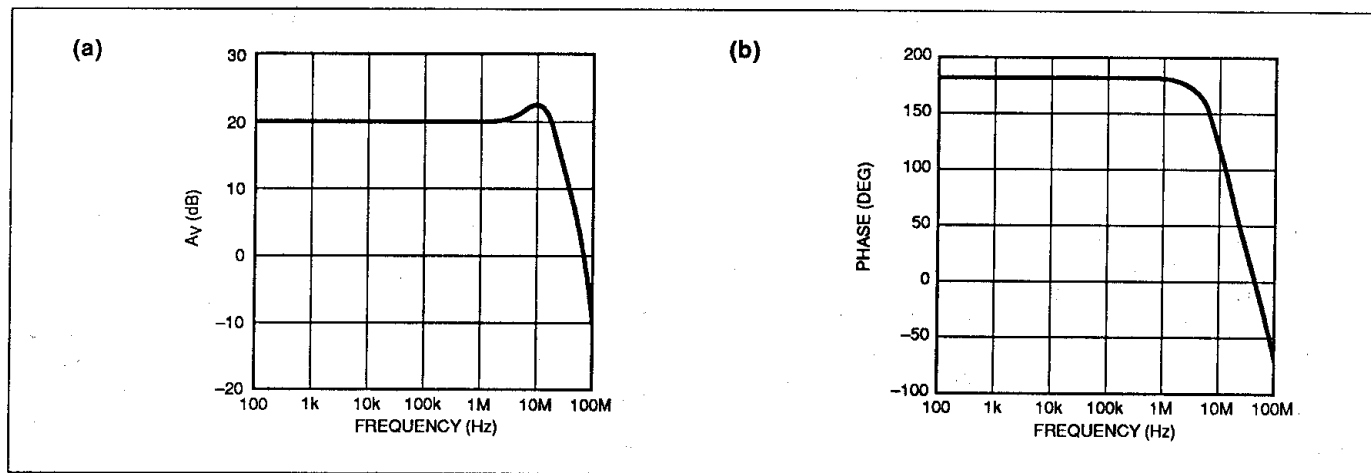


图 15: OP-61 宏模型的仿真增益(a)显示了在 10MHz 时的正确峰值。此外, 它在 40MHz 时的相位响应(b)与实际器件的响应仅偏差 10° 。

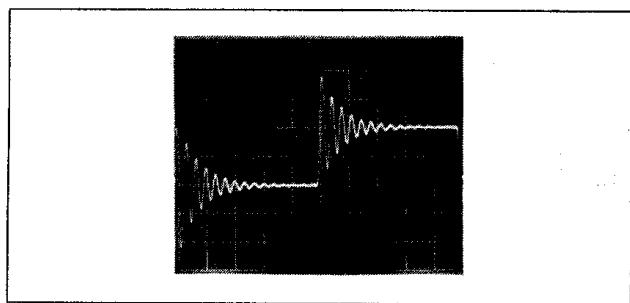


图 16: 实际 OP-61 连接为反相放大器, 且增益为 10, 容性负载为 207pF 时, 其瞬态响应不太对称。输入信号为 500kHz 方波, 峰值幅度为 10mV。垂直标度为 0.1 V/div, 水平标度为 0.2 μ s/div。

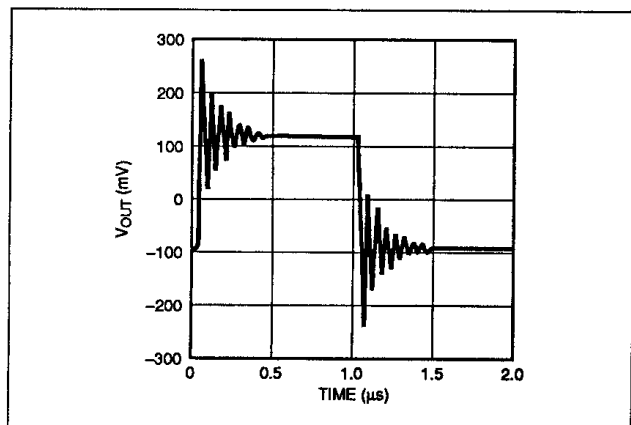


图 17: OP-61 宏模型仿真的瞬态响应非常接近实际器件的瞬态响应。

仿真精度比较

图 14 显示了配置为反相放大器、增益为 10 的实际 OP-61 的增益和相位响应测量值。其中使用了一个 1k Ω 反馈电阻、一个 100 Ω 输入电阻和 ± 15 V 电源。在 10MHz 范围内, 振幅响应出现约 3dB 的峰值, 在 10MHz 以上, 相位偏移急剧增加。对于这些响应, 新的宏模型 (参见图 15a 和 15b) 的测量值与 OP-61 非常一致。增益曲线显示, 在稍高于 10MHz 的位置, 出现了所需的增益峰值 (稍微超出 2dB)。相位响应精度也非常不错; 在 40MHz 时, 误差只有 10° 左右, 可能在试验板由于寄生电容和其他物理效应导致的偏差范围内。因此, 这个新的宏模型是一个可以预测 OP-61 性能的有用工具, 甚至可以在评估试验板之前进行预测。

图 16 显示了 OP-61 的瞬态响应, 看起来非常不稳定, 但该器件正在驱动 207pF 容性负载。该波形显示过冲量和欠冲量之间存在一些不对称性 (180%对比 220%), 但是 OP-61 和 OP-42 一样, 并没有完全平衡的输出级结构。所选的输出电感 (模型中的 L_s) 在很大程度上决定了仿真的瞬态响应与实际响应之间的相似程度。事实上, 图 17 所示的仿真产生了对称的过冲和欠冲 (约 150%), 与图 16 相比稍低, 但其振铃频率则稍高。这种差异对用户来说并不太重要。但是, 如果这很重要, 可以稍微增大输出电感的值, 使仿真响应更接近实际器件响应。

通过与 OP-42（没有 OP-61 的 Boyle 模型）比较，您可以大致了解新 OP-61 模型的性能。在计算直流偏置点时，OP-61 宏模型比 OP-42 宏模型更快。但是，进行交流响应仿真时，OP-61 宏模型则比 OP-42 宏模型慢 1.18 倍。

进行瞬态响应仿真时，OP-61 宏模型所花的时间是 OP-42 宏模型的 1.76 倍，迭代次数是 OP-42 的 1.56 倍。在这方面，您应该记住，瞬态运行的仿真时间随着输出振荡的加剧而增加。所以，直接比较 OP-42 和 OP-61 的执行时间并不公平，因为 OP-42 的响应比 OP-61 更平缓。

仿真目标在不断改变

计算机模型用于对一些物理现象进行准确建模，现象越复杂，计算机执行必要计算所需的时间就越长。Boyle 运算放大器模型的目标是减少需要仿真的非线性元件的数量，从而将运行时间缩短至可接受的水平。Boyle 模型在建立时并未考虑到最终准确性，但它可以正确预测运算放大器的低频性能，对于当时的低性能器件来说，结果是令人满意的。

但是如今，对更高性能的需求日益增长，如果可以准确预测新器件的性能，则可以帮助避免设计错误，以免在生产阶段因纠正这些错误耗费大量成本。所以，准确的高频性能建模至关重要，在这一领域，Boyle 模型无法满足需求。本文所描述的经过改进的运算放大器宏模型不仅能比 Boyle 模型更准确地仿真运算放大器的高频响应和瞬态行为，还不会耗费过多的 CPU 时间。如今，拥有了强大的桌面工作站，建模的重点是提高仿真精度，而不是缩短执行时间。所以，新的宏模型提供了良好的折衷方案。

这个新的宏模型的最大限制因素在于：为了保证 SPICE 的兼容性，该模型必须以包含实际电路元件的网络列表的形式编写。一些新仿真器（如 ADI 公司的 Saber）允许您用专门的编程语言来定义模型，无需采用电路类型架构。Saber 建模语言称为 Mast，与 C 语言非常类似，可以有效管理内部变量。例如，允许完全用数学方法来描述新的宏模型的输出级。Saber 模型不需要 SPICE 模型用来对输出级电流实施校正的所有二极管和额外源。输出级的定义方程会直接考虑从模型输出端获取的任何负载电流。在不久的将来，新的宏模型很可能在 Saber 中实现。

参考文献

1. Boyle, Graeme R., et al, "Macromodeling of Integrated Circuit Operational Amplifiers," *IEEE Journal of Solid State Circuits*, Vol. sc-9, no. 6, December, 1974.
2. Gray, Paul R. and Robert G. Meyer, *Analysis and Design of Analog Integrated Circuits*, John Wiley & Sons, 1977, pp 159-161.
3. *ibid*, pp 175-177.
4. Laurence W. Nagel, "SPICE2: A Computer Program to Simulate Semiconductor Circuits," *U.C. Berkeley Memorandum No. M520*, May, 1975.

