

Circuits from the Lab™
Reference Circuits

Circuits from the Lab™ reference circuits are engineered and tested for quick and easy system integration to help solve today's analog, mixed-signal, and RF design challenges. For more information and/or support, visit www.analog.com/CN0294.

连接/参考器件

ADF4351	集成VCO的小数N分频PLL合成器
ADCLK948	提供8路LVPECL输出的时钟扇出缓冲器

利用低抖动LVPECL扇出缓冲器增加时钟源的输出数

评估和设计支持

电路评估板

[ADF4351评估板\(EVAL-ADF4351EB1Z\)](#)

[ADCLK948评估板\(ADCLK948/PCBZ\)](#)

设计和集成文件

[原理图、布局文件、物料清单](#)

电路功能与优势

许多系统都要求具有多个低抖动系统时钟，以便实现混合信号处理和定时。图1所示电路将ADF4351集成锁相环(PLL)和压控振荡器(VCO)与ADCLK948接口，后者可通过ADF4351的一路差分输出提供多达八路差分、低电压正射极耦合逻辑(LVPECL)输出。

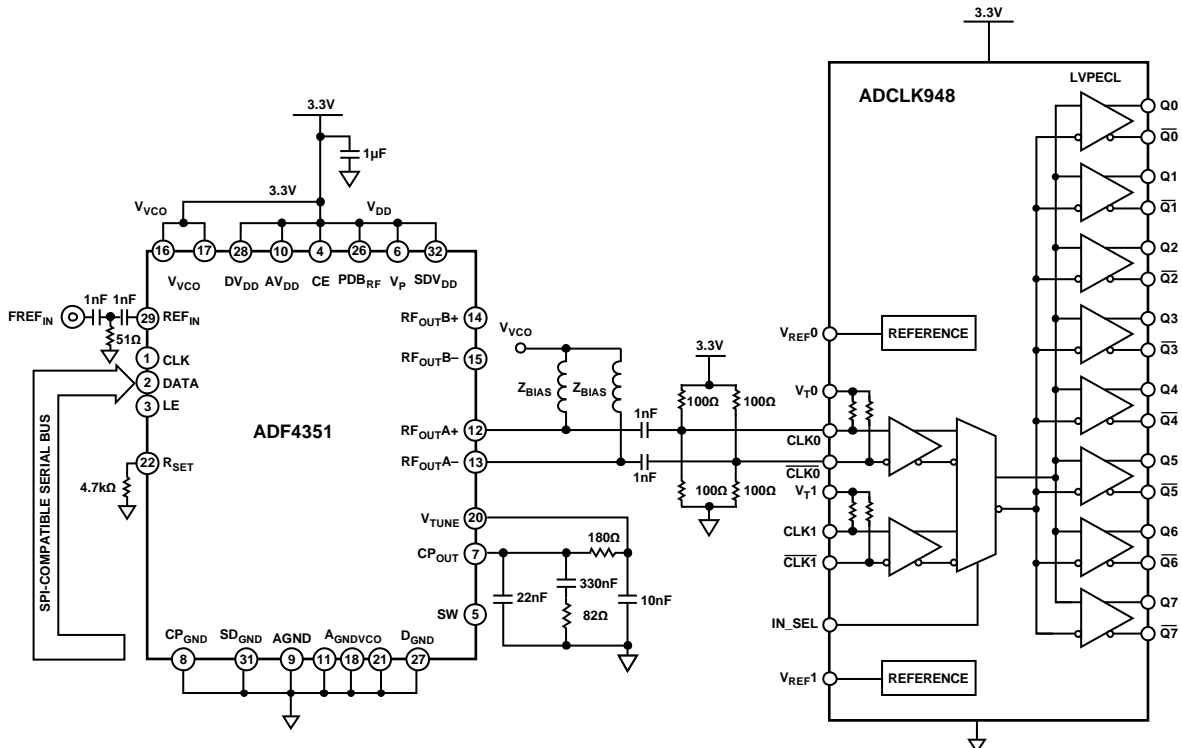


图1. 连接至ADCLK948扇出缓冲器的ADF4351 PLL(原理示意图: 未显示所有连接和去耦)

Rev. 0

Circuits from the Lab™ circuits from Analog Devices have been designed and built by Analog Devices engineers. Standard engineering practices have been employed in the design and construction of each circuit, and their function and performance have been tested and verified in a lab environment at room temperature. However, you are solely responsible for testing the circuit and determining its suitability and applicability for your use and application. Accordingly, in no event shall Analog Devices be liable for direct, indirect, special, incidental, consequential or punitive damages due to any cause whatsoever connected to the use of any Circuits from the Lab circuits. (Continued on last page)

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2012 Analog Devices, Inc. All rights reserved.

CN-0294

现代数字系统经常要求使用许多逻辑电平不同于时钟源的高质量时钟。为了确保在不丧失完整性的情况下准确地向其它电路元件配电，可能需要额外的缓冲。此处介绍ADDF4351时钟源和ADCLK948时钟扇出缓冲器之间的接口，并且测量结果表明与时钟扇出缓冲器相关的加性抖动为75 fs rms。

电路描述

ADDF4351是一款宽带PLL和VCO，由三个独立的多频段VCO组成。每个VCO涵盖约700 MHz的范围(VCO频率之间有部分重叠)。这样可提供2.2 GHz至4.4 GHz的基本VCO频率范围。低于2.2 GHz的频率可使用ADDF4351的内部分频器生成。

要完成时钟生成，必须使能ADDF4351 PLL和VCO，且必须设置所需的输出频率。ADDF4351的输出频率通过RF_{OUT}引脚处的开集输出端提供，该引脚处需要一个并联电感(或电阻)和一个隔直电容。

ADCLK948是一款SiGe低抖动时钟扇出缓冲器，非常适合与ADDF4351配合使用，因为其最大输入频率(4.5 GHz)刚好高于ADDF4351 (4.4 GHz)。宽带均方根加性抖动为75 fs。

为了模拟LVPECL逻辑电平，需要向ADCLK948的CLK输入端增加1.65 V的直流共模偏置电平。这可以通过使用电阻偏置网络来实现。缺少直流偏置电路会导致ADCLK948输出端的信号完整性降低。

常见变化

也可以使用ADDF4350小数N分频(137 MHz至4400 MHz)和ADDF4360整数N分频系列等其它集成VCO的频率合成器。

与ADCLK948同一系列的其它可用时钟扇出缓冲器有ADCLK946(6路LVPECL输出)、ADCLK950(10路LVPECL输出)及ADCLK954(12路LVPECL输出)。

电路评估与测试

评估本电路时，利用EVAL-ADDF4351EB1Z板作为时钟源，并略作修改。EVAL-ADDF4351EB1Z板使用标准ADDF4351编程软件，该软件包含在评估板附带的光盘上。此外还需要ADCLK948/PCBZ，并且无需修改便可以直接使用。

设备要求

需要以下设备：

- EVAL-ADDF4351EB1Z评估板套件，含编程软件
- ADCLK948PCBZ评估板
- 3.3 V电源
- 用于连接3.3 V电源和ADCLK948PCBZ的两条电缆
- 两条长度相等且较短的SMA同轴电缆
- 高速示波器(2 GHz 带宽)或等效器件
- R&S FSUP26频谱分析仪或等效器件
- 装有Windows® XP、Windows Vista(32位)或Windows 7(32位)的PC

需要使用SMA同轴电缆，以便将EVAL-ADDF4351EB1Z的RF_{OUT}A+和RF_{OUT}A-引脚与ADCLK948PCBZ的CLK0和CLK0引脚相连。

功能框图

本实验中使用ADCLK948PCBZ和EVAL-ADDF4351EB1Z。这些电路板通过一条SMA电缆连接至ADCLK948PCBZ，如图1所示。

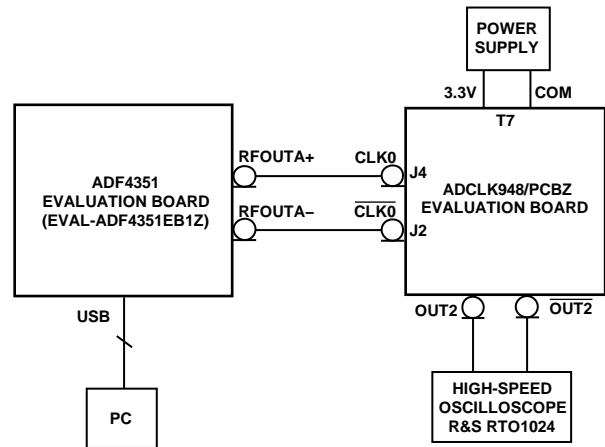


图2. ADDF4351逻辑电平测量配置

开始使用

UG-435用户指南详细说明了EVAL-ADDF4351EB1Z评估软件的安装和使用。UG-435还包含电路板设置说明以及电路板原理图、布局和物料清单。电路板上必要的修改是在隔直电容之后插入100 Ω电阻。这些电阻与3.3 V电源相连并接地。对RF_{OUT}A+和RF_{OUT}A-引脚都应该执行此操作，以提供1.65 V的共模电压(高于所需的最低值1.5 V)。这样就可能需要去除这些传输线附近的阻焊膜。

UG-068用户指南包含关于ADCLK948/PCBZ评估板操作的类似信息。

逻辑电平测量

本例中，为准确测量高速逻辑电平，将Rohde & Schwarz RTO1024示波器与两个RT-ZS30有源探头配合使用。

在PC上安装ADF435x软件，具体做法说明如下：

1. 根据 UG-435 中的硬件驱动程序说明将 EVAL-ADF4351EB1Z 连接至 PC。
2. 根据 ADF435x 软件的屏幕截图(见图3)对 ADF4351 PLL 进行编程。本例中选择了 1 GHz 的 RF 频率。

3. 用两条长度相等且较短的 SMA 电缆将 EVAL-ADF4351EB1Z 板的 RF_{OUT}A+ 和 RF_{OUT}A- SMA 连接器与 ADCLK948/PCBZ 板的 CLK0/CLK0 SMA 连接器相连。
4. 将 ADCLK948/PCBZ 的差分输出 OUT2/ $\overline{\text{OUT2}}$ 与高速示波器相连。有关 1 GHz 输出的典型波形，请参见图4。

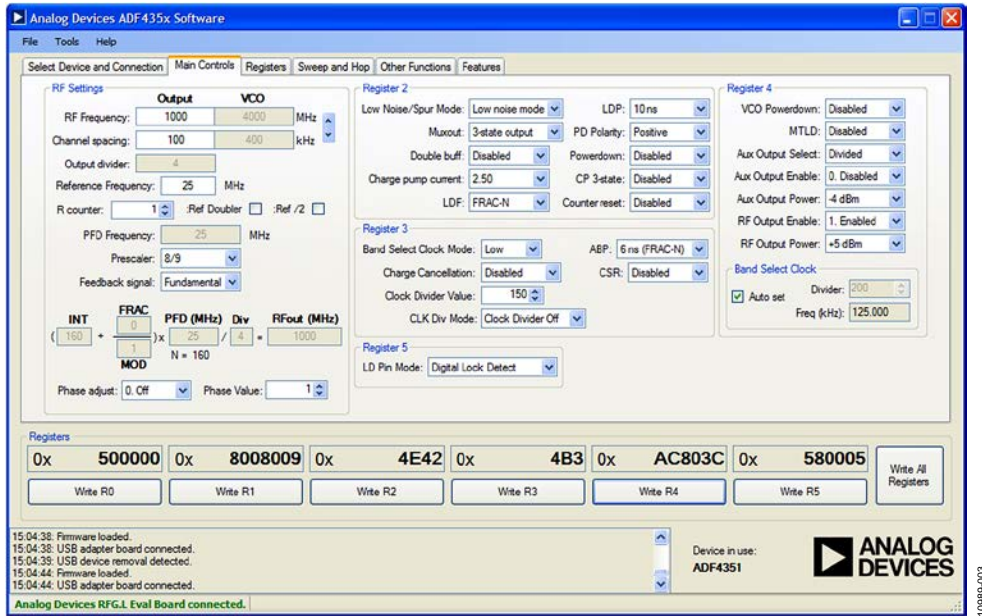


图3. ADF4351软件设置

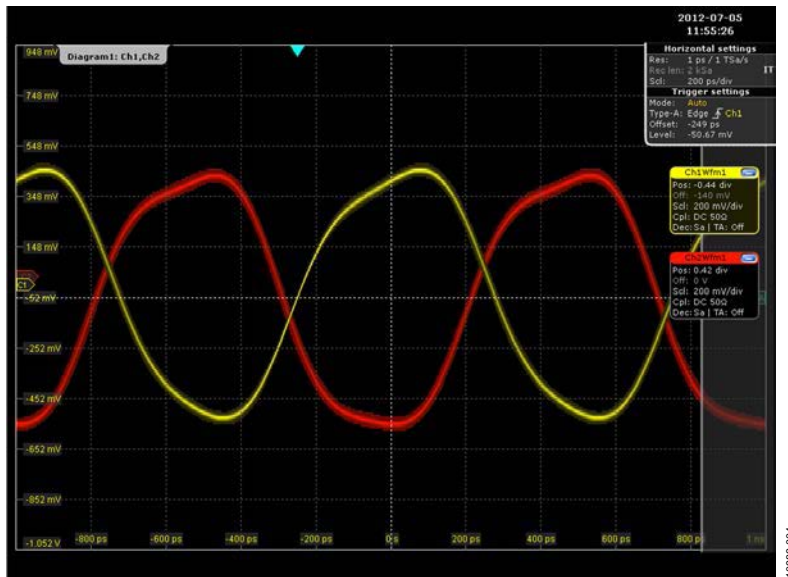


图4. 1 GHz逻辑信号的ADCLK948示波器输出，水平轴：200 ps/DIV，垂直轴：200 mV/DIV

CN-0294

相位噪声和抖动测量

1. 重复“逻辑电平测量”部分的第1至第4步。
2. 将ADCLK948/PCBZ未使用的CLK2输出端与50 Ω负载相连 (见图5)。
3. 通过一条SMA电缆将CLK2输出端与信号源分析仪相连 (见图5)。
4. 测量信号的抖动性能。

图6显示了ADF4351输出端的相位噪声，均方根抖动为325.7 fs。图7显示了ADCLK948输出端的相位噪声。均方根抖动为330.4 fs。

ADCLK948的加性抖动计算如下： $\sqrt{(330.4(\text{sup})^2/(\text{sup}) - 325.7(\text{sup})^2/(\text{sup}))} = 55.5 \text{ fs rms}$ 。ADCLK948数据手册中的额定值为75 fs rms。

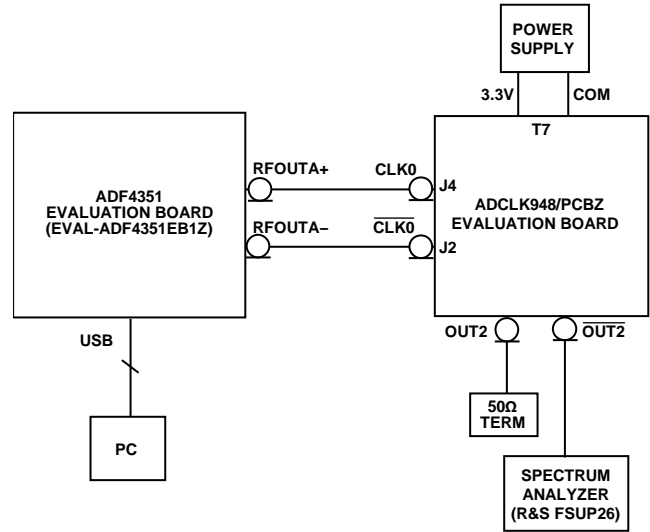


图5. ADF4351相位噪声和抖动测量设置

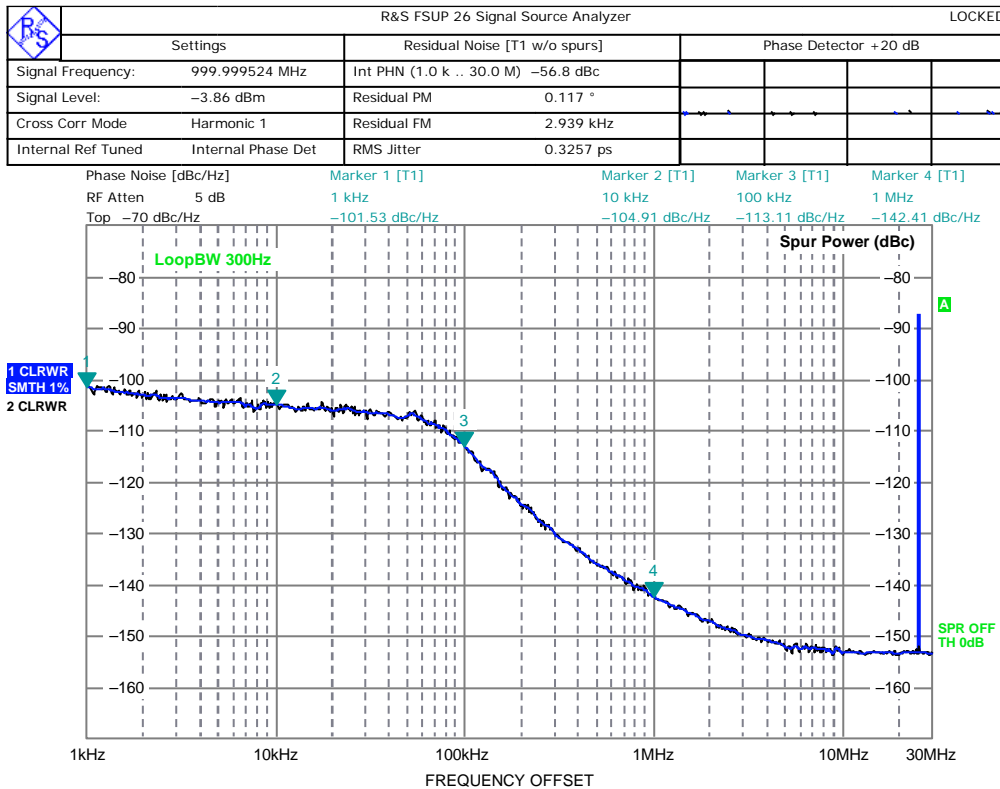


图6. 显示了325.7 fs rms抖动的ADF4351输出相位噪声测量

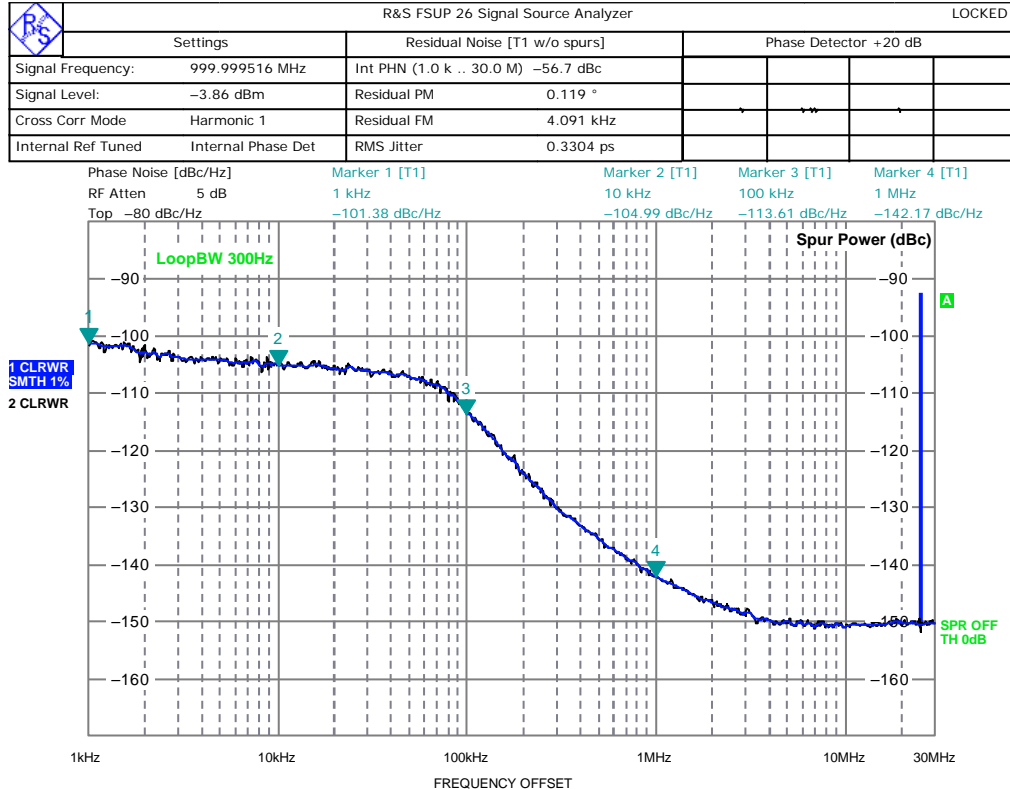


图7. 显示了330.4 fs rms抖动的ADCLK948输出相位噪声测量

了解详情

CN0232 Design Support Package:

<http://www.analog.com/CN0232-DesignSupport>

UG-435 User Guide for the EVAL-ADF4350EB1Z board

UG-068, User Guide for the ADCLK948/PCBZ board

MT-031 Tutorial, *Grounding Data Converters and Solving the Mystery of "AGND" and "DGND"*, Analog Devices.

MT-086 Tutorial, *Fundamentals of Phase Locked Loops (PLLs)*, Analog Devices.

MT-101 Tutorial, *Decoupling Techniques*, Analog Devices.

ADIsimPLL Design Tool

数据手册和评估板

ADF4351 Evaluation Board (EVAL-ADF4351EB1Z)

ADCLK948 Evaluation Board (ADCLK948/PCBZ)

ADF4351 Data Sheet

ADCLK948 Data Sheet

修订历史

2012年9月—修订版0：初始版

(Continued from first page) Circuits from the Lab circuits are intended only for use with Analog Devices products and are the intellectual property of Analog Devices or its licensors. While you may use the Circuits from the Lab circuits in the design of your product, no other license is granted by implication or otherwise under any patents or other intellectual property by application or use of the Circuits from the Lab circuits. Information furnished by Analog Devices is believed to be accurate and reliable. However, Circuits from the Lab circuits are supplied "as is" and without warranties of any kind, express, implied, or statutory including, but not limited to, any implied warranty of merchantability, noninfringement or fitness for a particular purpose and no responsibility is assumed by Analog Devices for their use, nor for any infringements of patents or other rights of third parties that may result from their use. Analog Devices reserves the right to change any Circuits from the Lab circuits at any time without notice but is under no obligation to do so.

©2012 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
CN10989sc-0-9/12(0)

