

# 如何在更宽带宽应用中 使用零漂移放大器

Simon Basilio, 设计工程师

## 摘要

本文简短介绍了斩波、自稳零和零漂移伪像来源, 并概述了放大器设计人员可以用来降低其影响的一些技术。本文还阐释了如何最大程度地减少精密信号链中这些残余交流伪像的影响, 包括匹配输入源阻抗、滤波和频率规划。

## 简介

零漂移运算放大器使用斩波、自稳零或这两种技术的结合来消除不需要的低频误差源, 例如失调和 $1/f$ 噪声。传统上, 此类放大器仅用于低带宽应用中, 因为这些技术在较高频率时会产生伪像。只要系统设计时考虑了高频误差, 例如纹波、毛刺和交调失真(IMD)等, 较宽带宽的解决方案也可以受益于零漂移运算放大器的出色直流性能。

## 零漂移技术

### 斩波背景<sup>1-7</sup>

第一种零漂移技术是斩波, 它将误差调制到较高频率, 从而将失调和低频噪声与信号内容分离。

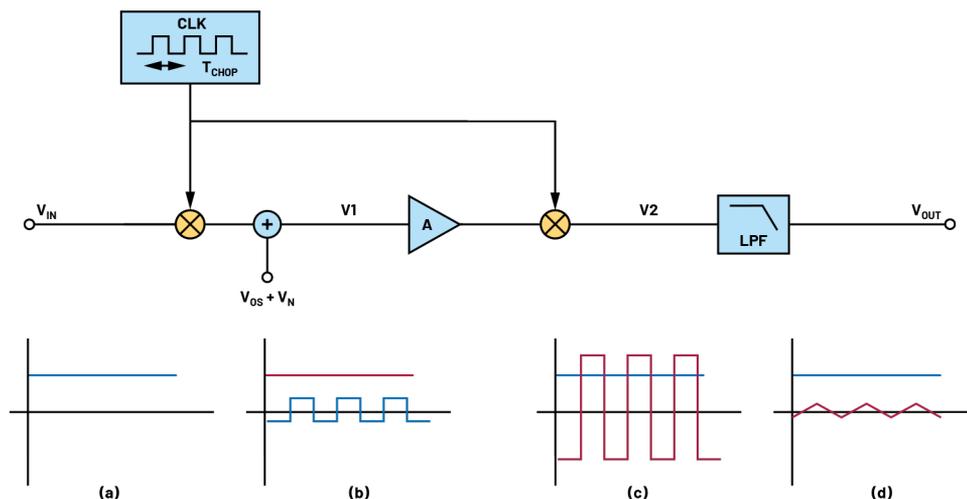


图1. 在(a)输入、(b)V<sub>1</sub>、(c)V<sub>2</sub>和(d)V<sub>out</sub>端的信号(蓝色)和误差(红色)的时域波形

图1显示了(b)斩波如何将输入信号(蓝色波形)调制到方波, 在放大器中处理该信号, 然后(c)将输出端信号解调回直流。与此同时, 放大器中的低频误差(红色波形)在(c)输出端被调制到方波, 然后(d)通过低通滤波器(LPF)滤波。

同样, 在频域中, 输入信号(图2中的蓝色信号)被(b)调制到斩波频率, 在 $f_{\text{CHOP}}$ 由增益级处理, (c)在输出端解调回直流, 最后(d)通过LPF。放大器的失调和噪声源(图2中的红色信号)在DC频率通过增益级处理, (c)由输出斩波开关调制到 $f_{\text{CHOP}}$ , 最后(d)由LPF滤波。由于采用方波调制, 因此调制发生在调制频率的奇数倍附近。

从频域和时域图中均可看出, 由于LPF不是理想的砖墙滤波器, 因此调制噪声和失调会造成一定的残留误差。

### 自稳零背景<sup>1-3, 5-7</sup>

第二种零漂移技术——自稳零——也是一种动态校正技术, 其工作原理是采样并消除放大器中的低频误差源。

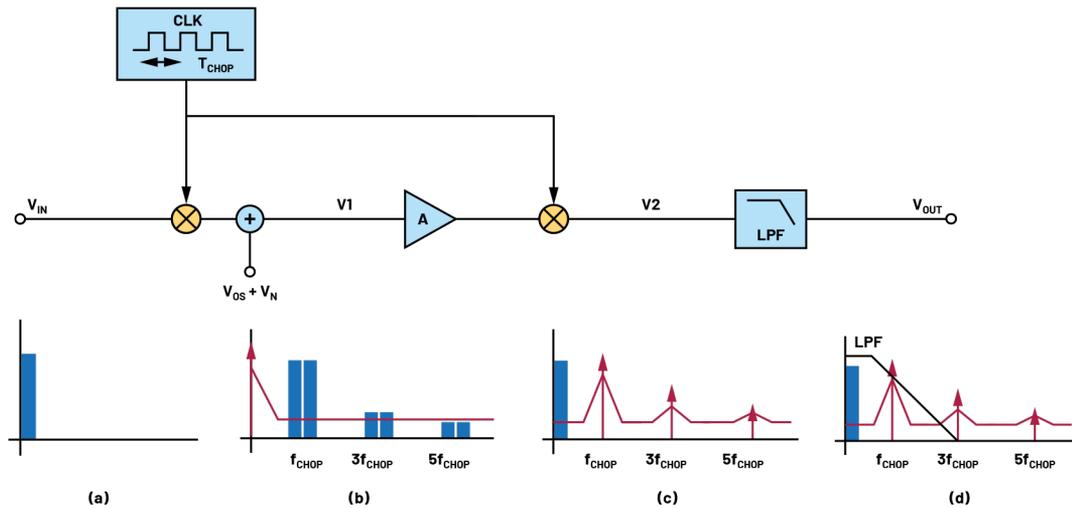


图2. 在(a)输入、(b)V<sub>1</sub>、(c)V<sub>2</sub>和(d)V<sub>OUT</sub>端的信号(蓝色)和误差(红色)的频域频谱

图3显示了基本自稳零放大器的例子。它由具有失调和噪声的放大器、重新配置输入和输出的开关以及自稳零采样电容组成。

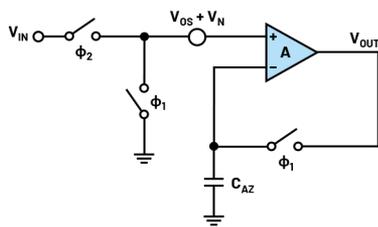


图3. 基本自稳零放大器

在自稳零阶段( $\phi_1$ )，电路的输入短接到一个公共电压，自稳零电容对输入失调电压和噪声进行采样。请注意，在此阶段，放大器无法用于信号放大。为使自稳零放大器以连续方式运行，必须让两个相同通道交错。这称为乒乓式自稳零。

在放大阶段( $\phi_2$ )，输入连接回信号路径，放大器又可用于放大信号。低频噪声、失调和漂移通过自稳零来消除，剩余的误差为误差的当前值与前一样本之差。由于低频误差源从 $\phi_1$ 到 $\phi_2$ 变化不大，因此这种减法效果很好。另一方面，高频噪声混叠到基带，导致本底白噪声提高，如图4所示。

由于噪声折叠以及需要额外通道以支持连续工作，因此对于独立的运算放大器，斩波可能是更有效的零漂移技术<sup>2</sup>。

### 斩波伪像<sup>1-3, 5-7</sup>

尽管斩波可以很好地消除不需要的失调、漂移和1/f噪声，但它会产生不必要的交流伪像，例如输出纹波和毛刺。ADI公司最近的零漂移产品已采取措施来减小这些伪像，并使其位于较高频率，使得系统级滤波更容易。

### 纹波伪像

斩波调制技术将低频误差移至斩波频率的奇数次谐波，因此纹波是这种技术的后果。放大器设计人员采用许多方法来降低纹波的影响，包括：

**生产失调微调：**通过执行一次性初始微调，可以显著降低标称失调，但失调漂移和1/f噪声仍然存在。

**斩波和自稳零结合：**放大器先自稳零，然后执行斩波，以将提高的噪声谱密度(NSD)上调制到更高频率。图4显示了斩波和自稳零后得到的噪声频谱。

**自动校正反馈(ACFB)：**可以使用本地反馈环路来检测输出端的调制纹波，并在其来源处消除低频误差。

### 毛刺伪像

毛刺是由斩波开关的电荷注入不匹配引起的瞬态尖峰。此类毛刺的幅度取决于许多因素，包括源阻抗和电荷不匹配量<sup>1</sup>。毛刺尖峰不仅会在斩波频率的偶数次谐波处引起伪像，而且会产生与斩波频率成比例的残余直流失调。图5(左)显示了这些尖峰在图1中的V<sub>1</sub>(斩波开关内部)和V<sub>2</sub>(输出斩波开关之后)处的外观。在斩波频率的偶数次谐波处的额外毛刺伪像是由有限放大器带宽引起的，如图5(右)所示。

与纹波一样，放大器设计人员也有降低零漂移放大器中的毛刺影响的技术：

**电荷注入微调：**可以将可调整电荷注入斩波放大器的输入端，以补偿电荷不匹配，从而减少运算放大器输入端的输入电流量。

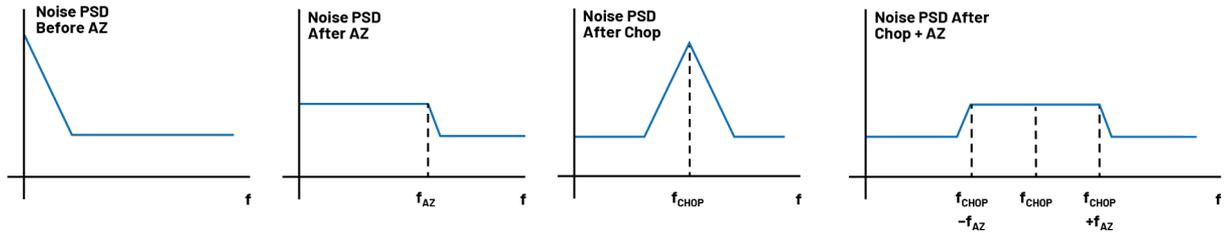


图 4. 噪声 PSD: 斩波或自稳零之前, 自稳零之后, 斩波之后, 斩波和自稳零之后

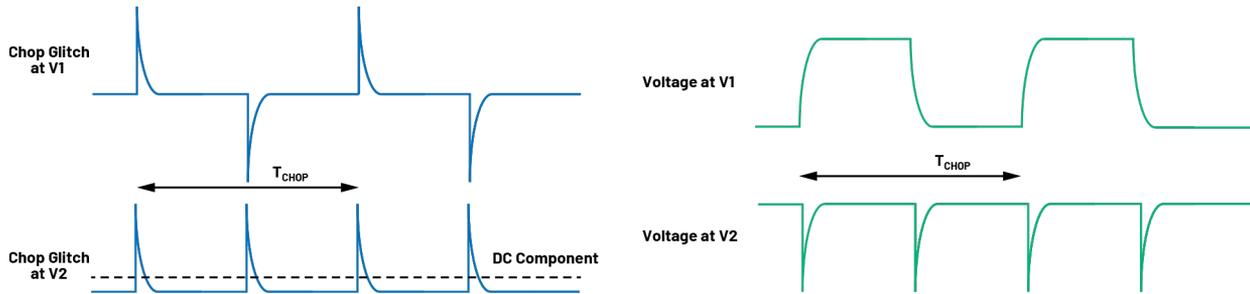


图 5. (左) 图 1 中的 V1 (斩波开关内部) 和 V2 (斩波开关外部) 处的电荷注入导致的毛刺电压; (右) 图 1 中 V1 和 V2 处的有限放大器带宽引起的毛刺

**多通道斩波:** 这不仅减小了毛刺幅度, 而且还将其移至更高频率, 使滤波更加容易。与简单地在更高频率执行斩波相比, 该技术导致毛刺更频繁, 但幅度较小。图 6 将典型的零漂移放大器与 ADA4522 进行了比较, 后者使用该技术显著降低了毛刺的影响。

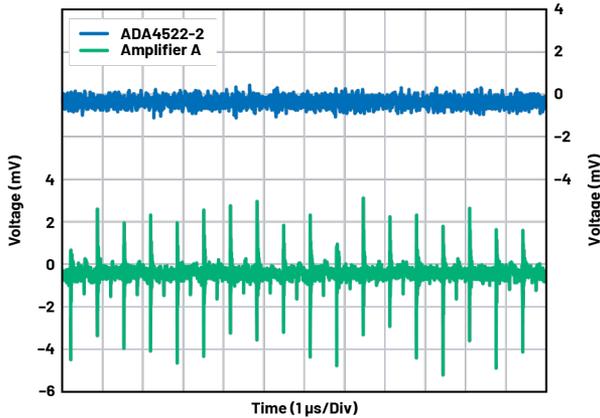


图 6. ADA4522 中的电压尖峰降低到底层噪声<sup>8</sup>

总结一下, 图 7 显示了斩波放大器的输出电压, 其中包含:

- ▶ **纹波,** 由斩波频率奇数倍处的上调制失调和 1/f 噪声引起
- ▶ **毛刺,** 由斩波开关的电荷注入不匹配和有限放大器带宽在斩波频率的偶数倍处引起

### 系统级考虑因素

在数据采集解决方案中使用零漂移放大器时, 务必了解频率伪像的位置并作出相应的规划。

### 在数据手册中查找斩波频率

数据手册通常会明确说明斩波频率, 但通过查看噪声频谱图也可以确定斩波频率。ADI 公司最新的几款零漂移放大器的数据手册显示了伪像在频谱中发生的位置。

ADA4528 数据手册不仅在“应用信息”部分明确说明了 200 kHz 的斩波频率, 而且这也可以在图 8 所示噪声密度曲线中清楚地看出。

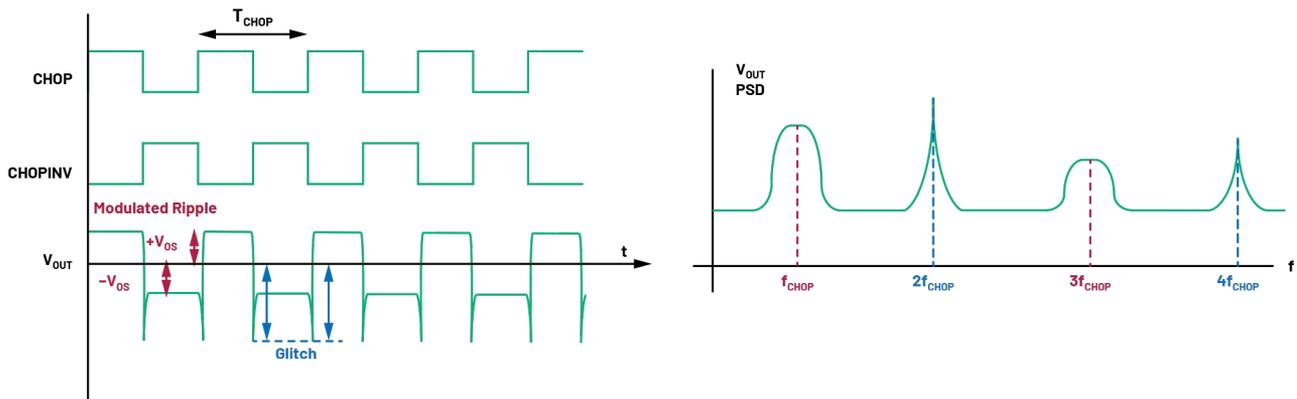


图 7. 斩波器放大器伪像, 包括上调制纹波和电荷注入毛刺

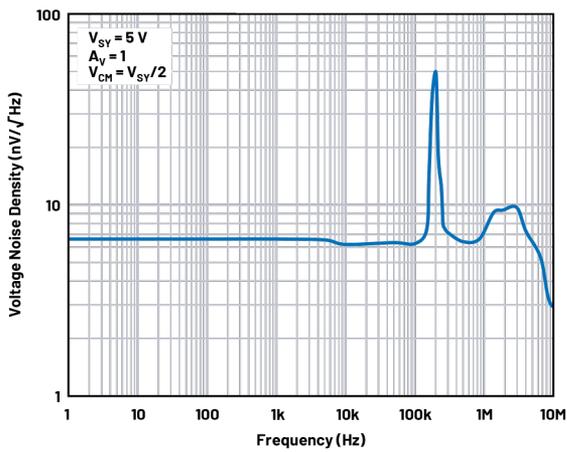


图 8. ADA4528 的噪声密度曲线

在ADA4522数据手册的“工作原理”部分中，斩波频率为4.8 MHz，失调和纹波校正环路工作在800 kHz。图9显示了ADA4522的噪声密度，其中可以看到这些噪声峰值。在单位增益时，由于环路的相位裕量较低，在6 MHz处也有一个噪声凸起，这不是零漂移放大器所独有的。

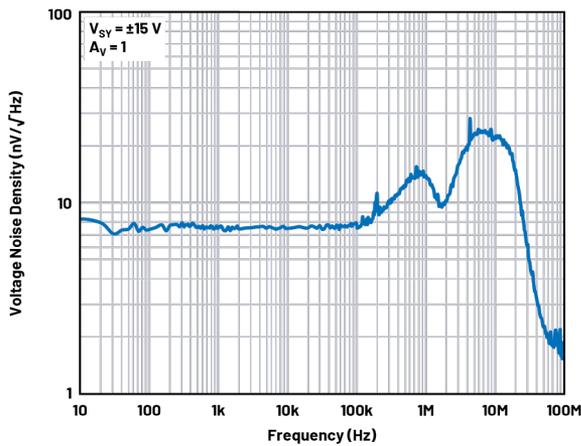


图 9. ADA4522 的噪声密度曲线

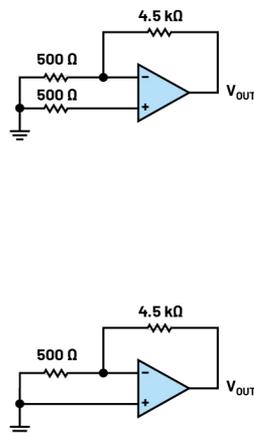


图 10. ADA4522 中的噪声：输入源电阻匹配（顶部）和不匹配（底部）

务必记住，数据手册中描述的频率是一个典型数值，可能因器件而异。因此，如果系统需要两个斩波放大器进行差分信号调理，请使用双通道放大器，因为两个单通道放大器在斩波频率方面可能略有不同，因而可能相互作用并引起额外的IMD。

### 匹配输入源阻抗

与输入源阻抗相互作用的瞬态电流毛刺可能会导致差分电压误差，从而可能在斩波频率的倍数处产生额外的伪像。图10显示了ADA4522在源电阻不匹配情况下的噪声密度曲线（底部）。为了解决这一潜在的误差源，系统设计人员应确保斩波放大器的每个输入看到的阻抗相同（顶部）。

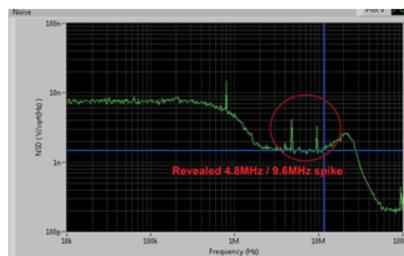
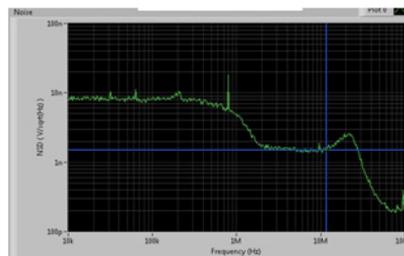
### IMD和混叠伪像

使用斩波放大器时，输入信号可能与斩波频率 $f_{\text{CHOP}}$ 混频，从而在 $f_{\text{IN}} \pm f_{\text{CHOP}}$ 、 $f_{\text{IN}} \pm 2f_{\text{CHOP}}$ 、 $2f_{\text{IN}} \pm f_{\text{CHOP}}$ ...处产生IMD。这些IMD产物可能出现在目标频段中，尤其是当 $f_{\text{IN}}$ 接近斩波频率时。为了消除此问题，请选择斩波频率远大于输入信号带宽的零漂移放大器，并确保在此放大器级之前滤除频率接近 $f_{\text{CHOP}}$ 的干扰信号。

使用ADC对放大器输出进行采样时，斩波伪像也可能发生混叠。图11显示了ADC采样时毛刺频率混叠产生的IMD产物示例。这些IMD产物依赖于毛刺和纹波幅度，并且可能因器件而异。设计信号链时，有必要在ADC之前使用抗混叠滤波器以减少此IMD。

### 斩波伪像滤波

在系统层次上，处理这些高频伪像的最有效办法是滤波。零漂移放大器和ADC之间的LPF减少了斩波伪像，并避免了混叠。因此，具有更高斩波频率的放大器可放宽对LPF的要求，并支持更宽的信号带宽。



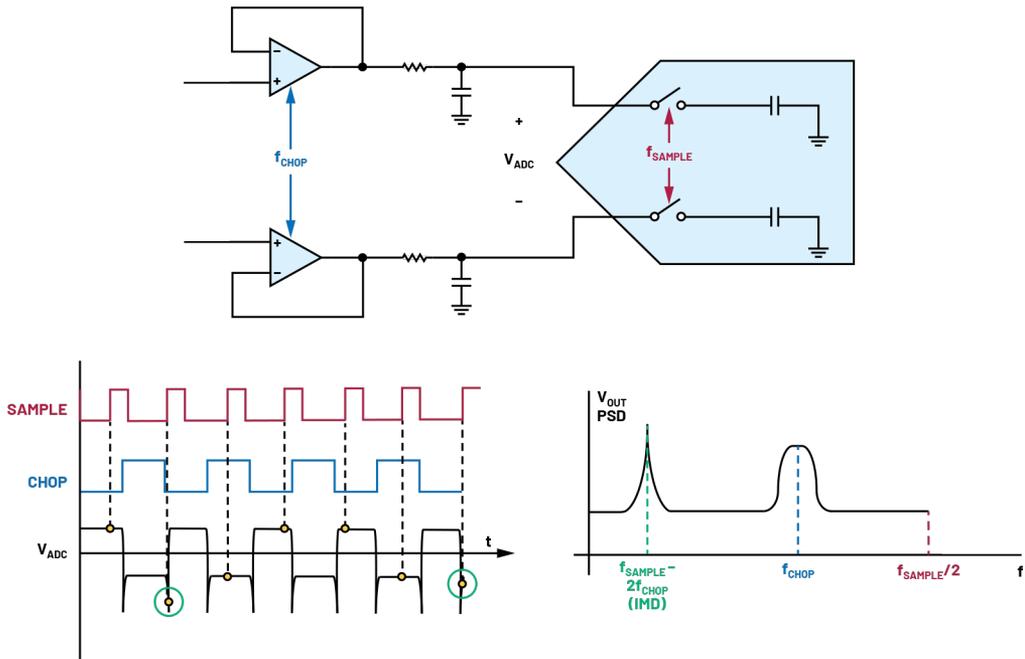


图 11. IMD 的一个示例，其中 ADC 对毛刺采样，并在  $f_{\text{SAMPLE}} - 2f_{\text{CHOP}}$  处引起混叠。

例如，图13显示了ADA4522使用图12所示不同技术来减轻斩波伪像的效果：提高闭环增益，后置滤波，以及并联使用电容和反馈电阻<sup>8</sup>。

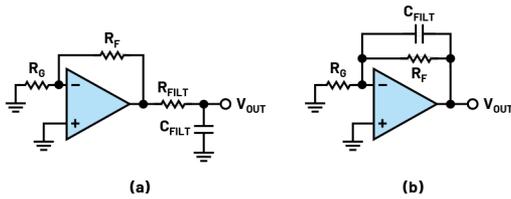


图 12. 滤除伪像的放大器配置

根据系统对频带抑制的需求，可能需要一个更高阶有源滤波器。ADI公司有许多资源可帮助设计滤波器，包括[多重反馈滤波器教程](#)和[在线滤波器设计工具](#)。

了解斩波伪像发生的频率可以帮助创建所需的滤波器。表1列出了零漂移放大器引起的交流伪像的位置。

表1. 交流斩波伪像位置小结

| 伪像说明   | 位置  |
|--------|---|
| 纹波     | $f_{\text{CHOP}}$ , $3f_{\text{CHOP}}$ , $5f_{\text{CHOP}}$ , ...   |
| 毛刺     | $2f_{\text{CHOP}}$ , $4f_{\text{CHOP}}$ , $6f_{\text{CHOP}}$ , ...  |
| 放大器IMD | $f_{\text{IN}} \pm f_{\text{CHOP}}$ , $f_{\text{IN}} \pm 2f_{\text{CHOP}}$ , $2f_{\text{IN}} \pm f_{\text{CHOP}}$ , ...                         |
| 混叠     | $f_{\text{ARTIFACT}} \pm f_{\text{SAMPLE}}$ , $f_{\text{ARTIFACT}} \pm 2f_{\text{SAMPLE}}$ , $f_{\text{ARTIFACT}} \pm 3f_{\text{SAMPLE}}$ , ... |

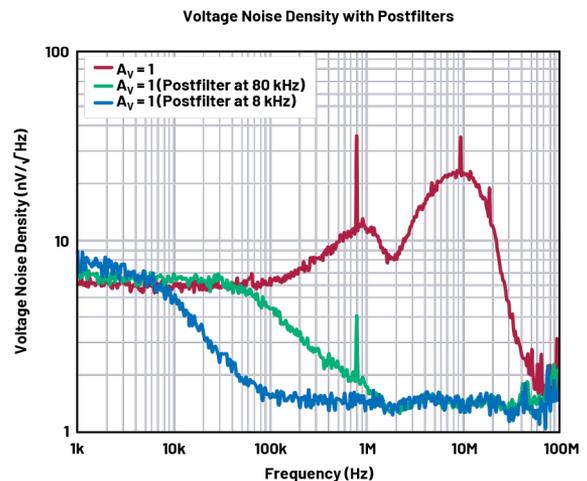
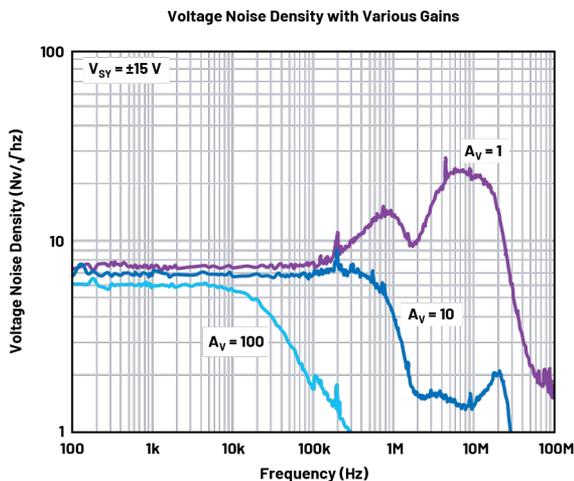


图 13. ADA4522 NSD，使用顶部显示的一阶滤波器方法：（左）提高增益会降低放大器带宽，滤波器滤除噪声尖峰；（右）使用 RC 滤波器。

## 结论

通过了解零漂移放大器中的高频伪像，系统设计人员可以更有信心地将零漂移放大器用于更宽带宽的应用。系统设计考量因素包括：

- ▶ 零漂移放大器输入端的源输入阻抗应匹配
- ▶ 使用双通道放大器进行差分信号调理
- ▶ 在数据手册噪声频谱中找到伪像的频率
- ▶ 设计滤波器以降低动态降失调技术所引起的高频伪像的影响
- ▶ 了解频域中的高频伪像并作出合理规划

## 参考资料

- <sup>1</sup> Yoshinori Kusuda。“减少斩波放大器中的开关伪像”。荷兰代尔夫特理工大学，2018年5月。
- <sup>2</sup> Christian Enz和Gabor C. Temes。“用于降低运算放大器缺陷影响的电路技术：自稳零、相关双采样和斩波稳定”。IEEE论文集，第84卷第11期，1996年11月。
- <sup>3</sup> Boris Murmann。EE315A：VLSI信号调理电路：第7章，精密模拟电路技术。斯坦福大学，2014。

- <sup>4</sup> James Bryant。“乘法器与调制器”。《模拟对话》，第47卷，2013年6月。
- <sup>5</sup> A. T. K. Tang。“同时采用斩波和自稳零技术的 $3/\text{spl mu}/\text{V}$ 失调运算放大器在DC时具有 $20\text{nV}/\text{spl radic}/\text{Hz}$ 输入噪声PSD”。IEEE，2002年2月。
- <sup>6</sup> Michiel Pertijs和Wilko J. Kindt。“采用乒乓式自稳零和斩波技术的 $140\text{dB-CMRR}$ 电流反馈仪表放大器”。IEEE固态电路杂志，第45卷第10期，2010年10月。
- <sup>7</sup> Johan F. Witte、Kofi A. A. Makinwa和Johan H. Huijsing。“CMOS斩波器失调稳定的运算放大器”。IEEE固态电路杂志，第42卷第7期，2007年7月。
- <sup>8</sup> Yoshinori Kusuda和Vicky Wong。“零漂移放大器：现可轻松用于高精度电路中”。模拟对话，第49卷，2015年7月。

ADA4523数据手册。ADI公司，2020年4月。

AD7768-1数据手册。ADI公司，2019年5月。

Kusuda, Yoshinori。“斩波运算放大器中输入电流噪声和偶次谐波折叠效应的分析”。模拟对话，第53卷，2019年5月。



## 作者简介

Simon Basilio是精密信号链部门（位于加利福尼亚州圣克拉拉）的设计工程师。Simon的工作侧重于精密信号链，包括集成混合信号设计和系统级封装解决方案。他毕业于斯坦福大学，在获得电气工程学士学位和硕士学位后，于2015年加入ADI公司。

