

# CTSD精密ADC — 第3部分：实现固有混叠抑制

Abhilasha Kawle, 模拟设计经理  
Smita Choudhury, 设计评估经理

在CTSD精密ADC系列文章的第3部分, 我们将重点阐述CTSD ADC的无混叠特性, 它可在不增加任何外围设计的情况下提高抗干扰能力。第1部分展示了一种新的基于连续时间 $\Sigma\Delta$  DAC(CTSD)架构、易于使用的无混叠精密ADC, 可提供简单、紧凑的信号链解决方案。第2部分向信号链设计人员介绍了CTSD技术。本文比较了现有精密ADC架构的混叠抑制解决方案背后的设计复杂性。我们将阐述一个理论, 以此说明CTSD ADC架构本身固有的混叠抑制性能。我们还展示如何简化信号链设计, 并探讨CTSD ADC的扩展优势。最后, 我们将介绍新的测量和性能参数, 以量化混叠抑制。

在声纳阵列、加速度计、振动分析等许多应用中, 将会监测到目标信号带宽以外的信号, 这些信号称为干扰源。对于信号链设计人员来说, 关键挑战在于, ADC采样会导致这些干扰源混叠进入目标信号带宽(带内), 造成性能下降。除此之外, 在声纳等应用中, 带内混叠的干扰源可能会被误解为输入信号, 导致对声纳周围物体的误判。而混叠抑制解决方案正是造成传统ADC信号链设计极其复杂的原因之一。CTSD ADC本身具有混叠抑制特性, 这一独特特性带来了一种新的简化解决方案。在探讨这种突破性解决方案之前, 我们先了解一下混叠概念。

## 回顾奈奎斯特采样准则

为了解混叠的概念, 让我们快速回顾一下奈奎斯特采样准则。我们可以在时域或频域中分析信号。在时域中, 对模拟信号的采样可通过数学方式表示为信号乘法运算, 例如,  $x(t)$ 表示脉冲序列 $\delta(t)$ , 其时长为 $T_s$ 。

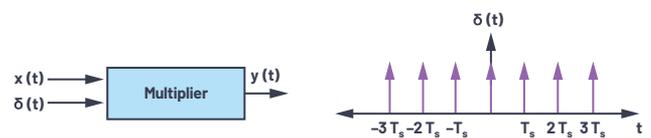


图1 采样过程的时域表示。

同样, 在频域中, 采样输出可以用傅里叶级数表示为:

$$Y(f) = \frac{1}{T_s} \sum_{n=-\infty}^{\infty} X(f - nf_s) \text{ where, } f_s = \frac{1}{T_s}, n = 0, \pm 1, \pm 2, \dots (1)$$

通过公式1可以看出, 如果将频率轴展开, 将会在每一个采样频率 $f_s$ 的整数倍位置形成输入信号的图像。

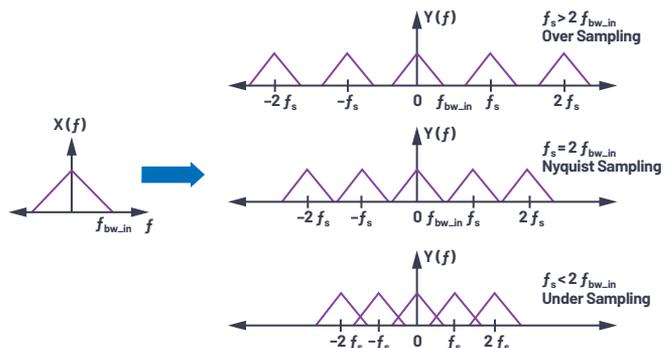


图2 以不同的采样频率采样后的 $X(f)$ 表示。

公式1显示, 在频率 $f = n \times f_s - f_{in}$ 时, 其中 $n = 0, \pm 1, \pm 2, \dots$ , 信号内容 $X(f)$ 将在采样后出现在 $f_{in}$ 位置, 与图2中的欠采样场景相似, 该图显示了各种条件下的采样现象。

$$\begin{aligned}
 Y(f) &= \frac{1}{T_s} \sum_{n=-\infty}^{\infty} X(f - nf_s) \\
 &= \frac{1}{T_s} \sum_{n=-\infty}^{\infty} X(f_{in}) \forall f = n \times f_s - f_{in}
 \end{aligned} \quad (2)$$

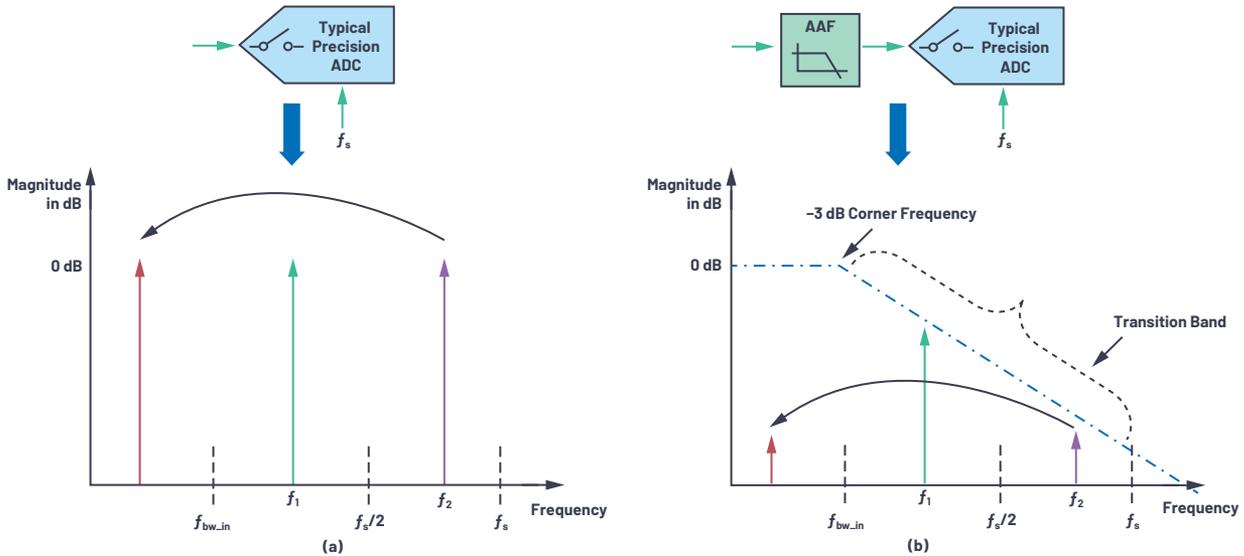


图3. (a)根据采样准则来理解混叠和(b)使用抗混叠滤波器来衰减混叠频率。

总之，奈奎斯特准则指出，任何大于采样频率一半的信号会被折叠或反射回低于 $f_s/2$ 的频率，并且可能会落入目标频段内。

假设ADC在频率 $f_s$ 下采样，而系统中有两个带外信号音/干扰源，分别是ADC输入端的 $f_1$ 和 $f_2$ ，如图3所示。根据奈奎斯特准则，我们可以推断，由于信号音 $f_1$ 的频率小于 $f_s/2$ ，所以采样后其频率保持不变。当信号音 $f_2$ 的频率大于 $f_s/2$ 时，它会在目标频段 $f_{bw,in}$ 中产生混叠，并降低ADC在该区域的性能，如图3a所示。

此理论也适用于 $f_s/2$ 以上的噪声，它也可以折叠并出现在带内，会增加带内的本底噪声并降低性能。

## 现有的混叠抑制解决方案

为了避免这种由带外(OOB)信号音或噪声折叠导致的性能下降，可以使用一种简单的解决方案，即通过ADC采样之前，使用低通滤波器对超过 $f_s/2$ 的信号内容实施衰减，该滤波器称为抗混叠滤波器(AAF)。图3b显示了一个简单AAF的传递函数，以及频率 $f_2$ 处的衰减-混叠信号音在带内折叠之前的状态。这种AAF的主要特性参数是滤波器的阶数和-3 dB转角频率。它们由通带平坦度、特定频率（如采样频率）所需的绝对衰减，以及输入带宽（也称为过渡带）以外所需的衰减斜率决定。一些常见的滤波器架构包括巴特沃兹、切比雪夫、贝塞尔和Sallen-Key，可以使用无源RC和运算放大器来实现。[滤波器设计工具](#)可用于帮助信号链设计人员根据给定的架构和要求进行AAF设计。

让我们以一个应用示例来了解抗混叠滤波器的要求。在潜艇系统中，声纳传感器发射声波并分析水下回声，以估计周围物体的位置和距离。该传感器的输入带宽为100 kHz，系统将在ADC输入端检测到的幅度 $>-85$  dB的信号音作为有效的回声源。所以，来自带外的任何干扰都需要由ADC衰减至少-85 dB，以免被声纳系统检测为输入。在下一节中，我们将针对这些要求构建并比较不同ADC架构的混叠抑制解决方案。

在传统ADC架构中，如逐次逼近寄存器(SAR)和离散时间 $\Sigma$ - $\Delta$  (DTSD) ADC，采样电路位于ADC的模拟输入端，这表明需要在ADC输入之前使用AAF，如图3b所示。

### SAR/奈奎斯特采样ADC的AAF要求

SAR ADC的采样频率一般设置为模拟输入频率( $f_{in}$ )的2倍或4倍。这种ADC的AAF需要在频率 $f_{in}$ 外有一个窄过渡带，这意味着需要一个高阶滤波器。从图4可以看出，采样频率约1 MHz的SAR ADC需要使用五阶巴特沃兹滤波器才能在大于100 kHz的频率下实现-85 dB抑制。对于滤波器实现方案，随着滤波器的阶数增加，所需的无源和运算放大器数量也会增加。这意味着，SAR ADC的AAF在信号链设计中需要大量的功耗和面积预算。

### DTSD ADC的AAF要求

$\Sigma$ - $\Delta$  ADC是过采样ADC，其中采样频率远高于模拟输入频率。AAF设计中要考虑的混叠区域为 $f_s \pm f_{in}$ 。滤波器的过渡带则要求从 $f_{in}$ 至极高的 $f_s$ 。与SAR ADC AAF相比，这个过渡带更宽，说明所需的AAF阶数也更低。从图4可以看出，对于采样频率为6 MHz的DTSD ADC，如需在约 $f_s - 100$  kHz左右的频率下获得-85 dB混叠抑制，一般需要使用一个二阶AAF。

在实际应用中，频带内的任何位置都可能存在干扰或噪声，并不止限于采样频率 $f_s$ 附近。任何低于 $f_s/2$ 的频率信号音（如图3中频率 $f_1$ 下的信号音）都不会出现在带内，从而不会降低ADC性能。虽然AAF可以对信号音 $f_1$ 进行一定程度的衰减，但它仍会存在于ADC输出中，属于外部数字控制器必须处理的多余信息。这种信号音是否可以进一步衰减，使其不再出现在ADC输出中？一种解决方案是使用在频率 $f_{in}$ 外具有窄过渡带的AAF，但这会增加滤波器设计的复杂性。另一种解决方案是：使用 $\Sigma$ - $\Delta$ 调制器环路中的片内数字滤波器。

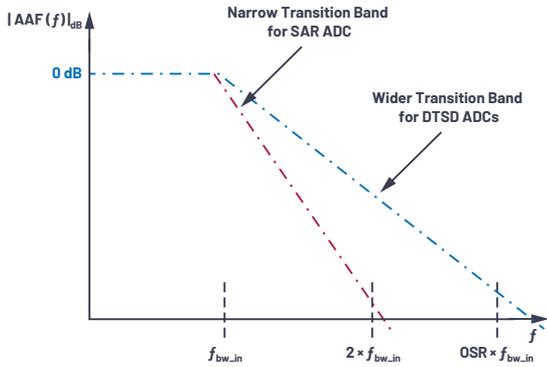


图4. AAF的复杂性、ADC架构和目标频段。

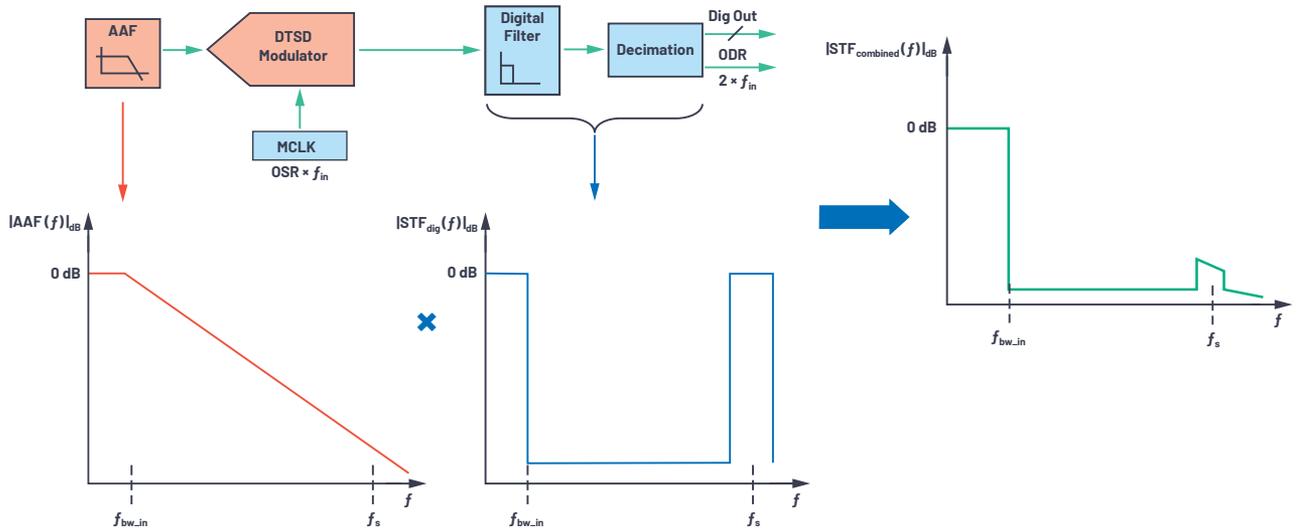
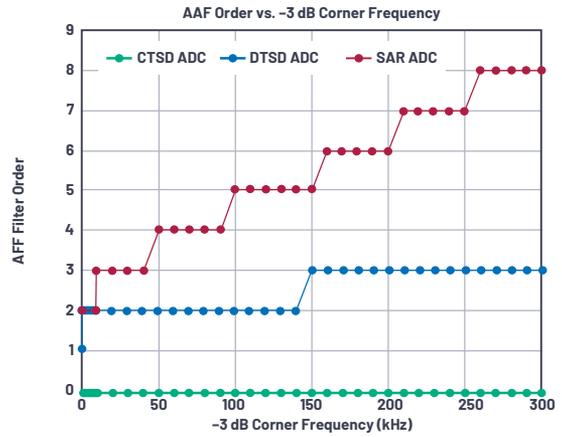


图5. 前端具有AAF、后端具有数字滤波器的DTSD ADC的STF。

### Σ-Δ调制器环路的数字滤波器

在Σ-Δ ADC中，由于过采样和噪声整形，调制器输出中包含大量冗余信息，因此需要外部数字控制器进行大量处理。如果对调制器数据进行平均、滤波，并以较低的输出数据率(ODR)（通常为 $2 \times f_{in}$ ）提供，就可以避免这种冗余信息处理。利用抽取滤波器可以将采样速率从 $f_s$ 转换为所需的较低ODR。关于使用数字滤波器实现采样速率转换，我们将在以后的文章里说明，这里的关键点是离散时间Σ-Δ调制器通常与片内数字滤波器配合使用。前端具有模拟滤波器、后端具有数字滤波器的调制器的组合信号干扰传递函数(TF)如图5所示。

综上所述，DTSD ADC的AAF是基于混叠区域 $f_s$ 周围的信号音所需的衰减而设计的。非混叠区域（例如 $f_1$ ）中的信号音则完全由片内数字滤波器进行衰减。

### 后端数字滤波器和前端模拟滤波器

SAR ADC要求AAF具有窄过渡带，而Σ-Δ ADC则要求数字滤波器具有窄过渡带。数字滤波器功耗低，易于集成到片内。此外，对数字滤波器的阶数、带宽和过渡带进行编程要比模拟滤波器简单的多。

过采样的优点在于：它允许在后端组合使用宽过渡带模拟滤波器和窄过渡带数字滤波器，以提供功耗、尺寸和抗干扰性能都更优越的解决方案。

使用DTSD ADC之后，虽然AAF要求有所放松，但增加了设计复杂性，以满足每次采样之后的建立时间要求，从而避免信号链性能下降。信号链设计人员面临的挑战是：对AAF进行微调，在混叠抑制需求和输出稳定需求之间寻求平衡。

新型精密CTSD ADC无需进行前端模拟滤波器设计，从而简化了信号链设计。

### CTSD ADC的固有混叠抑制

本系列文章的**第二部分**介绍由闭环电阻反相放大器构建的一阶CTSD调制器，如图6所示。CTSD调制器遵循与DTSD调制器等效产品相同的过采样和噪声整形概念，以达到预期性能，并且具有电阻输入而不是开关电容输入。调制器构建模块包括一个连续时间积分器，后接一个量化器，用于对积分器输出采样和数字化处理，以及一个反馈DAC，用于闭合输入环路。量化器输入端的任何噪声都是通过积分器的增益传递函数整形的噪声。

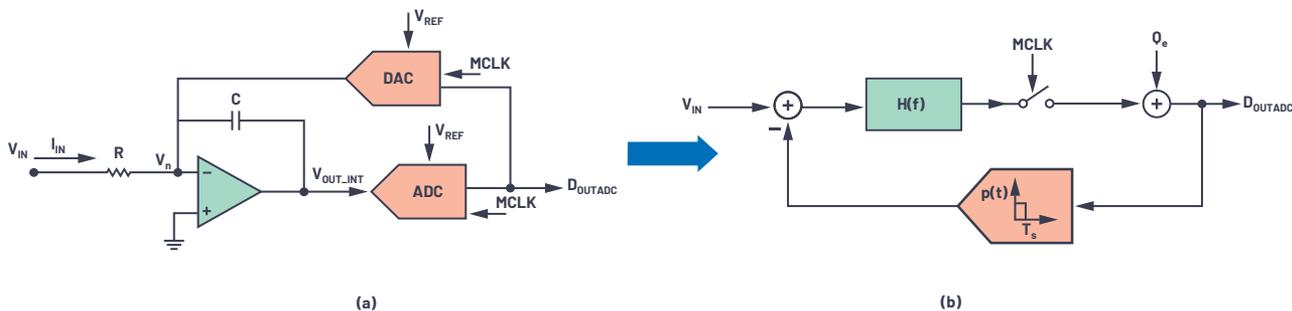


图6. (a)CTSD调制器环路的构建模块和(b)用于数学分析的简化框图。

根据第2部分的信息，可以使用以下数学模型绘制CTSD调制器环路的简化框图：

- ▶ 积分器传递函数一般称为 $H(f)$ ，也称为环路滤波器。对于一阶积分器， $H(f) = 1/2\pi fRC$ 。
- ▶ ADC的功能是采样和量化。因此，用于分析的简化ADC模型使用一个采样器后接一个加性量化噪声源。
- ▶ DAC是一个在当前时钟周期内用一个常数乘以输入的模块。所以，它是一个在采样时钟周期内具有恒定脉冲响应，在余下的时间里脉冲响应为0的模块。

这些简化模型的等效框图如图6b所示，可广泛用于 $\Sigma$ - $\Delta$ 性能分析。从 $V_{IN}$ 至 $V_{OUT}$ 的传递函数称为信号TF (STF)，从 $Q_e$ 到输出的函数则称为噪声TF (NTF)。

对于CTSD调制器环路固有的混叠抑制特性，一个合理的解释是：采样不是直接发生在调制器的输入端，而是发生在环路滤波器 $H(f)$ 之后，如图6a所示。为了解整体情况，将使用不含采样器的线性模型来理解该概念，并将分析范围扩大到涵盖带有采样器的环路。

### 第1步：使用线性模型实施STF和NTF分析

为了简化分析将采样器忽略之后，线性模式应如图7所示。此环路的STF和NTF可以表示为

$$V_{OUTADC} = V_{IN} \times \frac{H(f)}{1 + H(f)} + Q_e \times \frac{1}{1 + H(f)} \quad (3)$$

$$= V_{IN} \times STF(f) + Q_e \times NTF(f)$$

根据公式3，STF可改写为

$$STF(f) = H(f) \times NTF(f) \quad (4)$$

目标频率带宽为低频率，用数学方法可以表示为 $f \rightarrow 0$ ，高频率可以表示为 $f \rightarrow \infty$ 。STF和NTF的幅度（单位：dB）为频率的函数，如图7所示。

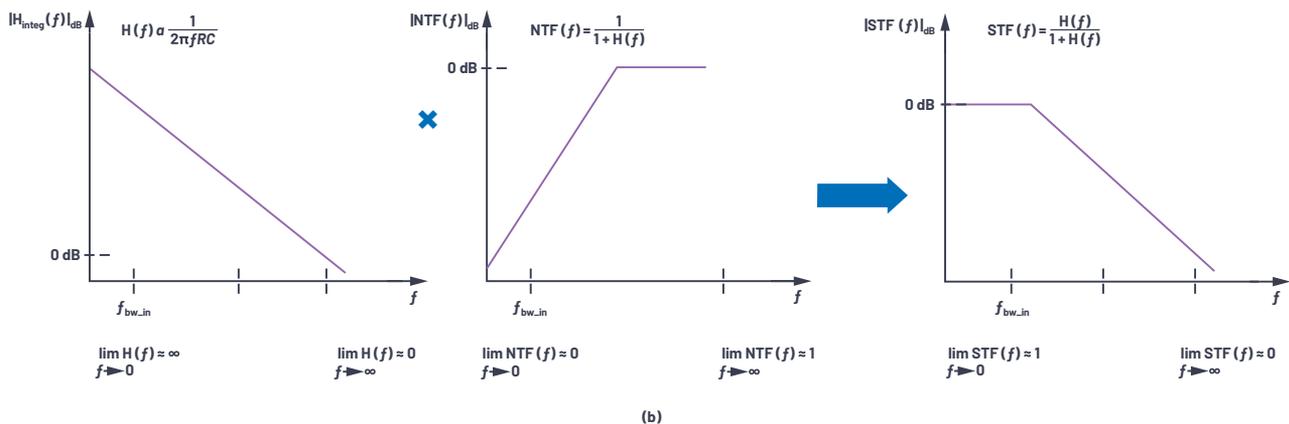
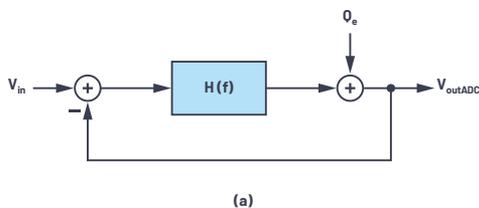


图7. (a)用于简化分析的线性模型, (b)  $STF(f) = H(f) \times NTF(f)$ 。

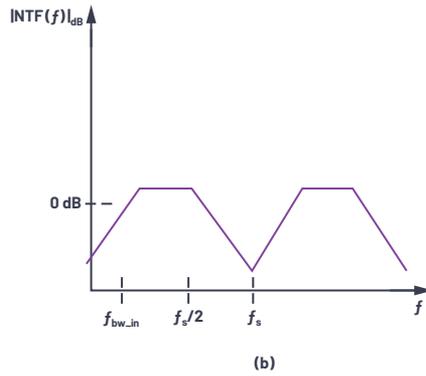
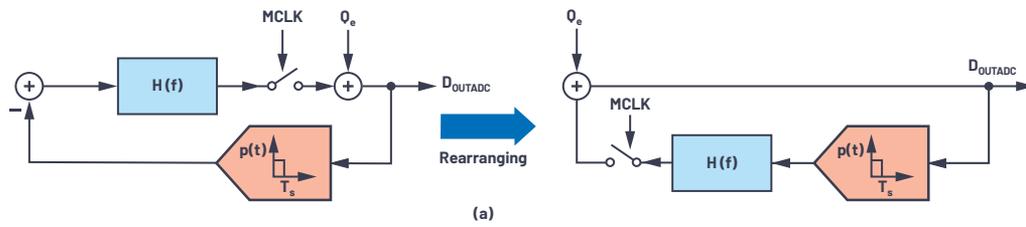


图8. (a)一个CTSD调制器环路框图, 输入 = 0 V, (b) 调制器环路的NTF.

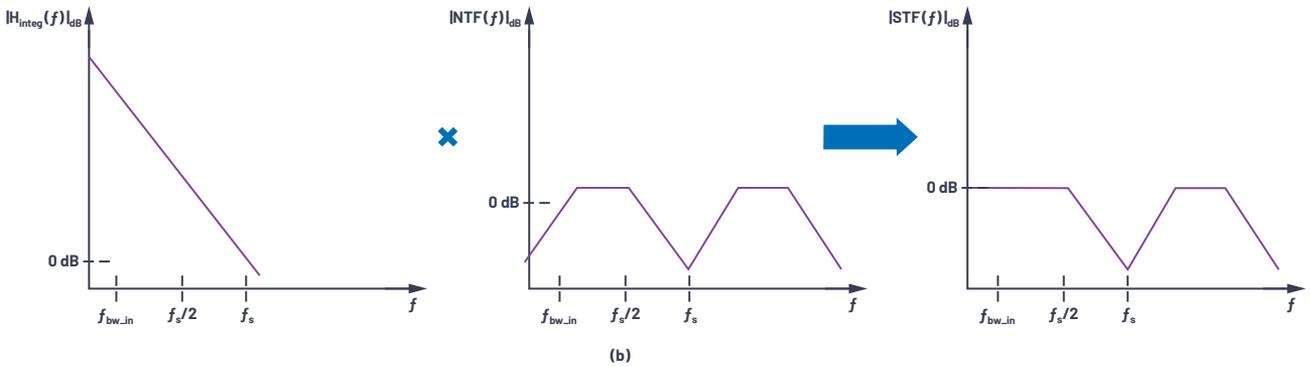
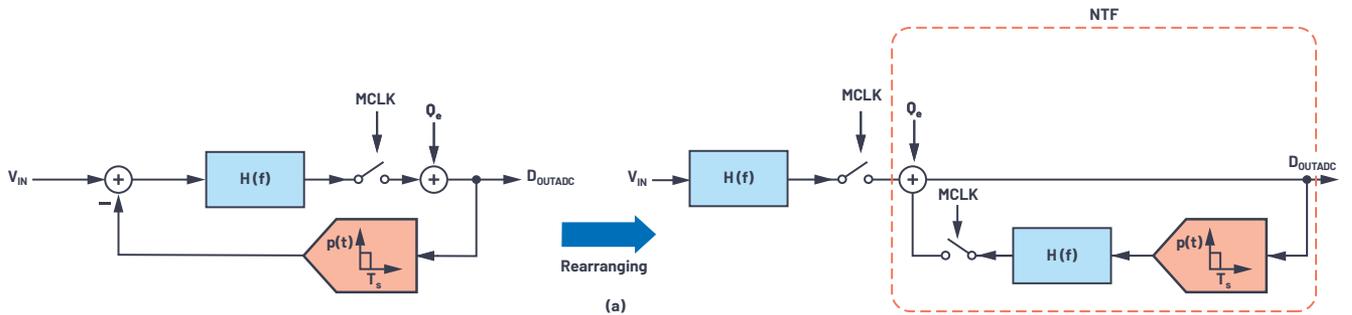


图9. 重新布局调制器环路, 以显示其固有的混叠抑制特性.

NTF类似于高通滤波器, STF类似于低通滤波器, 在目标频段内具有平坦的0 dB幅度, 在高频率下的衰减与AAF TF相当。从数学角度来看, 信号通过具有高增益的低通滤波器配置 $H(f)$ , 然后由NTF环路处理。现在, 在理解了NTF框图之后, 可以进一步深入了解带有采样器的环路。

## 第二步: NTF的框图

当输入 $V_{in}$ 设置为0 V时, 调制器环路框图可以如图8a所示重新排

列, 用于表示NTF。环路中包含采样器时, NTF响应与线性模型类似, 但在 $f_s$ 的倍数位置都会显示复制图像, 如图8b所示。

## 第三步: 重新布局调制器环路, 以直观显示前置滤波操作

如果将环路滤波器 $H(f)$ 和调制器环路的采样器移动到输入端, 且反馈如图9所示, 那么输入到输出的传递函数不会发生改变。重新布局后的框图右侧表示NTF。

与第1步中的线性模型类似，在采样等效系统中，输入信号经过高增益 $H(f)$ ，然后通过NTF环路进行采样和处理。信号通过环路滤波器之后的横向部分，会在进行采样之前，构成低通滤波器配置。这种配置导致产生CTSD调制器的固有混叠抑制。因此，CTSD调制器环路的STF如图9所示。

#### 第四步：使用一个数字滤波器完成STF

为了减少多余的高频信息，CTSD调制器与片内数字抽取滤波器配合使用，组合混叠抑制TF如图10所示。 $f_s$ 附近的混叠利用CTSD的固有混叠抑制特性进行衰减，中间干扰源则由数字滤波器衰减。

图4比较了SAR ADC、DTS ADC和CTSD ADC在采样频率和输入信号带宽下实现-80 dB混叠抑制时所需的AAF阶数。使用SAR ADC时，AAF的阶数最高，所以复杂性也最高，CTSD ADC则不需要使用外部AAF，因为其设计本身具有混叠抑制性能。

#### 利用CTSD架构实现信号链的优势

在声纳波束成型和振动分析等某些多通道应用中，通道间的相位信息非常重要。例如，通道间的相位需要精确匹配，在20 kHz时达到 $0.05^\circ$ 的精度。

对于传统的ADC信号链，AAF设计中采用无源RC和运算放大器。滤波器会导致带内出现一定的幅度和相位下降，下降比例为转角频率的函数。为了实现良好的通道间相位匹配，所有通道需要具有相同的下降幅度，这表明需要对每个通道的滤波器转角频率进行精细控制和匹配。设计用于在16 MHz（采样频率）以及160 kHz  $f_{db}$ （输入带宽）下实现-80 dB抑制的二阶巴特沃兹滤波器，在20 kHz时可能存在 $\pm 0.15^\circ$ 的相位失配，且误差公差可能低至RC绝对值的1%。可用的较小误差容限RC无源器件有限，且会增加物料成本(BOM)。

由于CTSD ADC信号链中无需使用AAF，因此在目标频段内自然可以实现通道间幅度和相位匹配。相位失配受到模拟调制器环路设计的片内失配限制，在20 kHz时可低至 $\pm 0.02^\circ$ 。

#### 测量和量化固有混叠抑制

AD4134是一款基于CTSD ADC架构的精密ADC，其数据手册中介绍了用于测量混叠抑制的新功能检查。对ADC的模拟输入信号频率进行扫描，并通过测量测试频率信号音相对于所用信号音的折叠幅度（如果有）来计算每个带外输入信号的影响。

图11显示性能带宽为160 kHz、采样频率为24 MHz时，AD4134对带外频率的混叠抑制性能。对于23.84 MHz ( $f_s - 160$  kHz)频率，混叠抑制为-85 dB，这是ADC的混叠抑制技术规格。从图中还可以看出，对于其他中间频率，混叠抑制高于-100 dB。有关固有混叠抑制的更多详情，以及可进一步提高这种抑制性能的选项，请参见AD4134数据手册。

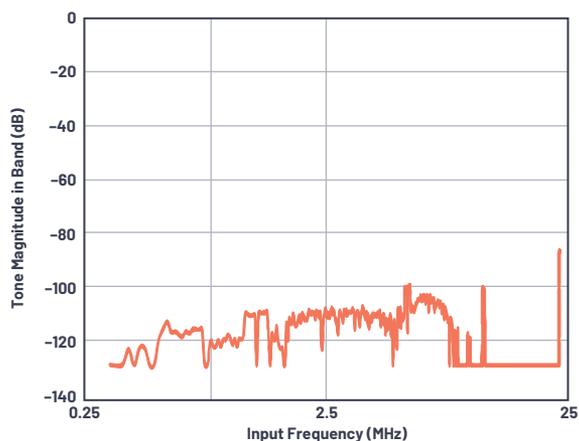


图11. 混叠抑制与带外频率。

我们在本文中所阐述的CTSD ADC概念有助于信号链设计人员了解此架构的电阻输入、电阻基准和固有混叠抑制特性。一个易于驱动的和基准电压源，以及CTSD ADC信号链中无需AAF设计，这些共同造就了适合各种应用的新型简化ADC前端设计。请阅读本系列文章的下一部分，了解有关这些简化的精密信号链设计的更多信息！

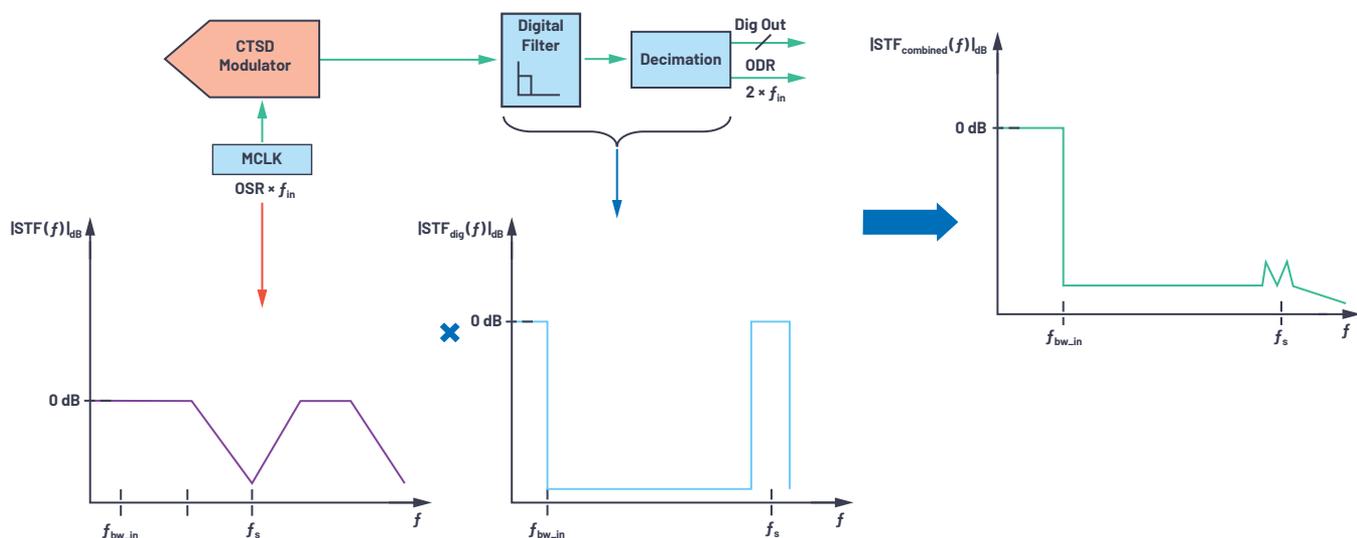


图10. 带有后端数字滤波器的CTSD调制器环路。

## 致谢

作者在此向芯片评估工程师Sanjay Kuna和高级测试开发工程师Richard Escoto致以诚挚谢意，感谢他们为测试和验证固有混叠抑制所付出的努力。

## 参考文献

[抗混叠滤波器设计工具](#)

[滤波器设计教程](#)

Kawle, Abhilasha、Wasim Shaikh。“CTSD精密ADC — 第1部分：如何改进精密ADC信号链设计时间。” *模拟对话*，第55卷第1期，2021年2月。

Kawle, Abhilasha。“CTSD精密ADC — 第2部分：为信号链设计人员介绍CTSD架构。” *模拟对话*，第55卷第1期，2021年3月。

Kester, Walt。“MT-002：奈奎斯特准则对数据采集系统设计有何意义。” ADI公司，2009年。



### 作者简介

Abhilasha Kawle是ADI公司线性和精密技术部模拟设计经理，工作地点位于印度班加罗尔。她于2007年毕业于班加罗尔印度科学理工学院，获电子设计和技术硕士学位。联系方式：[abhilasha.kawle@analog.com](mailto:abhilasha.kawle@analog.com)。



### 作者简介

Smita Choudhury是ADI公司线性和精密技术部设计评估经理，工作地点位于印度班加罗尔。她拥有VLSI设计和嵌入式系统硕士学位，自2012年以来一直在ADI工作。联系方式：[smita.choudhury@analog.com](mailto:smita.choudhury@analog.com)。

