

应用电路板的 多轨电源设计— 第1部分：策略

Ching Man, 应用工程师

简介：工程师在不断发展的时代所面临的挑战

紧迫的时间表有时会让工程师忽略除了 V_{IN} 、 V_{OUT} 和负载要求等以外的其他关键细节，将PCB应用的电源设计放在事后再添加。遗憾的是，后续生产PCB时，之前忽略的这些细节会成为难以诊断的问题。例如，在经过漫长的调试过程后，设计人员发现电路会随机出现故障，比如，因为开关噪声，导致随机故障的来源则很难追查。

此专题分两部分讨论，本文是第一部分，主要介绍在设计多轨电源时可能会忽略的一些问题。第一部分着重介绍策略和拓扑，第二部分重点讨论功率预算和电路板布局的细节，以及一些设计技巧。许多应用电路板都使用电源来偏置多个逻辑电平，本系列文章将探讨多电源电路板解决方案。旨在实现首次即正确的设计拓扑或策略。

选择繁多

对于特定的电源设计，可能有多种可行的解决方案。在下面的示例中，我们将介绍多种选择，例如单芯片电源与多电压轨集成电路(IC)。我们将评估成本和性能取舍。探讨低压差(LDO)稳压器与开关稳压器（一般称为降压或升压稳压器）之间的权衡考量。还将介绍混合方法（即LDO稳压器和降压稳压器的混合与匹配），包括电压输入至输出控制(VIOC)稳压器解决方案。

在本文中，我们将分析开关噪声，以及在开关电源设计无法充分滤波时，PCB电路会受哪些影响。从总体设计角度来看，还需考虑成本、性能、实施和效率等因素。

例如，如何根据给定的一个或多个电源实现多电源拓扑优化设计？我们将藉此深入探讨设计、IC接口技术、电压阈值电平，以及哪类稳压器噪声会影响电路。我们将分析一些基本逻辑电平，例如5 V、3.3 V、2.5 V和1.8 V晶体管-晶体管逻辑(TTL)、互补金属氧化物半导体(CMOS)，及其各自的阈值要求。

本文还会提及正发射极耦合逻辑(PECL)、低压PECL(LVPECL)和电流模式逻辑(CML)等先进逻辑，但不会详细介绍。这些都是超高速接口，对于它们来说，低噪声电平非常重要。设计人员需要知道如何避免信号摆幅引起的这些问题。

在电源设计中，成本和性能要求并存，所以设计人员必须仔细考虑逻辑电平和对干净电源的要求。在公差和噪声方面，通过设计实现可靠性并提供适当裕量，也可以避免生产问题。

设计人员需要了解与电源设计相关的权衡考量：哪些可实现？哪些可接受？如果设计达不到要求的性能，那么设计人员必须重新审视选项和成本，以满足规格要求。例如，多轨器件（例如ADP5054）可以在保持成本高效的同时提供所需的性能优势。

典型设计示例

我们先来举个设计示例。图1显示将12 V和3.3 V输入电源作为主电源的电路板框图。主电源必须降压，以便针对PCB应用产生5 V、2.5 V、1.8 V，甚至3.3 V电压。如果外部3.3 V电源能够提供足够的电源和低噪声，那么可以直接使用3.3 V输入电轨，无需额外调节，以免产生额外成本。如果不能，则可以使用12 V输入电轨，通过降压至PCB应用所需的3.3 V来满足电源要求。

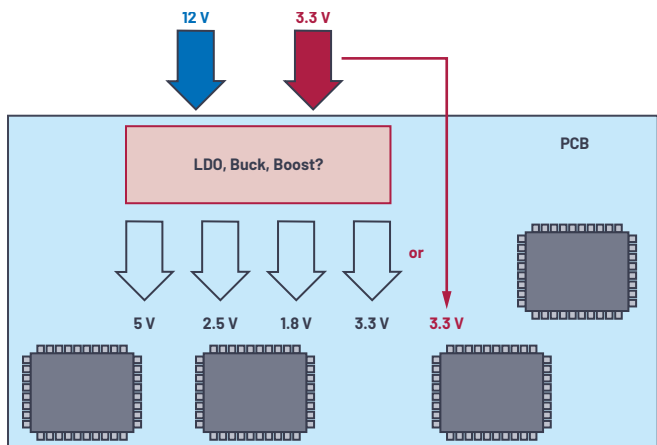


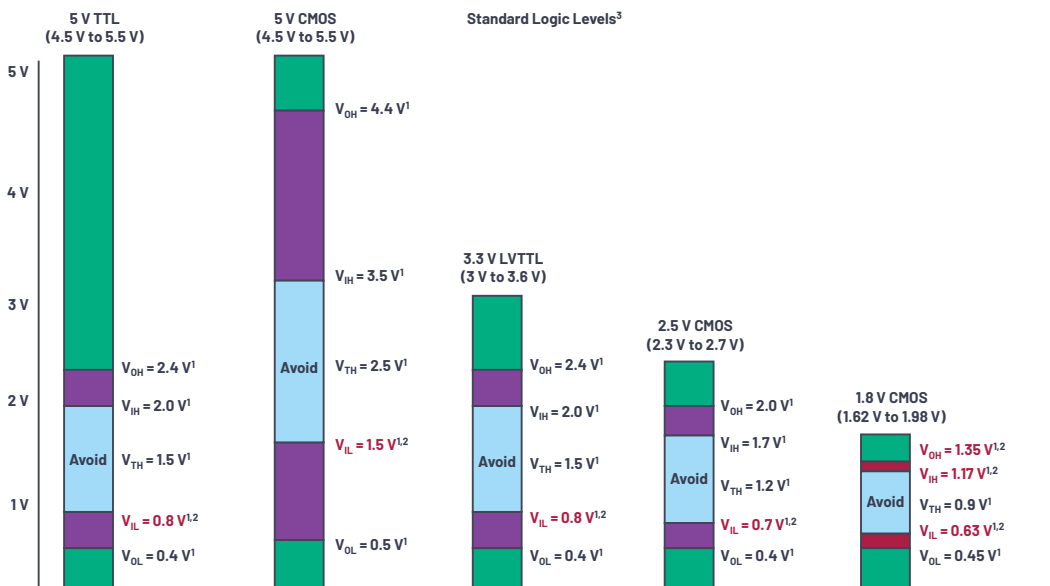
图1. 需要多轨电源解决方案的应用电路板概览。

逻辑接口概述

PCB一般使用多个电源。IC可能仅使用5 V电源，或者，它可能要求多个电源，输入/输入接口使用5 V和3.3 V，内部逻辑使用2.5 V，低功耗休眠方式使用1.8 V。低功耗模式可能始终开启，用于定时器功能、管理等逻辑，或用于中断时启用唤醒模式，或者用于IRQ引脚，以启用IC功能并为其供电，也就是5 V、3.3 V和2.5 V电源。所有这些或其中部分逻辑接口通常都在IC内部。

图2显示了标准逻辑接口电平，包括各种TTL和CMOS阈值逻辑电平，以及它们可接受的输入和输出电压逻辑定义。在本文中，我们将讨论何时将输入逻辑驱动至低电平（用输入电压低(V_{IL})表示），何时驱动至高电平（用输入逻辑电平高(V_{IH})表示）。我们将重点分析 V_{IH} ，即图2中标记为“Avoid”的阈值不确定区域。

在所有情况下，必须考虑 $\pm 10\%$ 的电源公差。图3显示了高速差分信号。本文将着重探讨图2所示的标准逻辑电平。



¹ $\pm 10\%$

² Critical Impact (Due to PSU Tolerance)

³ PSU Tolerance $\pm 10\%$

图2. 标准逻辑接口电平。

开关噪声

未经过充分滤波时，开关稳压器降压或升压电源设计可能产生几十毫伏至几百毫伏的开关噪声，尖峰可能达到400 mV至600 mV。所以，了解开关噪声是否会给使用的逻辑电平和接口造成问题非常重要。

安全裕度

为确保提供合适的安全裕度，实现可靠的PSU，一条设计经验法则是采用最糟糕情况下的-10%公差。例如，对于5 V TTL，0.8 V的 V_{IL} 变成0.72 V，对于1.8 V CMOS，0.63 V的 V_{IL} 变成0.57 V，阈值电压(V_{TH})也相应降低（5 V TTL $V_{TH} = 1.35$ V，1.8 V CMOS $V_{TH} = 0.81$ V）。开关噪声(V_{NS})可能为几十毫伏到几百毫伏。此外，逻辑电路本身也会产生信号噪声(V_N)，即干扰噪声。总噪声电压($V_{TN} = V_N + V_{NS}$)可能在100 mV至800 mV之间。将 V_{TN} 添加至标称信号中，以生成总信号电压(V_{TSIG})：实际的总信号($V_{TSIG} = V_{SIG} + V_{TN}$)会影响阈值电压(V_{TH})，进一步扩大了avoid区域。 V_{TH} 区域内的信号电平是不确定的，在该区域内，逻辑电路可以任意随机翻转；例如，在最糟糕的情形下，会错误触发逻辑1，而不是逻辑0。

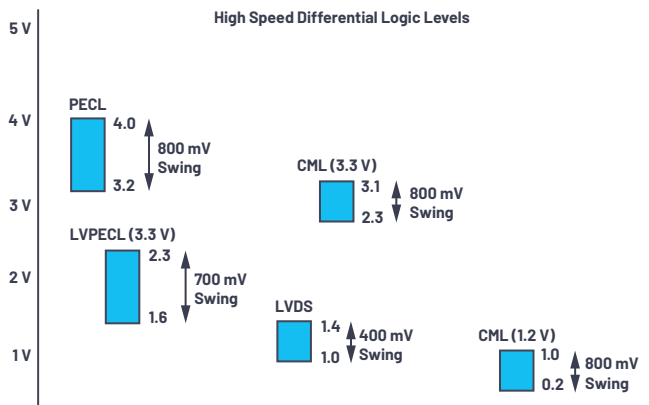


图3. 高速差分逻辑接口电平。

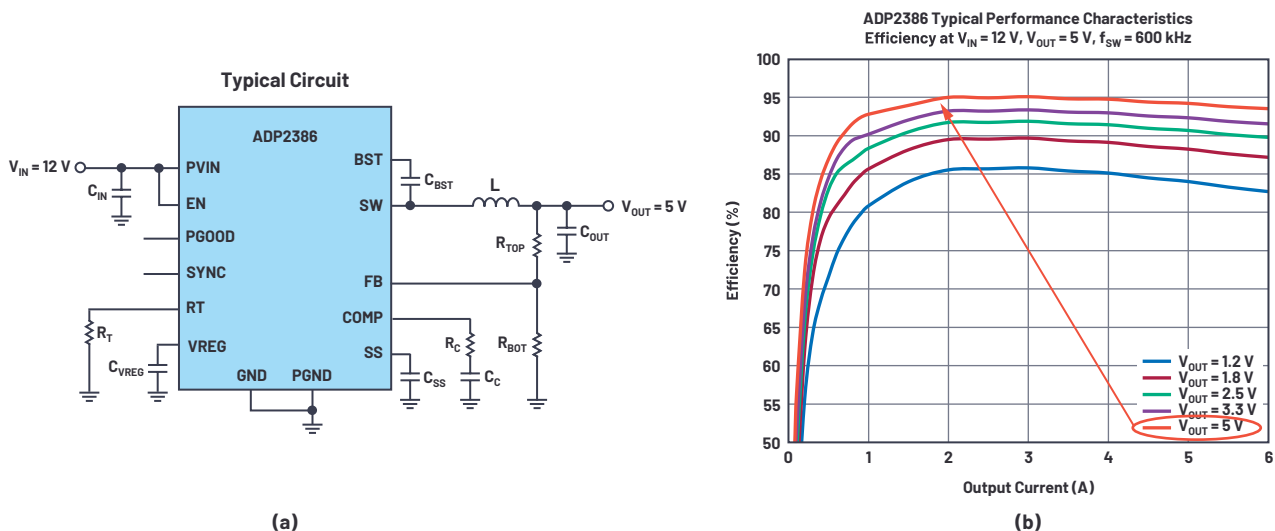


图4. ADP2386的(a)典型电路和(b)效率曲线图。

多轨PSU注意事项和提示

通过了解接口输入和IC内部逻辑的阈值电平，我们现在知道哪些电平会触发正确的逻辑电平，哪些会（意外）触发错误的逻辑电平。问题在于：要满足这些阈值，电源的噪声性能需要达到什么水平？低压差线性稳压器噪声很低，但在高压降比下却并不一定高效。开关稳压器可以有效降压，但会产生一些噪声。高效低噪的电源系统应包含这两种电源的组合。本文着重介绍各种组合，包括在开关稳压器后接LDO稳压器的混合方法。

（在需要时）最大化效率和最小化噪声的方法^{1, 2}

从图1所示的设计示例可以看出，为了充分提高5 V稳压的效率并尽可能降低开关噪声，需要分接12 V电路并使用降压稳压器，例如ADP2386。从标准逻辑接口电平来看，5 V TTL V_{IL} 和5 V CMOS V_{IL} 分别是0.8 V和1.5 V，仅使用开关稳压器时，也具备适当的裕度。对于这些电平，通过使用降压拓扑可实现效率最大化，而开关噪声则低于采用5 V（TTL和CMOS）技术时的 V_{IL} 。通过使用降压稳压器（例如图4a所示的ADP2386配置），效率可以高达95%，如ADP2386的典型电路和效率曲线图所示（见图4b）。如果在此设计中使用噪声较低的LDO稳压器，从 V_{IN} 到 V_{OUT} 的7 V压降会导致消耗大量内部功率，一般表现为产生热量和损失效率。为了以少量额外成本实现可靠设计，在降压稳压器后接LDO稳压器来产生5 V电压也是一项额外优势。

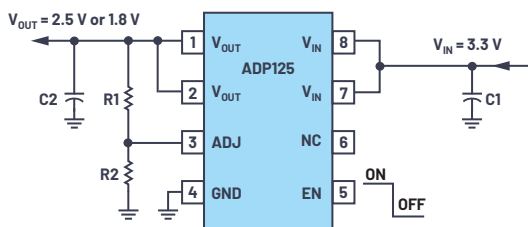


图5. 典型的ADP125应用。

2.5 V和1.8 V CMOS的 V_{IL} 分别是0.7 V和0.63 V。遗憾的是，此逻辑电平的安全裕度尚不足以避免开关噪声。要解决此问题，有两种方案可选。第一种：如果图1所示的外部3.3 V电源具备足够功率且噪声极低，则分接这个外部3.3 V电源，并使用线性稳压器（LDO稳压器），例如ADP125（图5）或ADP1740来获得2.5 V和1.8 V电源。注意，从3.3 V到1.8 V有1.5 V压降。如果此压降会导致问题，则可以使用混合方法。第二种：如果外部3.3 V电源的噪声不低，或不能提供足够功率，则分接12 V电源，通过降压稳压器后接LDO稳压器来产生3.3 V、2.5 V和1.8 V电源；混合方法如图6所示。

加入LDO稳压器会稍微增加成本和板面积以及少量散热，但要实现安全裕度，有必要作出这些取舍。使用LDO稳压器会小幅降低效率，但可以通过保持 V_{IN} 至 V_{OUT} 的少量压降，使这种效率降幅达到最低：3.3 V至2.5 V，保持0.8 V，或3.3 V至1.8 V，保持1.5 V。可以使用带VIOC功能的稳压器尽可能提高效率 and 瞬变性能。VIOC可以调节上游开关稳压器的输出，从而在LDO稳压器两端保持合理的压降。带VIOC功能的稳压器包括LT3045、LT3042和LT3070-1。

LT3070-1是一款5 A、低噪声、可编程输出、85 mV低压差线性稳压器。如果必须使用LDO稳压器，则存在散热问题，其中功耗= $V_{DROP} \times I$ 。例如，LT3070-1支持3 A，稳压器两端的功率降幅（或功耗）典型值为 $3\text{ A} \times 85\text{ mV} = 255\text{ mW}$ 。相比压差为400 mV，输出电流同样为3 A，功耗为1.2 W的一些典型LDO稳压器，LT3070-1的功耗仅为其五分之一。

或者，我们可以使用混合方法，以牺牲成本为代价来提高效率。图6中效率和性能均得到优化，其中先使用降压稳压器（ADP2386）将电压降至允许的最低电压，尽量提高效率，后接一个LDO稳压器（ADP1740）。

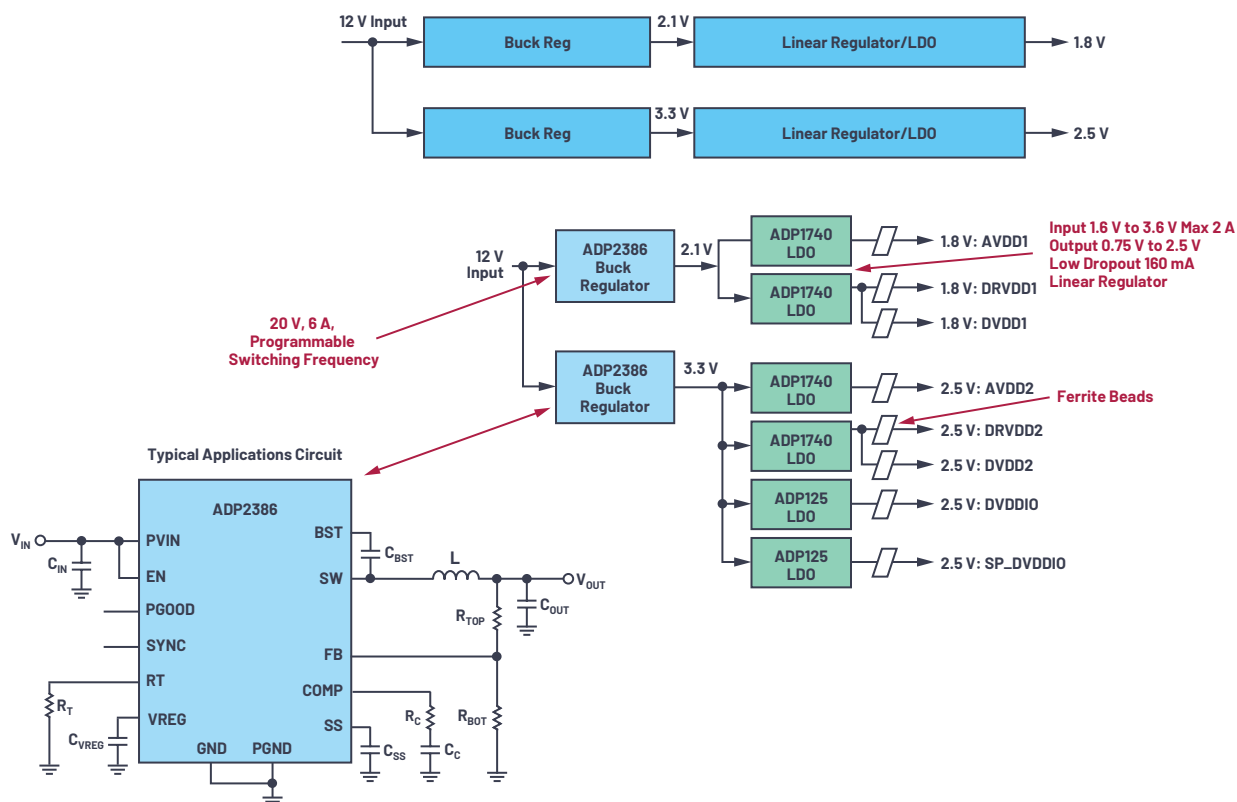


图6. 使用ADP2386和ADP1740组合的混合拓扑。

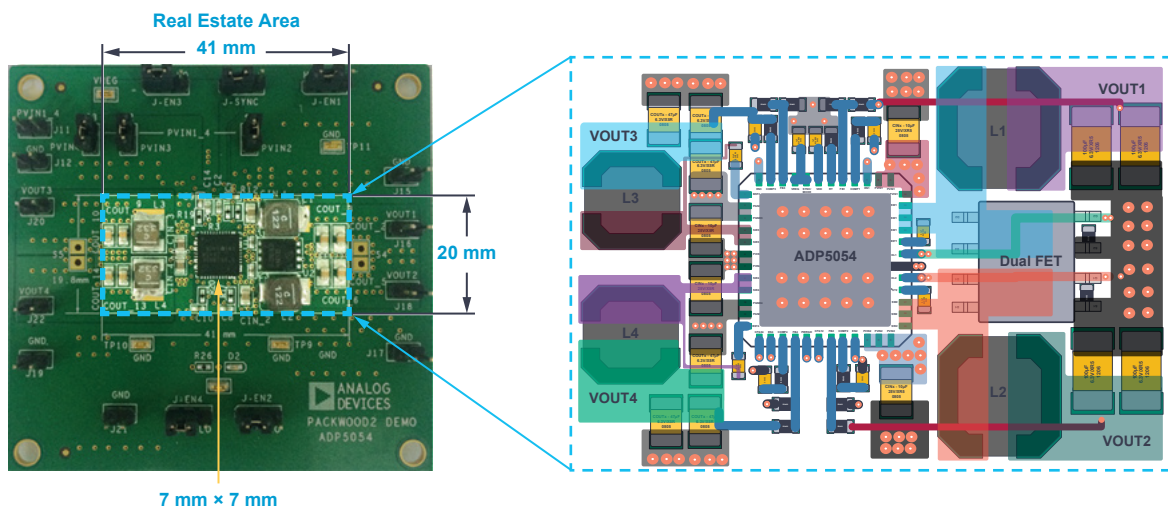


图7. 适合FPGA应用的ADP5054单芯片多轨电源解决方案。

¹ 此练习提供一个通用设计示例，用于显示一些拓扑和技术。但是，也不能忘记考虑其他因素，例如IMAX、成本、封装、压降等。

² 也提供低噪声降压和升压稳压器选项，例如Silent Switcher® 稳压器，它具备极低的噪声和低EMI。例如，从性能、封装、尺寸和布局区域来看，LT8650S和LTC3310S具有成本高效特性。

封装、功率、成本、效率和性能取舍

量产PCB设计通常要求使用紧凑的多轨电源，以实现高功率、高效率、出色的性能和低噪声。例如，ADP5054四通道降压稳压器为FPGA等应用提供高功率(17 A)单芯片多轨电源解决方案，如图7所示。整个电源解决方案约41 mm × 20 mm大小。ADP5054本身的大小仅为7 mm × 7 mm，可以提供17 A总电流。要在紧凑空间内实现极高的功率电平，可以考虑使用ADI的µModule® 稳压器，例如LTM4700，可以在15 mm × 22 mm的封装大小内提供高达100 A电流。

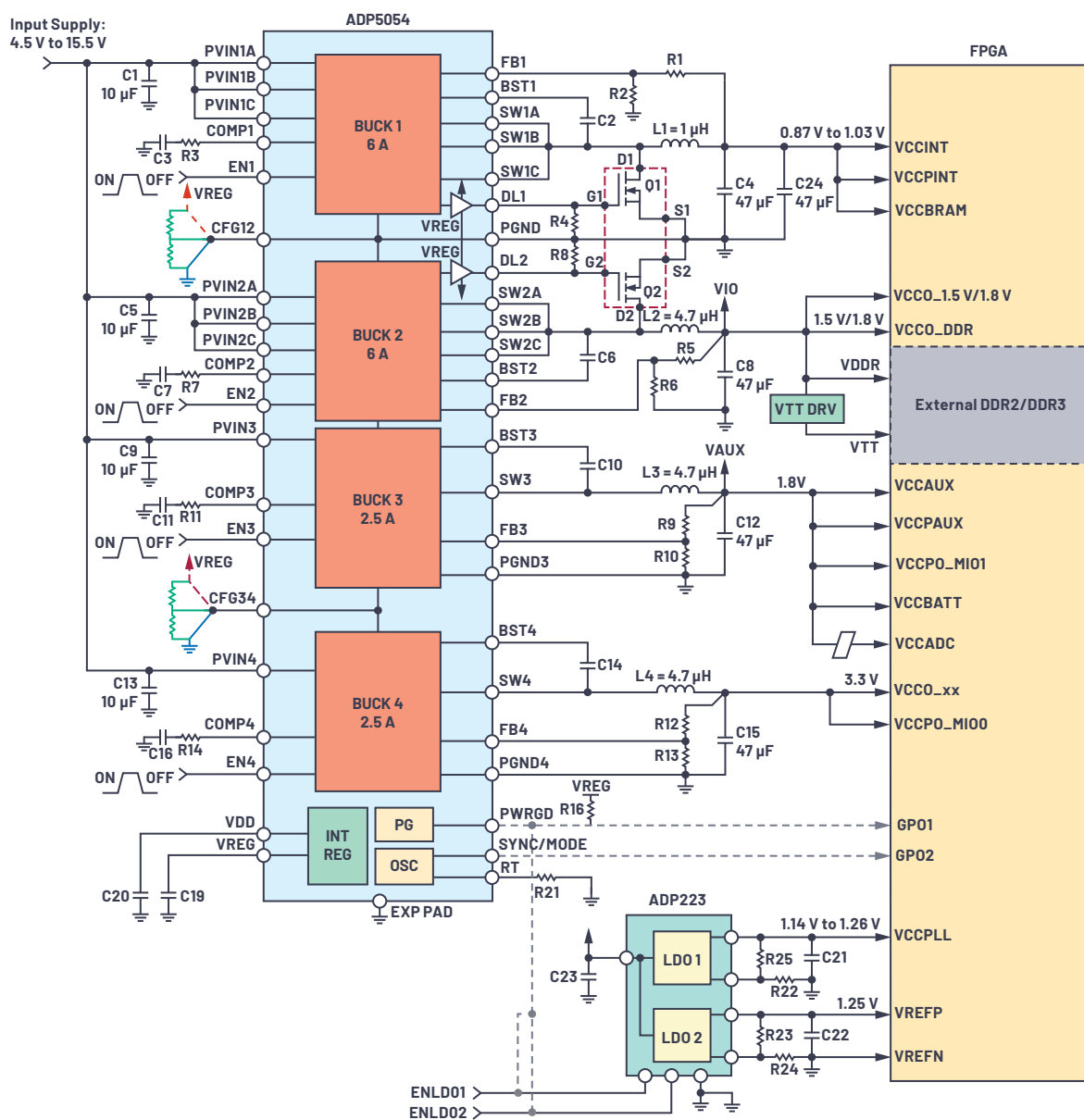


图8. ADP5054原理图。

第二部分

在本专题的第二部分，我们将探讨如何在电路板级别使用级联策略，包括选择合适的IC来实现功率预算和电路板布局，以及一些相关技巧。

参考资料

AD8045裸露焊盘连接。ADI公司，2011年1月。

接头引脚。Digi-Key Electronics。

Knuth, Steve. “使用超低噪声LDO稳压器提供干净的电源。” ADI公司，2018年9月。

Kueck, Christian. “应用笔记139：电源布局和EMI。” 凌力尔特，2012年10月。

“MT-093教程：散热设计基础。” ADI公司，2009年。

Radosевич, Andy. “用于数字IC电源的双通道线性稳压器可实现即时输出调整和动态裕量优化。” ADI公司，2020年4月。

Zhang, Henry J. “应用笔记136：非隔离开关电源的PCB布局考量。” 凌力尔特，2012年6月。



作者简介

Ching Man是欧洲中央应用中心的应用工程师，工作地点在爱尔兰利默里克。他在应用、硬件系统和ASIC设计领域拥有超过27年的经验。Ching于2007年加入ADI公司，面向欧洲市场提供高速ADC、DAC、3D飞行时间成像、LIDAR和软件定义的无线电(SDR)等相关设计技术支持。他分别于1991年和1993年获得英国伦敦威斯敏斯特大学的电子工程（荣誉）学士学位和VLSI和数字信号处理系统硕士学位。

Ching在IEEE、IET、electronica发表多篇文章并撰写ADI指南、研讨会和会议论文。此外，他于1998年获得特许工程师资质，目前是英国工程技术学会(IET)的成员。他目前的研究活动涉及系统、ASIC和算法架构、信号处理和降噪技术，以及aquamarine光纤声呐传感器系统设计、应用和开发。联系方式：ching.man@analog.com。

