

# ADI Analog Dialogue

# 第2部分:用于电机控制 电流测量的Σ-Δ调制优化

系统应用工程师Jens Sorensen、 系统应用工程师Shane O'Meara 和系统应用经理Dara O'Sullivan

本文是两篇系列文章的第2部分。第1部分介绍了在电机控制 应用中,使用sinc滤波器对Σ-Δ编码数据进行解调。虽然文中 说明了同步sinc滤波器的脉冲响应对脉冲宽度调制(PWM)的重 要性,并提出了同步策略,但是,同步方案会导致难以正确 配置系统。

作为本系列的第2部分,本文提出一种针对同步优化的新型 sinc滤波器结构。该滤波器可在需要严格控制反馈链时序的 应用中提高测量性能。接着,第2部分还将讨论采用HDL代 码实现sinc滤波器的方法,以及如何在FPGA实现上优化滤波 器。最后,给出在一个基于FPGA的3相伺服驱动器上执行的 测量结果。

#### 针对同步优化的sinc滤波器

如第1部分所述,通过正确对齐sinc滤波器对PWM的脉冲响应, 可以实现无混叠的Σ-Δ测量。尽管该方法很简单,但是很难(在 很多情况下不可能)找到一个理想的系统配置。为了说明这一 点,假设sinc滤波器和PWM模块共用同一个以f<sub>sys</sub>运行的系统时钟 源。调制器时钟f<sub>mek</sub>则由公式1确定。

$$f_{mclk} = \frac{f_{sys}}{D_{mclk}} \tag{1}$$

其中D<sub>mck</sub>是调制器时钟的时钟分频数。同样,PWM频率f<sub>pwm</sub>由公 式2确定。

$$f_{pwm} = \frac{f_{sys}}{D_{pwm}} \tag{2}$$

其中D<sub>PMM</sub>是确定PWM频率的时钟分频数。最后,sinc滤波器的抽 取率(数据速率)由公式3确定。

$$f_{dec} = \frac{f_{mclk}}{D_{dec}} = \frac{f_{sys}}{D_{mclk} \times D_{dec}}$$
(3)

其中D<sub>ee</sub>是抽取后时钟的时钟分频数。为了避免脉冲响应和PWM 周期之间的漂移,一个PWM周期内包含的抽取周期数量必须为 整数:

$$\frac{f_{dec}}{f_{pwn}} = N \tag{4}$$

其中N为整数。合并公式2、公式3和公式4可得:

$$\frac{D_{pwm}}{D_{mclk} \times D_{dec}} = N \tag{5}$$

显然,只有有限选择的时钟缩放比例Dx可满足公式5。此外,时 钟缩放比例的选择方法往往也受到严格限制。例如,系统可能 需要以一定的PWM频率(例如10 kHz)运行或使用一定的调制器 时钟(例如20 MHz)。另一个麻烦是进行调制器时钟选择时, 可选数值有限。例如,如果f<sub>sys</sub>为100 MHz,则D<sub>mck</sub>仅有的合理选 择应为5到10之间有限范围内的整数(从20 MHz低至10 MHz)。

考虑到所有这些限制,很难(即便有可能)找到可在脉冲响应 和PWM之间实现所需对齐的时钟缩放比例。通常会发生的情况 是,用户被迫选择满足公式5的时钟缩放比例,而非选择可产生 所需PWM频率、调制器时钟和信噪比(SNR)的时钟缩放比例。而 且,如果其中一个频率随时间发生变化,则无法找到有效的配 置。这种情况在多轴系统中非常普遍,在这些系统中,单个运 动控制器会对网络中的多个电机控制器进行同步。

虽然对齐方案可提供出色的测量性能,但事实证明它不切实际。以下章节将介绍一种新型sinc滤波器。该滤波器可提供出 色的测量性能,同时允许用户独立选择所有时钟分频数。

#### 刷新式sinc滤波器

传统的三阶sinc滤波器如图1所示。滤波器通过按比例缩放系统 时钟来生成ADC的调制器时钟,而ADC则向滤波器返回一个1位 数据流。滤波器功能本身包括三阶级联积分器1/(1 – *τ*<sup>-1</sup>)(时钟速 率与调制器速率相同)和三阶级联微分器1 – *τ*<sup>-1</sup>(时钟速率为抽 取时钟)。



图1. 传统的三阶sinc滤波器。

sinc滤波器和ADC通过施加于其上的同一个时钟连续工作。因此,滤波器以由抽取时钟确定的固定速率连续输出数据。来自 滤波器的数据速率通常高于电机控制算法的更新速率,因此许 多滤波器输出被拒绝。只有当脉冲响应以理想测量值为中心 时,输出才会被捕获并用作反馈。

采用空间矢量调制,在每个PWM周期内仅取两次相电流平均 值。据此,每个PWM周期仅有可能输出两个无混叠的sinc数据, 因此没有必要让滤波器连续运行。实际上仅在需要反馈时启用 测量,然后在所有其他时间禁用测量就足够了。换句话说,测 量以开关模式运行,与传统的ADC不同。

开关模式运行的问题在于,调制器和滤波器时钟来源于相同的 系统时钟。这意味着滤波器和ADC均以开关模式运行,我们不 建议这样做,因为这会导致性能下降。其原因是ADC中的调制 器是具有一定建立时间和阻尼的高阶系统。因此,当将时钟首 次施加于ADC时,需要先建立调制器,然后才能信任其输出位 流。为了解决这些问题,我们提出一种新型滤波器结构(参见 图2)。

作为标准的sinc滤波器,其核心由三阶级联积分器和三阶级联 微分器组成。但是,此滤波器具有一些特性,可以允许新的工 作模式。首先,滤波器具有新的时钟发生器功能,可将调制器 时钟与积分器时钟分离。这样就可以连续为ADC提供时钟,但 只在获取测量值时才启用积分器时钟。其次,此滤波器具有新 的滤波器控制功能。以同步脉冲为基准,控制块处理滤波器工 作所需的所有时序和触发。滤波器控制器的主要功能是刷新滤 波器,包括初始化所有滤波器状态、在开始新测量之前的计时 器滤波,以及在适当的情形下启用/禁用积分器时钟。最后,滤 波器具有一个新的缓冲和中断控制单元,该单元对所有输出数 据进行排序并捕获正确的测量值。当新的测量值准备就绪时, 缓冲和中断单元还会通过中断来通知电机控制应用。图3的时序 图显示了此滤波器的工作方式。

为了开始测量,将同步脉冲(sync pulse)施加于滤波器控制器。通 常,此脉冲表示一个新的PWM周期的开始。同步脉冲启动一个 计时器,该计时器被配置为恰好在所需测量点之前1.5个抽取周 期处失效。积分器时钟和抽取时钟在这一点启用,滤波过程开 始。经过3个抽取周期(三阶sinc滤波器的建立时间)后,缓冲 和中断控制器捕获数据输出并置位中断。请注意在图3中测量值 如何以同步脉冲为中心。该序列在下一个同步脉冲处重复,但 是调制器时钟在滤波器开始工作后就一直保持开启状态。







图3. sinc滤波器在开关模式下的时序图。

上述sinc滤波器解决了常规sinc滤波器的同步问题。该滤波器及 其工作模式无需对PWM频率、调制器时钟或抽取率做出任何假 设。即使PWM频率随时间变化,它也可以与所有系统配置同样 配合良好。由于每次测量都会有效重置滤波器,因此它对时钟 之间的漂移也不敏感。

#### sinc滤波器的HDL实现

作者发现,一些公开可用的sinc滤波器HDL示例具有一些缺点, 会对滤波器的性能产生负面影响或导致意外行为。本章节将 讨论一些实现问题以及如何设计HDL代码以在FPGA上获得最佳 性能。

#### 积分器

最纯正的sinc3滤波器由三阶级联积分器和三阶级联微分器组成 (参见图1)。首先,考虑z-domain<sup>2</sup>中的纯积分器。

$$\frac{y(z)}{u(z)} = \frac{1}{1 - z^{-1}} \tag{6}$$

其中u是输入, y是输出。积分器的差分方程为:

$$y[n] = u[n] + y[n-1]$$

这个一阶方程等于一个累加器,非常适合在FPGA等时钟逻辑中 实现。一种常见的实现方法是D型触发器累加器,如图4所示。



图4.采用D型触发器的累加器实现。

该电路在FPGA上只需几个逻辑门即可实现。于是,当三个纯积 分器级联时,z域中的转换函数由公式8确定。

$$\frac{y(z)}{u(z)} = \left(\frac{1}{1-z^{-1}}\right)^3 = \frac{1}{1-3z^{-1}+3z^{-2}-z^{-3}} \tag{8}$$

公式9显示了该三阶级联积分器的差分方程:

$$y[n] = u[n] + 3y[n-1] - 3y[n-2] + y[n-3]$$
(9)

请注意样本n的输入如何影响样本n的输出。

如果使用图4所示的D型触发器累加器来实现该三阶积分器,则 结果如图5所示。

由于这是时钟电路,因此输入变化需要经过几个时钟周期才会 影响到输出。这一点在查看级联累加器的差分方程(参见公式 10)时会变得更加清晰。

$$y_{1}[n] = u[n] + y_{1}[n-1]$$

$$y_{2}[n] = y_{1}[n-1] + y_{2}[n-1] = u[n-1] + y_{1}[n-2] + y_{2}[n-1]$$

$$y_{3}[n] = y_{2}[n-1] + y_{3}[n-1] = u[n-2] + y_{1}[n-3] + y_{2}[n-2] + y_{3}[n-1]$$
(10)

此差分方程与纯积分器的差分方程完全不同(参见公式9)。对 于累加器,输入需要两个时钟周期才会影响输出,而对于纯积 分器,输入会立即影响输出。为了说明这一点,图6分别显示了 在5号样本处施加单位阶跃时公式9和公式10的阶跃响应。正如 预期的那样,累加器相较于积分器延迟了两个样本。



图6. 三阶级联积分器和三阶级联累加器的阶跃响应。

大多数公开可用的sinc滤波器示例建议使用D型触发器累加器实现积分器。这样做的主要理由是其所需门数较少,但是这种简单的做法也需要付出一定的代价。与滤波器的群延迟相比,两个调制器时钟的额外延迟看似微不足道,但该延迟影响了滤波器高频衰减能力,因此,累加器实现相较于纯积分器可提供的有效位数更少。此外,上述刷新式sinc滤波器需要理想的转换函数才能正常工作。鉴于这些原因,任何sinc滤波器实现都不应该依赖累加器来实现积分器级。



(7)

图5.采用D型触发器实现的三阶级联累加器。

为了获得理想的sinc3响应,建议按照公式9直接实现差分。结果 如图7所示。请注意功能框图包含两个组成部分.时钟逻辑部分 (触发器)和组合部分(求和)。此实现需要更多门数,但是 它可以提供所需的滤波器性能和延迟。



图7. 三阶级联积分器的实现。

#### 微分器

与积分器类似,许多公开可用的sinc滤波器示例以错误的方式 实现微分器级,从而导致滤波器性能下降和意外延迟。本章节 讨论了微分器级,并就如何通过FPGA实现获得最佳性能提出了 建议。首先,考虑公式11中z域的纯微分器以及公式12中相应 的差分。<sup>2</sup>

$$\frac{y(z)}{u(z)} = 1 - z^{-1} \tag{11}$$

y[n] = u[n] - u[n-1](12)

要在FPGA上实现微分器,最常用的方法是采用D型触发器(参 见图8)。



图8.采用D型触发器实现的微分器。

下述HDL代码片段说明了实现三阶D型触发器微分器的常见方法。这里使用的是Verilog伪码,但其原理也适用于其他语言。



图10. 通过时钟赋值实现的微分器。

always @(posedge clock)

图9. 以时钟逻辑方式实现的三阶微分器。

与任何时钟赋值一样,先计算所有右边的语句,并将其赋值 给左边的语句。<sup>3</sup>为所有语句提供时钟,并对所有赋值进行并 行更新。这会产生一个问题,因为输出项(y<sub>x</sub>[n])依赖于延迟项 (u [n-1]和y<sub>x</sub>[n-1]),后者需要率先更新。因此,上述Verilog代 码片段的逻辑实现如图10所示。

由于采用时钟赋值,微分器的延迟为6个时钟周期,而不是预 期的3个时钟周期。由于微分器由抽取时钟提供时钟,因此滤 波器的群延迟和建立时间实际都增加了一倍。但是,这也会影 响滤波器的衰减,而且频率响应不是理想的三阶sinc。在已发 布的sinc滤波器示例中经常可以看到图10所示的实现方式,但 是我们强烈建议选择一种模拟理想微分器级的方法。

上述Verilog代码片段可分为两部分。计算电流输出的组合部分 和更新延迟状态的时钟逻辑部分。这种分离使得组合部分可被 移至始终受时钟控制的功能块之外,如图11代码片段所示。

```
u[n-1] <= u[n];
y1[n-1] <= y1[n];
y2[n-1] <= y2[n];
end
assign y1[n] = u[n] - u[n-1];
```

图11. 以时钟逻辑与组合逻辑混合方式实现的三阶微分器。

使用组合赋值时,没有与y,计算相关的额外延迟,总延迟从6个 时钟周期降低到理想的3个时钟周期。推荐的微分器实现功能框 图如图12所示。

将上述级联积分器与微分器实现结合在一起,可使sinc滤波器 在衰减和延迟方面获得理想特性。所有基于Σ-Δ的测量都将受益 于这种优化滤波器的实现,尤其是需要知道滤波器确切延迟的 刷新式sinc。

#### 测量

本文提出的Σ-Δ测量系统已经结合基于Xilinx<sup>®</sup> Zynq<sup>®</sup>-7020 SoC的伺 服电机控制器进行了实施和测试。<sup>4</sup>该系统由60 V 3相永磁伺服 电机(Kinco SMH40S<sup>5</sup>)和3相开关电压源逆变器组成。SoC运行磁场 定向电机控制算法和用来实时捕获测量数据的软件。

对于相电流测量,该系统采用两个隔离式Σ-Δ ADC (ADuM7701),跟 随两个三阶sinc滤波器。该sinc滤波器的实现采用了本文所讨论的 设计建议,包括刷新式sinc工作模式。为了进行对比,将显示传 统的连续工作模式滤波器和刷新式滤波器的两种测量结果。 虽然控制系统具有闭环磁场定向控制,所有测量均通过开环控 制进行。闭合电流环路对测量噪声很敏感,并且噪声会通过电 流环路发生耦合。通过开环工作,可以消除电流控制器产生的 任何影响,从而可以对结果进行直接比较。

除模式配置和PWM对齐外,均使用相同的配置(包括抽取率均 设置为125)进行测量。因此,测量结果的任何差异都会是影响 sinc3脉冲响应能否与PWM正确对齐的因素。控制算法的执行频 率为10 kHz,调制器时钟为12.5 MHz。

#### 采用连续工作模式sinc滤波器,未对齐脉冲响应

在第一个示例中(参见图13a),脉冲响应与PWM波形不相关。 图13b显示了电机停止但功率逆变器在所有相上以50%的占空比 切换时两相电流的测量结果。在此工作模式下,测量显示了测 量结果的噪声水平。图13b显示了电机以600 rpm开环运行时的相 电流。电机有四个极点对,因此电气周期为25 ms。这两个图都 显示出明显的噪声,它将严重影响任何闭环电流控制器的性能。 噪声电平与基波相电流的幅度无关,因此在轻负载时噪声性能相 对更差。在此示例中,噪声是由sinc滤波器脉冲响应未对齐引起 的,因此对sinc滤波器的抽取率(衰减)几乎没有或完全没有任 何增加。

10

Time (ms)

(b)

5

15



图12.采用时钟逻辑和组合逻辑混合实现的三阶级联微分器。



图13. sinc滤波器脉冲响应与PWM未对齐的连续工作模式。

Phase U

Phase V

25

20

#### 采用连续工作模式sinc滤波器,对齐脉冲响应

图14显示了当每个PWM周期中的抽取周期数量为整数,并且脉 冲响应与理想测量点对齐时的测量结果。将图14中的结果直接 与图13中的结果进行比较。

比较图13和图14可知,虽然滤波器使用的抽取率相同,但噪声 水平已大大降低。这些示例说明系统配置和同步对于充分利用 基于Σ-Δ的信号链性能的重要性。

## 刷新式sinc滤波器

尽管图14所示的连续工作模式sinc滤波器的结果令人满意,但该 滤波器的挑战仍然在于如何找到可实现同步的配置。虽然有可 能实现连续工作模式sinc滤波器与PWM同步,但这通常并不切实 际。采用刷新式sinc滤波器可以解决该问题。



图14. sinc滤波器脉冲响应与PWM对齐的连续工作模式。





图15显示了刷新式sinc滤波器的测量结果。该滤波器配置为在理 想测量点附近仅运行3个抽取周期。正如预期的那样,其性能类 似于图14中的连续工作模式滤波器。

为方便对比,刷新式滤波器使用的配置与连续工作模式滤波器完 全相同。不同之处在于,连续工作模式滤波器必须使用此配置, 否则性能会降低,如图13结果所示。与之相反,刷新式滤波器可 以在任何系统配置下保持最佳性能。

采用未对齐的连续工作模式sinc滤波器(图13a), 其噪声大小约 为一个16位信号中120 LSBs。这相当于噪声导致近低7位信号的丢 失。刷新式sinc滤波器(图15a)的噪声电平大约是一个16位信号 中5 LSBs,相当于噪声导致的信号丢失少于3位。





### 小结

基于Σ-Δ的相电流测量已广泛用于电机驱动中,但是要获得最佳 性能,还需正确配置整个系统。本文讨论了可能会导致性能不 佳的原因以及如何正确设置系统。

配置系统以获得最佳电流反馈性能往往极具挑战性,在某些情况下甚至是不可能的。为了解决这个问题,本文提出了一种新型sinc滤波器。该滤波器以开关模式工作,并保证在任何系统配置下均具有出色的性能。

在FPGA上实现sinc滤波器需要进行HDL代码开发。本文讨论了降 低滤波器延迟并增加衰减的几种实现技术。

最后,本文展示了几种测量结果,这些结果说明了刷新式sinc 滤波器同步的重要性及其性能。

#### 参考文献

- 1 作者: Dara O'Sullivan、Jens Sorensen和Aengus Murray, AN-1265: 使用ADSP-CM402F/ADSP-CM403F/ADSP-CM407F/ADSP-CM408F sinc 滤波器和AD7403实现隔离式电机控制反馈,ADI公司,2015年 4月。
- <sup>2</sup> 作者: Alan Oppernheim和Ronald Schafer, 《<u>离散时间信号处理</u>》, 第3版, Prentice Hall Inc., 2010年。
- <sup>3</sup> Rajeev Madhavan, "Verilog HDL快速参考手册", Automata Publishing Company, 1995年。
- 4 "Zynq-7000 SoC数据手册: 概述", Xilinx, Inc., 2018年7月。
- <sup>5</sup> "KNC-SRV-SMH40S伺服", Anaheim Automation, Inc., 2019年4月。



# 作者简介

Jens Sorensen是ADI公司系统应用工程师,负责工业应用的电机控制解决方案。他拥有丹麦奥尔堡 大学电气工程硕士学位。他的主要研究方向为控制算法、电力电子和控制处理器。联系方式: *jens.sorensen@analog.com*。



#### 作者简介

Shane 0'Meara是ADI公司互连运动和机器人团队的系统应用工程师。他的专长领域是工业运动控制应用 的高精度转换,以及控制和监测信号链。他拥有利默里克大学工程学士学位,于2011年加入ADI公司。 联系方式: *shane.omeara@analog.com*。



# 作者简介

Dara O'Sullivan是ADI公司自动化与能源业务部互连运动和机器人团队的系统应用经理。他的专长领域是 工业运动控制应用的功率转换、控制和监测。Dara拥有爱尔兰科克大学工程学士、工程硕士和博士学 位。自2001年起,Dara便从事研究、咨询和工业领域的工业与可再生能源应用方面的工作。联系方式: *dara.osullivan@analog.com*。



ADI公司 请访问analog.com/cn 如需了解区域总部、销售和分销商,或联系客户服务和 技术支持,请访问analog.com/cn/contact。

向我们的ADI技术专家提出棘手问题、浏览常见问题解 答,或参与EngineerZone在线支持社区讨论。 请访问ez.analog.com/cn。 ©2019 Analog Devices, Inc. 保留所有权利。 商标和注册商标属各自所有人所有。

"超越一切可能"是ADI公司的商标。

