

Σ-Δ型ADC时钟—不仅仅是抖动

作者: Pawel Czapor

现代SAR和Σ-Δ型模数转换器(ADC)的主要优势之一是在设计中考虑了易用性,这是针对前几代设计的补充。不仅简化了系统设计人员的工作,而且在许多情况下,允许对多代各种应用重复使用单个参考设计。在很多情况下,您可以构建一个参考设计长时间用于不同的应用。精密测量系统的硬件保持不变,而软件实现可适应不同系统的需要。这就是可重用使用的美妙之处,但实际生活中没有万事如意—有利也有弊。多个应用采用单一设计的主要缺点是,您放弃了实现dc、地震、音频和更高带宽应用的绝对最高可能性能所需的自定义和优化。在急于重用和完成设计的过程中,往往会牺牲精确性能。其中容易忽略和忽视的一个主要方面是时钟。在本文中,我们将讨论时钟的重要性,并为正确设计高性能转换器提供指导。

ADC基础知识

抖动和信噪比之间的关系

在查阅现有文献时,我们看到了有关ADC性能依赖于抖动参数的大量描述,并且通常此类标题会包含“高速”一词,这不无道理。¹为了考察抖动和信噪比(SNR)之间的关系,首先来看SNR数值和rms抖动之间的关系。

如果抖动是系统中的主要噪声源,则此关系简化为:

$$SNR = -20 \times \log_{10} (2\pi f_{IN} \delta t_{RMS}) \quad (1)$$

如果有不同的噪声源,则需要使用等式2来计算组合SNR:

$$SNR = -10 \times \log_{10} \left[\left(\frac{A}{\sqrt{2}} \right)^2 / \left(\sqrt{2} \times \pi f_{IN} \times A \times \delta t_{RMS} \right)^2 + e_v^2 \right] \quad (2)$$

其中:

e_v 是简化的电压噪声rms

δt_{RMS} 是以各种来源的rms总和估算的总rms抖动:

$$\delta t_{RMS} = \sqrt{\delta t_{INT}^2 + \delta t_{EXT}^2} \quad (3)$$

求和对不相关噪声源有效。利用等式2,可得到基于热噪声(e_v)和抖动噪声的SNR。抖动对SNR的影响取决于输入频率(f_{IN})。这表示在较高的频率下,SNR主要由抖动定义。图1所示是根据等式1

和等式2得到的受抖动影响的理想和实际ADC的曲线。图1中的曲线在高速ADC数据手册中很常见,但通常在MHz范围开始。对于精密ADC,我们将进一步在kHz范围内展示相同的依赖关系。我们使SNR超过108 dB(参见图1),精密ADC现在能够做到这一点。这正是AD7768-1的用武之地。

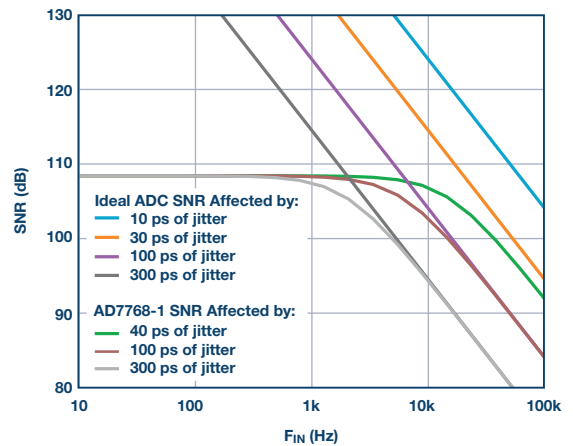


图1. 不同抖动水平下SNR和 f_{IN} 的关系。

查看图1中的曲线,可以看到仅当 σt_{RMS} 超过300 ps时,AD7768-1转换1 kHz信号(灰色线)才会受到时钟抖动的影响。我们可以调整变量并显示特定ENOB和 f_{IN} 的抖动要求:

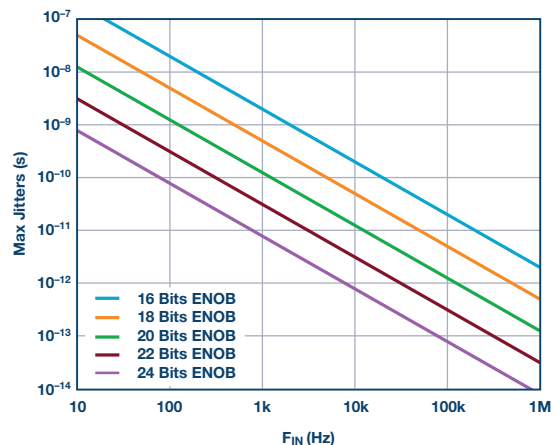


图2. 在转换器不同ENOB下最大允许抖动和 f_{IN} 的关系。

目前高精度转换器的目标抖动使得设计人员不能选择使用通用振荡器（如555定时器振荡器）或许多微控制器或基于FPGA的时钟发生器。我们只能选择晶体(XTAL)和锁相环(PLL)振荡器。新型MEMS振荡器技术也会适用。

过采样技术在这里有用吗？

在等式1和等式2中可以观察到重要的一点，抖动对采样频率没有明显的依赖关系。这意味着，很难通过过采样技术（平面或噪声整形）来减少抖动的影响。过采样在高精度系统中很常见，但在对抗抖动噪声方面几乎没有什么作用。与采样频率的关系见等式4：

$$\delta t_{RMS} = \frac{\sqrt{2 \int_{f_{min}}^{f_{max}} L(f) df}}{2\pi f_s} \quad (4)$$

其中：

$L(f)$ 是相位噪声频谱单边带(SSB)密度函数

f_{min} 和 f_{max} 是与特定测量相关的频率范围。

一般来说，增加 f_s 对改善抖动影响用处不大。²理论上讲，ADC的过采样率会减少一些宽带抖动影响。³在量化噪声和热噪声方面，噪声整形是抑制目标频段噪声的一种非常有效的方法。如等式7所示，与噪声抖动抑制相比，增加过采样率能够更快地抵制量化噪声（等式5）。这使得抖动在利用噪声整形的过采样结构中更加突出。在奈奎斯特转换器中，这可能没有那么严重。图3以二阶 Σ - Δ ADC和新四阶 Σ - Δ ADC为例说明了这一现象。

使用基本误差为 Δ 的N阶整形器在过采样率 M 下整形的量化噪声之间的关系：

$$S_{QUANTIZATION} \approx \frac{\pi^{2N}}{(2N+1)} \times \frac{1}{M^{2N+1}} \times \frac{\Delta^2}{12} \quad M \gg 1 \quad (5)$$

过采样率 M 和抖动量之间的关系：

$$S_{jitter} \approx \frac{(2 \times \pi f_{IN} \times \delta t_{RMS})^2}{M} \times \frac{\Delta^2}{8} \quad (6)$$

等式7显示二阶噪声整形($N = 2$)。应将注意力放到 M 上， M 现在以5次方变化。

$$S_{QUANTIZATION(N=2)} \approx \frac{\pi^4}{5} \times \frac{1}{M^5} \times \frac{\Delta^2}{12} \quad M \gg 1 \quad (7)$$

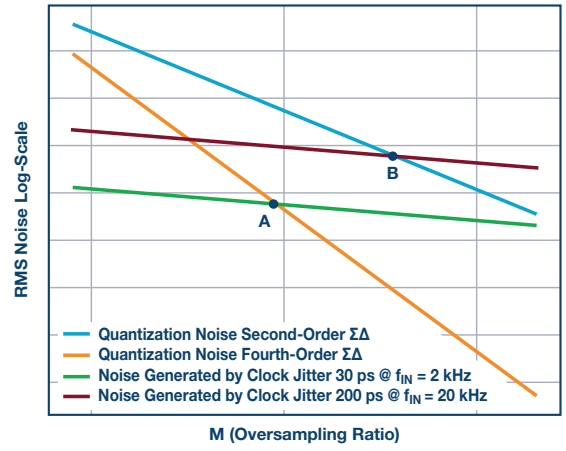


图3. 过采样将量化噪声降至低于抖动导致的噪声限值。A点显示四阶 Σ - Δ ADC要求时钟抖动低于30 ps，B点说明采用较早技术的二阶整形器进行200 kHz转换时不受高达200 ps抖动水平影响。

不同代的转换器会看到一些共同的关系特性。一阶噪声整形器隐藏抖动的最长时间最长，从而将三次关系推进到 $\sim 1/M^3$ ，而四阶 Σ - Δ 将获得 $\sim 1/M^9$ 的关系。抖动最多会降低 $1/M$ ，而这通常假定存在较强的宽带频率分量，而非关系 $1/(f^n)$ 。

信号振幅会改变现状吗？

等式2显示分子和分母中均有振幅，使振幅和SNR值之间无法实现良好的平衡。在衰减信号中，除了抖动外，热噪声开始限制动态范围，从而使SNR变差。因此，我们可以看到，如果通过新的精密ADC来实现足够低的噪声，精密ADC将在几乎所有应用（dc/地震应用除外）中受到抖动限制。

时钟抖动也会有频谱

在前面的介绍中，我们确立了信号、总电压噪声和时钟抖动rms之间关系。SNR通过非常简单的等式2将这三者联系在一起。SNR是用于比较电路设计的一个很好的基准，但在实际应用中未必可行。在很多应用中，专门针对SNR的设计不够理想。因此，无杂散动态范围(SFDR)成为设计目标。在新的高精度系统中，可实现140 dB甚至150 dB的SFDR。

由时钟源导致信号失真的过程可以通过混合二者来检查。可采用FM调制理论分析频域。³得到的快速傅立叶变换(FFT)频谱是时钟源频谱与输入信号频谱混合的产物。为查看我们的ADC如何受此影响，我们引入了相位噪声。抖动和相位噪声均描述相同的现象，但将根据应用首选一种。我们已经展示了如何在等式3中将相位噪声转换成抖动。在积分过程中，频谱的细微差别将丢失。

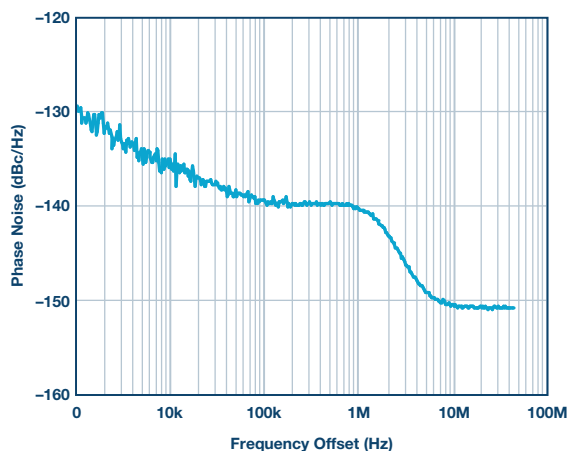


图4. 100 MHz/33.33 MHz时钟发生器AD9573的相位噪声密度图。

相位噪声密度图通常与时钟源设备和PLL规范一起提供。对于较低频率源，图4所示的曲线变得更少见，这些频率源用于当前的过采样转换器，但报告总抖动值（rms或峰值）。

通过斩波方案，可以强制电阻和晶体管元件在直流附近表现出相当平坦的噪声特性。没有等效的时钟斩波电路可用。

在转换高幅度 A_m 信号时，得到的FFT变为FM调制频谱，其中 A_m 充当载波，时钟边带与信号等效。请注意，相位噪声在FFT中不会受到频带限制，噪声在频带内表现为多个镜像混叠片段（参见图5）。

在精密ADC中，通常可以依赖相位噪声的自然衰减特性而不提供任何时钟抗混叠滤波器。通过向时钟源添加滤波，可以减少一些抖动——例如，在时钟路径中使用调谐变压器来表现出理想的频率响应。求积分频率的积分上限（等式3）并不容易确定。精密ADC数据手册未对此提供太多建议。在这些情况下，对时钟CMOS输入进行了工程假设。

精密ADC中更常见的问题发生在 f_{IN} 频率附近，其中 $1/f^n$ 形状的相位噪声将使SFDR特性更差。大的 A_m 信号将充当阻塞器，这是一个在无线电接收器中更常用的术语，这里也适用。

旨在记录具有非常长捕获时间的高精度频谱时，由于时钟相位噪声频谱密度的性质，时间将受到很大影响。SNR和FFT图可通过缩短捕获时间（更宽的频率带）来改进。对于给定的FFT捕获，rms抖动应计为 $1/2$ 频带的集成相位噪声。查看图5，可以很明显地看到这一点。

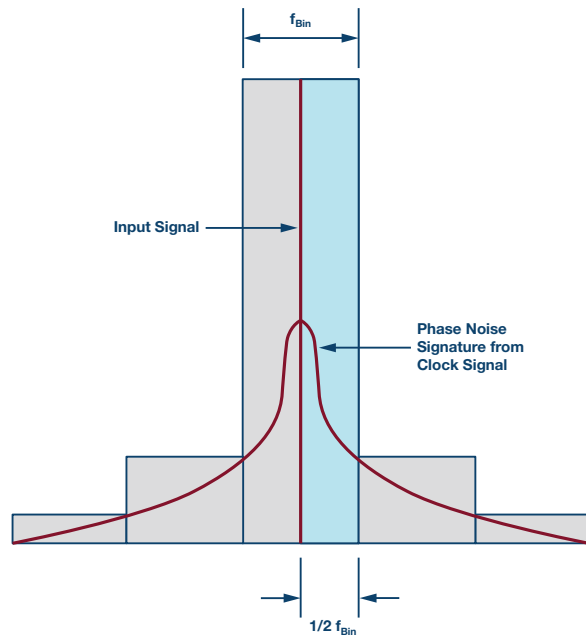


图5. 近载波相位噪声确定主频带周围的FFT频带的幅度。

虽然这一技巧可以明显改善FFT和SNR曲线，但对观察阻塞器附近的信号没有任何帮助。FM调制等式的一个重要概括和简化是边缘高度与下面成正比：

$$A \approx 10 \times \log_{10} \frac{f_{IN}}{f_s} \quad (8)$$

延长单次FFT的积分时间是一项挑战，需要进一步捕获更多和更突出的相位噪声部分。我们需要考虑组合更长时间捕获的替代方式来改进这一点。

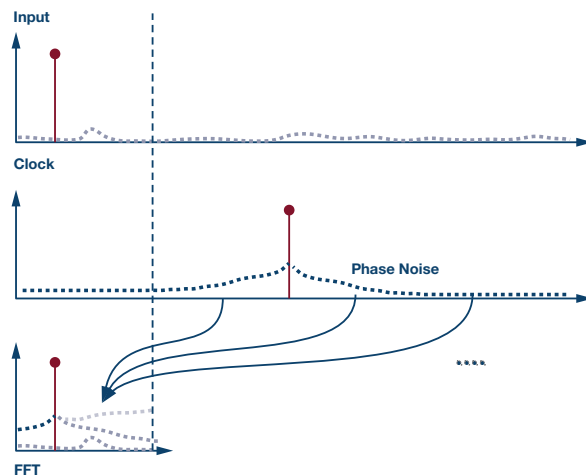


图6. 相位噪声向下混叠到基带。

出于实际考虑，应在 $f_{BIN}/2$ 偏移频率下在单个点比较SSB曲线，以选取更好的源，获得干净的近载波频谱和SFDR。如果比较源以实现更好的SNR，则需要从 $f_{BIN}/2$ 到超过 f_s （抖动别名）的3倍执行等式3中的积分。

Σ-Δ型调制器对时钟的敏感性

无论何种架构和技术，前面所述都适用于任何ADC。下面将讨论特定技术带来的挑战。抖动依赖性最突出的示例之一是Σ-Δ型ADC。离散时间和连续时间调制器之间的差别在抗抖动性方面有很大差别。

连续时间和离散时间Σ-Δ型ADC不仅受到与采样相关的抖动的影响，其反馈回路也可能受到抖动的严重干扰。离散时间和连续时间调制器中DAC元件的线性度是实现高性能的关键。通过与运算放大器(op amp)并联可以直观地了解DAC的重要性。如果设计一个增益等于2的电压放大器，那么电路设计人员通常首先会考虑使用一个运算放大器和两个电阻。如果不是极端外部环境，图7a中所示的电路就符合要求。在大多数情况下，电路设计人员不需要了解运算放大器就能获得很好的性能。设计人员必须选择匹配良好且精度足以获得正确增益的电阻。为了减少噪声，电阻必须很小。在热性能方面，需要考虑热系数匹配。请注意，这些依赖因素都不是由运算放大器决定的。对于这种电路操作，运算放大器不理想的影响并不重要。没错，输入电流或容性负载可能影响极大。需要检查压摆能力，因为如果带宽不受限制，可能要考虑噪声影响。但是只有在选择正确电阻而未影响性能的情况下，才能解决这些问题。在Σ-Δ型ADC中，反馈比两个电阻更复杂——在这些电路中，我们使用DAC代替电阻执行相应功能。当电路的其余部分以类似于运算放大器电路的方式获得环路增益时，DAC做法中的缺陷就会很不利。

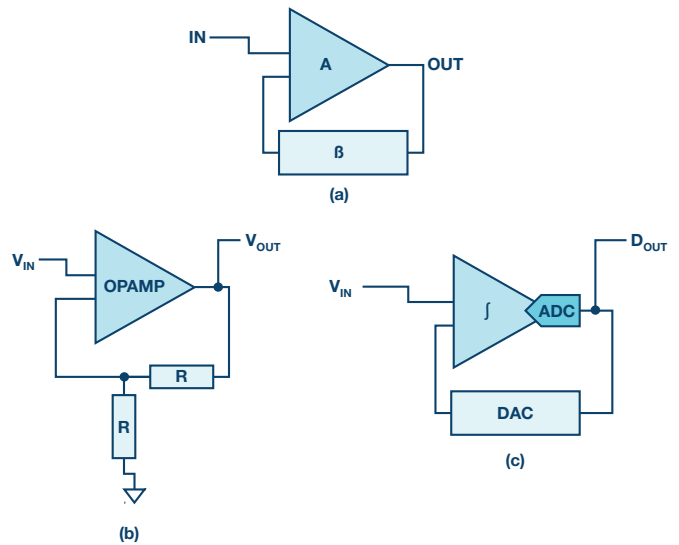


图7. 运算放大器与Σ-Δ型ADC比较。

ADC采用元件混搭(shuffling)或校准，这提供了一种处理DAC元件不匹配的方法。这些混搭或校准会将错误转移到高频率，但也会使用更多的定时事件，并可能增加与抖动相关的性能下降。最终造成噪声底受到抖动影响污染的情况，从而降低噪声整形的有效性。因为调制器可以采用不同的DAC方案以及它们的混合，例如归零和半归零。深入研究这些方案进行分析和数值模拟超出了本文的范围。

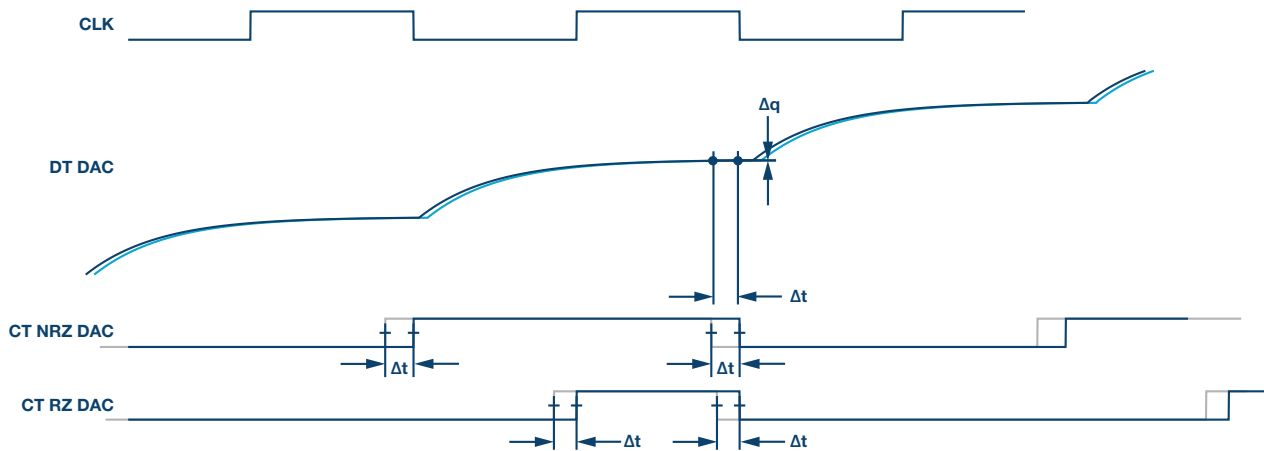


图8. 离散时间DAC在某种程度上抗抖动，而在连续时间DAC中，窄脉冲将对抖动性能具有显著的影响。

关于本文中的抖动，我们将通过图示形式简化。由于ADC环路内存在抖动依赖性问题，一些新型设计将在芯片上提供具有适当相位噪声量的倍频器。虽然这会省去系统设计人员的大部分工作，但请注意，倍频器仍然依赖于良好的外部时钟和低噪声电源。在这些系统中，应考虑查看PLL文献，了解对观察到的相位噪声的潜在威胁。图8显示不同DAC的抗抖动性能，显示离散时间DAC运行时影响极小。

现代连续时间 Σ - Δ 型设计包括板上PLL。由于在与无源元件一致的情况下仔细调整时序，因此它们不提供各种时钟速度。可采用某种人工方式扩大ADC转换率的选择范围，这种方法采用采样率转换的方式。采样率转换虽然具有数字电路的优点，但会增加功耗，不过这些代价仍使它值得成为高度调谐的模拟电路的替代方案。ADI公司的许多ADC都提供采样率转换选项。

采用开关电容滤波器的架构

精确定时可能影响性能的另一个特定领域是开关电容滤波。设计精密ADC时，需要确保将所有干扰信号排除或充分衰减。ADC可能要提供特定嵌入式模拟和数字滤波。ADC的数字滤波具有很强的抗抖动能力，而任何形式的时钟模拟滤波都会受抖动影响。

当精密转换器采用更先进的前端开关时，这一点尤为重要。虽然开关电容滤波器从理论上可能是有优点，但我们只能参考摘要要进一步研究和分析。³

转换器中常见的方案之一是相关双采样(CDS)。参见图9，了解CDS抑制质量的性能如何随时钟以三种不同的质量水平而变化。图中显示阻带附近的信号。显示了在x轴上以1为中心的开关电容滤波器。图的中心未被数字滤波抑制，并且依赖于模拟开关电容滤波器。需要优质时钟来保持良好的抑制水平。即使测量dc信号，抖动也会通过向下混叠干扰信号来影响噪声性能，这些信号本应由硅片上的开关电容滤波器滤除。数据手册中可能没有明确提到是否存在板载开关电容滤波器。

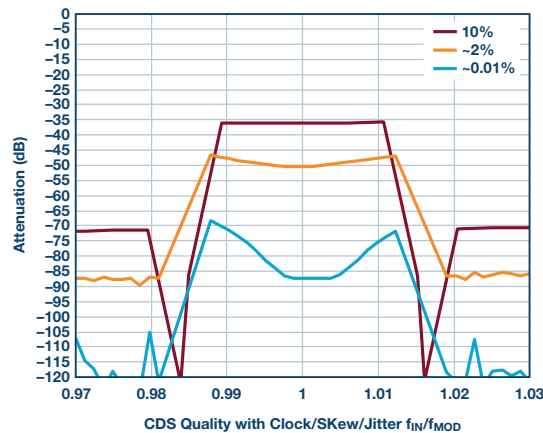


图9. 开关电容滤波性能与时钟质量—传号空号比。

实用指南、问题根源和常见猜测

至此，我们已经展示了时钟会给您带来问题的几种情况，现在来看看能够帮助您实现最大限度减少抖动量系统的技术。

时钟信号反射

高质量时钟源具有非常快速的上升和下降时间。其优势是在转换时减少抖动噪声。遗憾的是，由于陡峭边沿的好处，对正确的路由和端接提出了相当严格的要求。如果时钟线未正确端接，该线路将受到添加到原始时钟信号的反射波的影响。此过程非常具有破坏性，且相关的抖动水平可轻松占据数百皮秒。在极端情况下，时钟接收器能够看到可能导致锁定电路的额外边沿。

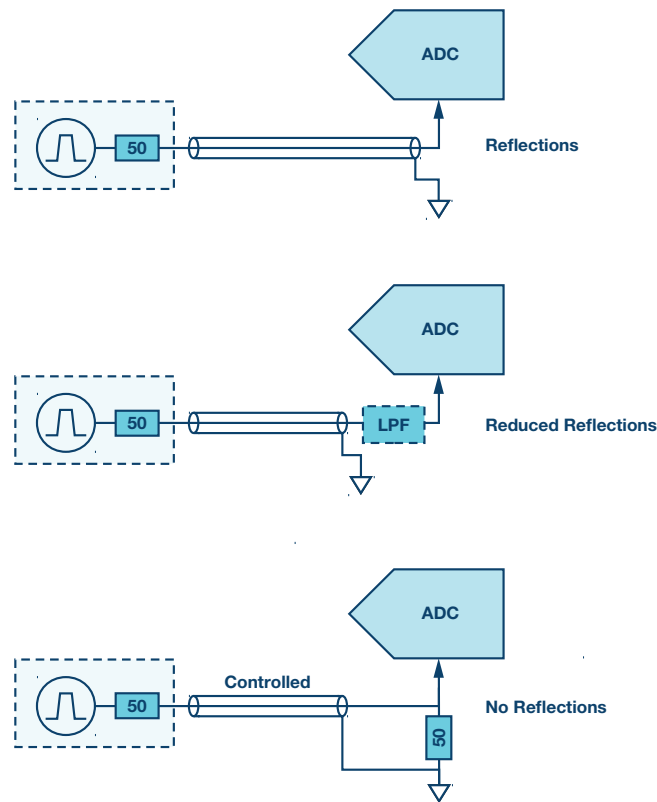


图10. 有关时钟的不佳、较佳、最佳电路设计（按降序排列）。

其中一种可能不合理的方法是使用RC滤波器减慢边沿，从而消除高频成分。甚至可以使用正弦波作为时钟源，同时等待具有50 Ω 走线和端接的新PCB。尽管转换是相对渐进的，并且占空比可能因数字输入迟滞而偏斜，但这将减少抖动的反射分量。

电源噪声

数字时钟可以在将边沿传送到采样开关之前，通过各种缓冲器和/或电平移位器在ADC内部路由。如果ADC具有模拟电源引脚，采用的电平移位器将成为抖动源。通常，芯片的模拟端将具有高电压器件，并具有更长的压摆时间，因此抖动灵敏度会提高。一些设计精良的器件在板上分离更多的模拟电源给时钟和线性电路。

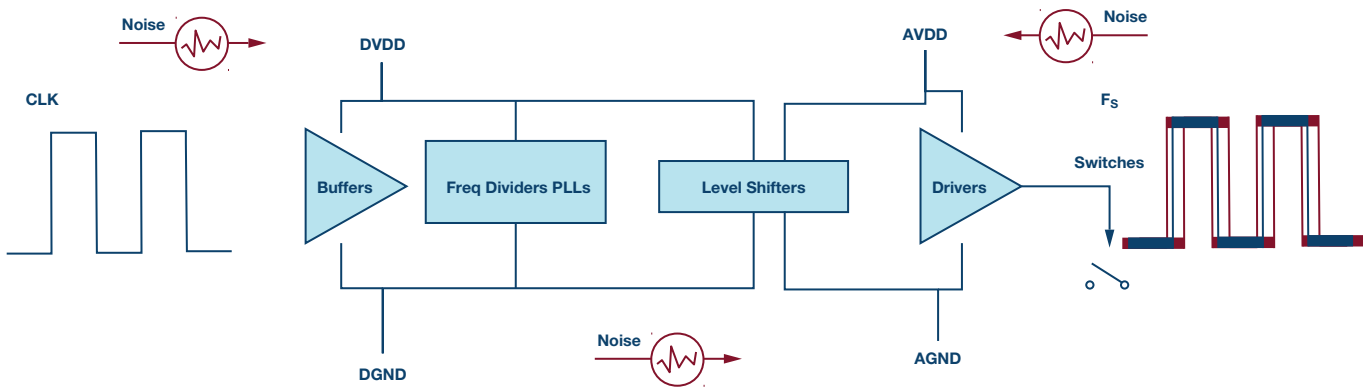


图11. 采样时间受到DVDD、AVDD以及AGND和DGND之间不同电源域引入的噪声干扰。

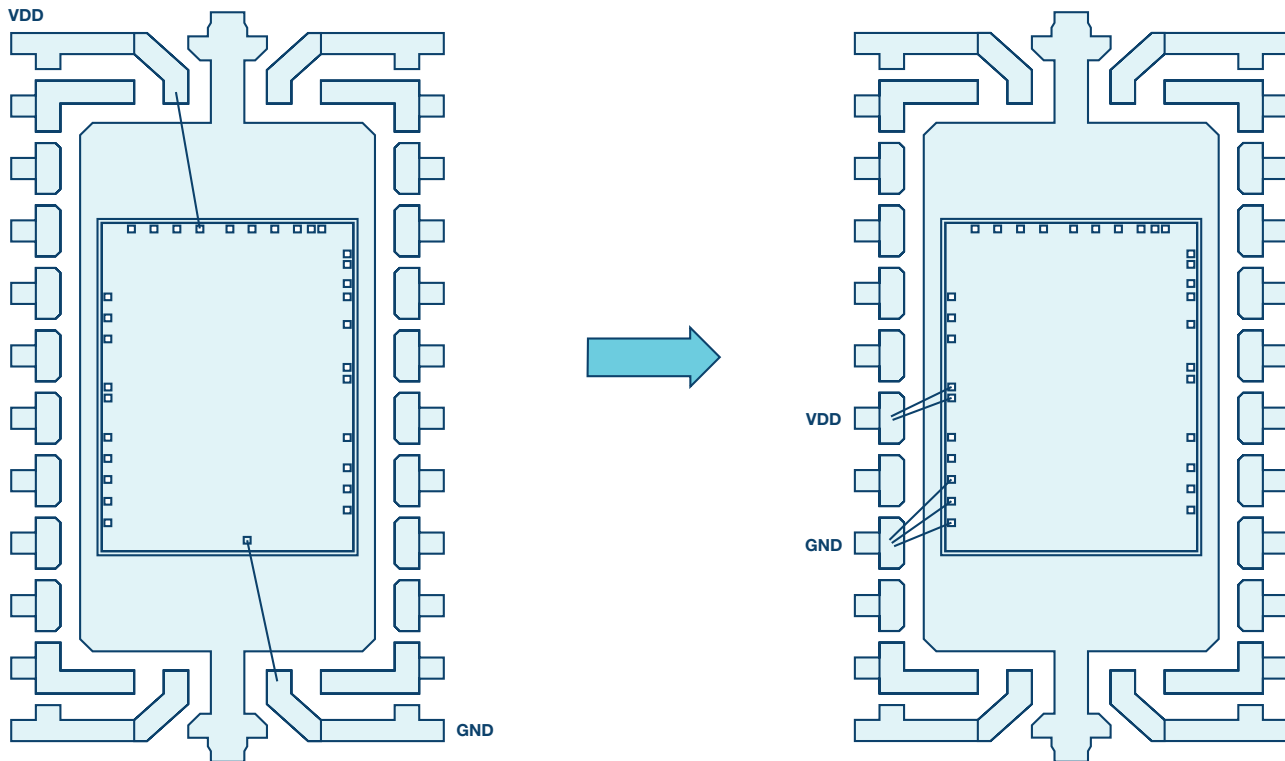


图12. 线性电路 (左) 和时钟电路 (右) 的供电方案。

解耦电容：找对产品

由电源噪声引起的抖动将通过去耦电路减小或放大。一些 Σ - Δ 调制器将在模拟和数字电路中进行大量数字活动。这可能导致与信号和数字数据之间干扰有关的非特征性杂散。高频电荷传输应限制在器件附近的短环路。为了适应最短的接线，优秀的设计沿着芯片的细长侧使用中心引脚。这些限制不是放大器和低频芯片的常见问题，它们可以在角上有 V_{DD} 和 V_{SS} 引脚，如图12的左侧所示。PCB设计应充分利用这些功能，并在引脚附近设置优质电容。

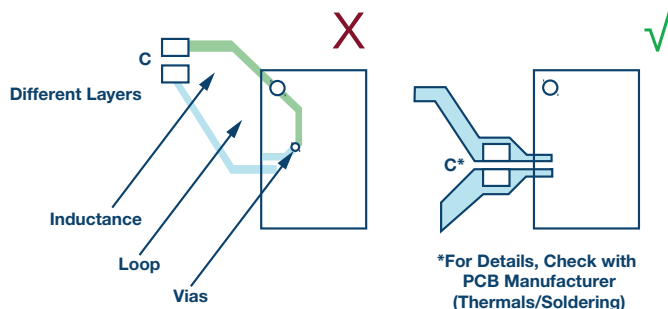


图13. 解耦电容降低抖动的错误 (左) 和正确 (右) 位置。

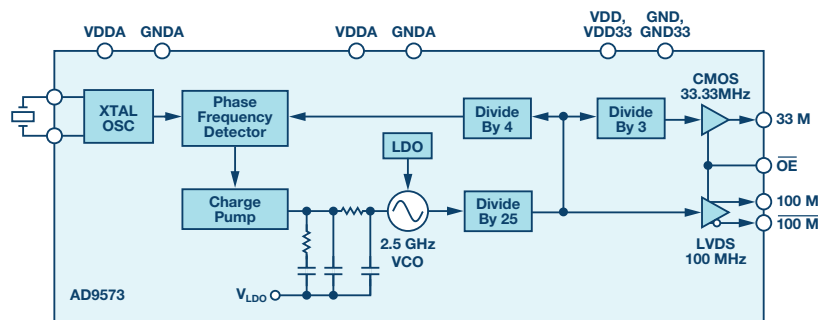


图14. AD9573的详细功能框图。

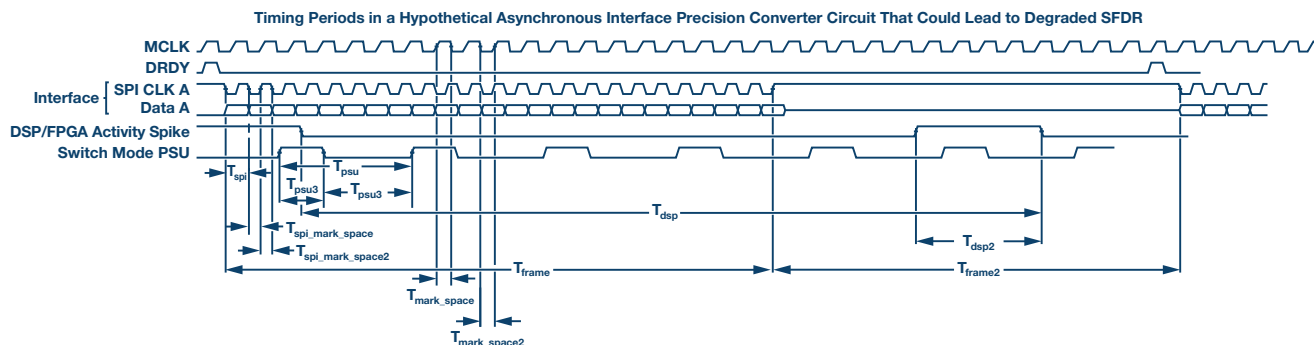


图15. 存在异步通信和时钟要求进行混合杂散的故障和调查工作。

时间分频器和时钟信号隔离器

更快的时钟具有更少的抖动，因此如果功率限制允许，在外部或内部使用分频器来提供所需的采样时钟会有所改善。在设计具有隔离器的系统时，请检查其脉冲宽度。如果占空比欠佳，则偏斜会干扰模拟性能，在极端情况下，可能会锁定IC的数字端。在精密ADC中，可能不需要光纤时钟，但使用更高的频率可以提供最后一位性能。在图14中，AD9573在内部使用2.5 GHz，出于相同的原因提供全部33 MHz和100 MHz。如果ADC之间不需要精确同步，则晶振电路可能具有极鲁棒的单数字与抖动性能。对于精密ADC，晶体放大器在100 kHz输入时转换为优于22位的性能。这种性能很难被超越，并解释了为什么XTAL振荡器在可预见的未来仍会使用。

来自其他信号源的串扰

另一个抖动源与源自外部线路的时钟干扰有关。如果时钟源在能够耦合的信号附近错误地路由，则会对性能产生极大影响。如果干扰源与ADC操作无关，并且是随机的，将极大地增加您的抖动预算。如果时钟受到与ADC相关的数字信号的污染，则会观察到杂散现象。对于从ADC，CLK线路和SPI线路可以是独立时钟，但这可能会在等式9中定义的频率下导致问题，并且会混叠回第一个奈奎斯特区。

$$N \times f_S \pm M \times f_{SPI} \quad (9)$$

建议使用锁频SPI和MCLK源。即使采用了这种预防措施，SPI和MCLK也可能具有与给定时钟的脉冲占空比相关的杂散。例如，如果ADC抽取128，并且SPI仅读取24位，则会产生一些创建与特定1/(24t)和1/(104t)测量相关的拍频的风险。因此，应使MCLK远离锁定的SPI线路以及数据线路。

接口与其他时钟

在图15中，标记了各种定时周期，这很容易干扰SFDR或导致抖动。如果SPI通信未频锁到MCLK，则可能发生杂散。掌握布局技术是您缓解此问题的最大保障。频率表现为混叠下行干扰源，但也作为拍频和交调产物。例如，如果SPI在16.01 MHz下运行，MCLK在16 MHz下运行，则应在10 kHz下发生杂散。

除好的布局之外，另一种减少杂散的方式是将它们移到相关频带的外部。如果MCLK和SPI可以锁频，则可避免许多干扰。即便如此，SPI仍然存在空闲期的问题，导致接地繁忙，而这仍然可能造成干扰。您可以使用对您有利的接口功能。ADC中的接口功能可提供状态字节或循环冗余校验(CRC)。这可能提供一种很好的方法来抑制杂散，并具有这些功能的额外好处。空闲时钟，甚至是未使用的CRC字节，都有利于均衡地填充数据帧。您可能会选择忽略CRC，而仍然可以通过使用CRC获得好处。当然，这也意味着数字线路上需要额外功率。

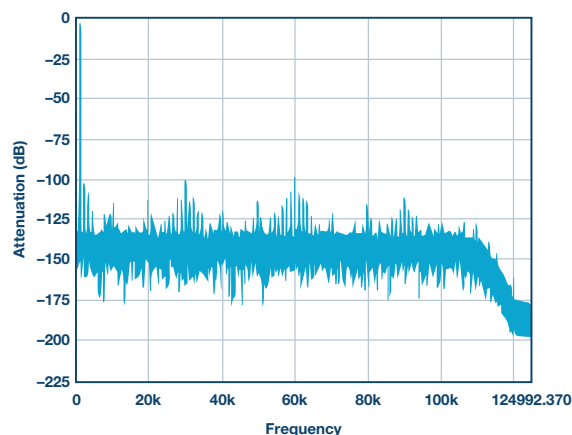


图16. 太靠近开关模式PSU的MCLK路由。

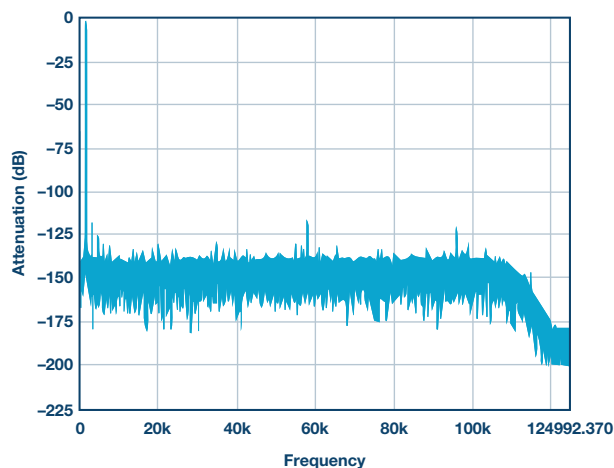


图17. 具有XTAL放大器和与SPI有关的杂散的本地源MCLK。

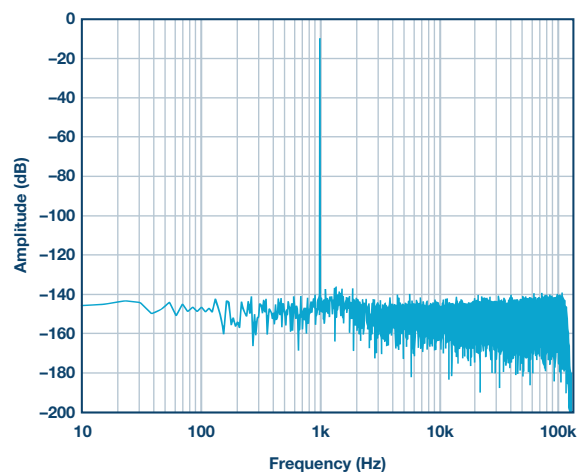


图19. 具有正确设计的PCB和时钟电路的AD7768-1的频谱。

结论

2018年，ADI发布了AD7768-1，这是一款具有低于100 μ V的偏移和高达100 kHz的平坦频率响应的高精度ADC。该ADC已成功应用于SFDR超过140 dB的系统设计中，事实证明，在具有满量程输入的音频带之外，抖动可忽略不计。它包含一个片上RC振荡器，能够提供参考点来调试受干扰的时钟源。这种内部RC虽然不能提供低抖动，但可以提供差分方法来发现杂散源。ADC实施内部开关电容滤波技术，也使用时钟分频器来减轻抗混叠滤波器的压力。内部时钟分频器可确保稳定的性能，能够使用通常从隔离器获取的偏移时钟来进行操作。电源位置非常适合通过内部短接合限制外部ESR/ESL效应。毛刺抑制在时钟输入焊盘中实现。应用板性能扫描显示30 ps rms的抖动，能够满足各种应用需求。如果您需要测量140+ dB的SFDR，AD7768-1能够帮助您非常迅速地获取测量值，其功耗远低于以前的传统电源轨方式。

参考

- ¹ Derek Redmayne、Eric Trelewicz和Alison Smith。设计说明。“了解时钟抖动对高速ADC的影响。” 2006年。
 - ² B. E. Boser和B. A. Wooley。“ Σ - Δ 调制模数转换器的设计。” IEEE J. Solid-State Circ., 第1298–1308页，1988年12月。
 - ³ S. Harris。“采样时钟抖动对奈奎斯特采样模数转换器和过采样 Σ - Δ 型ADC的影响。” J. Audio Eng. Society, 第537–542页，1990年7月/8月。
 - ⁴ James A. Chery和W. Martin Snelgrove。“用于高速A/D转换的连续时间 Σ - Δ 调制器。” 2002年。
- Beex, A. A.和Monique P. Fargues。“开关电容系统时钟抖动分析。” 1992年7月。
- Markell, Richard。应用笔记。“揭开开关电容滤波器的神秘面纱：系统设计人员的滤波器纲要。” 1990年3月。

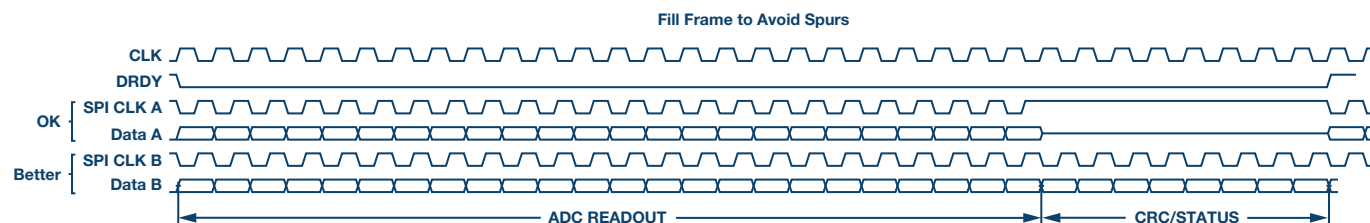


图18. 可以使用虚拟CRC或状态来改善帧以消除杂散。

Pawel Czapor [pawel.czapor@analog.com]于2007年加入ADI公司担任精密ADC测试工程师。目前就职于爱尔兰利默里克的高精度转换器设计部门。他拥有波兰弗罗茨瓦夫科技大学，获得电子工程硕士学位。



Pawel Czapor