

JESD204C入门：有何新增及对您有用的内容—第一部分

作者：Del Jones

许多行业的数据密集型应用持续突破界限，需要快速高效地传输有效载荷数据。5G通信网络系统要求基础设施及其连接器件具有更大带宽。在航空航天和防务行业中，这相当于雷达应用和复杂数据分析仪器要在更短的时间内处理更多信息。相应地，对快速增长的高带宽进行测试与分析便意味着需要使用速度更快、容量更大的电子测试设备。

对数据不断增长的需求导致JEDEC固态技术协会需要引入新的JESD204标准，以实现数据转换器和逻辑器件之间的高速串行链路。该标准B版于2011年发布，串行链路数据速率提高至12.5 Gbps，并确保了从一个供电周期到下一个供电周期有确定性延迟，同时满足当时基于转换器的应用的更高带宽需求。该标准的最新版本JESD204C于2017年底发布，以继续支持当前和下一代多千兆数据处理系统性能要求的上升趋势。JESD204C小组委员会为该标准的新修订版制定了四个高水平目标：提高通道速率以支持更高带宽应用的需求，提高有效载荷传输的效率，改进链路稳健性。此外，他们希望编写一个比JESD204B更清晰的规范，同时修复该版本标准中的一些错误。他们还希望提供向后兼容JESD204B的选项。完整的JESD204C规范可通过JEDEC获得。

本入门文章由两部分组成，旨在介绍JESD204C标准，着重说明其与JESD204B的不同之处，并详细阐明为达成上述目标、提供对用户更友好的接口、实现各行各业的带宽能力需求而引入的关键新特性。本系列的第一部分概述版本差异和新特性，第二部分将深入探讨最重要的新特性。

JESD204C变化总结

JESD204C规范通过合理的章节架构提高了可读性和清晰性，包括五个主要部分。“引言和通用要求”部分涵盖了适用于实施方案所有层的要求。针对物理、传输和各数据链路层(8b/10b、64b/66b和64b/80b)的部分涵盖了专门适用于实施方案这些层的要求。标准中引入了几个新术语，主要与新的64b/66b和64b/80b链路层以及这些链路层的新同步过程相关。虽然传输层与JESD204B无异，但物理层发生了相当大的变化。上述变化、时钟和同步的细微变化以及前向纠错(FEC)的增加，都会在以下部分中加以总结。

新术语

JESD204C引入了几个新术语和配置参数，主要用于描述与64b/66b和64b/80b链路层相关的功能。表1列出了最相关的一些术语和参数，以及每个术语和参数的简要说明。后续部分会对此做进一步说明。

表1. 新术语和参数

术语	定义
块	一种结构，开头是一个2位同步报头，总共包含66或80个(BkW)位
BkW	块宽；一个块中的位数
cmd	命令，与命令通道相关
命令通道	使用同步报头提供的额外带宽的数据流
E	一个扩展多块中的多块数量
EMB_LOCK	声明扩展多块已对齐的一种状态
EoEMB	扩展多块结束标识符
EoMB	多块结束标识序列(00001)；也称为导频信号
扩展多块	包含一个或多个多块的一组数据
FEC	前向纠错
填充位	一个用于在64b/80b编码模式中扩展块大小的人为填充位
LEMC	本地扩展多块时钟
多块	包含32个块的一组数据
PCS	物理编码子层
SH	同步报头
SH_LOCK	声明同步报头已对齐的一种状态
同步报头	块头最开始的两数据位，要保证数据位之间有变化

传输层

JESD204C的传输层与JESD204B相同。传输层中组装的数据帧以8个八位字块的形式通过链路发送。对标准这一部分的章节结构、文本和图片有所更改，以提高清晰性。

由于64位编码方案本身的一些特性，在有些配置中，帧边界会不与块边界对齐（帧可能不是恰好包括八个八位字）。详细信息及其含义将在本系列的第二部分中说明。

数据链路层

如前所述，该标准有两个主要部分涵盖不同的数据链路层方案。JESD204标准先前版本中的8b/10b编码方案，包括使用SYNC~引脚和使用K.28字符进行同步、通道对齐、错误监控，作为向后兼容选项保持不变。但从长远来看，大多数应用可能会使用JESD204C中新增的64位编码方案中的一种。基于IEEE 802.3的64b/66b编码方案能提供最高效率。虽然称其为编码方案，但实际上并没有任何编码（比如类似于8b/10b的编码）。该方案仅在64位有效载荷数据前添加了两个报头位。由于这种情况，必须进行加扰，以便保持直流平衡并确保有足够的的变化，从而使得JESD204C接收器中的时钟和数据恢复(CDR)电路能够可靠地恢复时钟。本系列的第二部分将对此进行更详细说明。此外还增加了64b/80b选项，其时钟比与8b/10b方案相同，而且允许使用前向纠错等新特性。两种64位编码方案都不兼容JESD204B中使用的8b/10b编码。

物理层

JESD204C已将通道速率上限提高到32 Gbps，而早期版本中确定的312.5 Mbps下限保持不变。JESD204B的上限为12.5 Gbps。虽然并未严格禁止，但建议不要将8b/10b编码用于16 Gbps以上的通道速率；对于6 Gbps以下的通道速率，也建议不要使用64b方案。

JESD204C引入了两个分类来定义物理接口的特性。表2列出了与每类相关的通道速率。表3列出了C类中的通道类型以及相关的加重和均衡特性。

表2. 数据接口类对应的通道数据速率

数据接口类	最小数据速率 (Gbps)	最大数据速率 (Gbps)
B-3	0.3125	3.125
B-6	0.3125	6.375
B-12	6.375	12.5
C	6.375	32

表3. JESD204C 32 Gbps接口器件类特性

类	相对功率	发送器FFE (最小值)	接收器CTLE (最小值)	接收器DFE抽头 (最小)
C-S	低	9.5 dB	6 dB	0
C-M	中	9.5 dB	9 dB	3
C-R	高	9.5 dB	12 dB	14

JESD204C还引入了JESD204通道工作裕量(JCOM)的概念，用于确认是否符合C类物理层标准。这种工作裕量计算是对应用B类物理层实施方案（标准的该版本和先前修订版有说明）的眼图模板的补充。

时钟和同步

JESD204C将保留使用JESD204B中定义的SYSREF和器件时钟。但是，当使用任一种64位编码方案时，SYSREF不是对齐LMFC，而是用于对齐本地扩展多块时钟(LEMC)，以提供一种实现确定性延迟和多芯片同步的机制。

64位编码方案的同步过程与JESD204B中使用的完全不同。SYNC信号已被去掉，同步初始化和错误报告现在将在应用层软件中处理。因此，新版本没有码组同步(CGS)或初始通道对齐序列(ILAS)。同步报头同步、扩展多块同步和扩展多块对齐是与同步相关的用于描述同步过程的新术语。这些同步阶段中的每一个都是使用32位同步字实现。本系列的第二部分将对此加以详细讨论。

请注意，对于8b/10b编码，SYNC引脚和ILAS均予以保留。

确定性延迟和多芯片同步

如上所述，实现确定性延迟和多芯片同步的机制大部分与JESD204B相同。当使用64位编码方案中的一种时，没有子类2选项，仅支持子类1操作，SYSREF信号用于对齐JESD204子系统中所有器件的LEMC。

前向纠错

为了实现在更高通道速率下提供更稳健链路的目标，JESD204C包含了FEC选项。该算法基于法尔码(fire code)，对仪器仪表应用可能特别有用。这是一项可选特性，仅在使用64位编码方案之一时才可使用。

法尔码是纠正单突发错误的循环码。循环码的优点是其码字可以表示为有限域上的多项式，而非向量。法尔码使用的校验子(syndrome)可分为两部分以支持更快速解码。

更多信息

JESD204C入门系列的第二部分即将推出，我们将深入探讨JESD204C标准的关键要素，正是这些要素形成了我们在开篇中所述的解决问题的技术。具体而言，我们将详细了解64b/66b编码方案实现的带宽效率改进，以及增加带宽的32 Gbps物理层规范。我们还会深入考察新同步过程以及标准中提高链路稳健性的可选前向纠错方面内容。

有关JESD204及其在ADI产品中的实现的更多信息，请访问ADI公司[JESD204串行接口页面](#)。

Del Jones [del.jones@analog.com]是位于美国北卡罗来纳州格林斯博罗的高速转换器团队的应用工程师。他自2000年以来一直为ADI公司工作，负责支持ADC、DAC和串行接口。加入ADI公司之前，他曾在电信行业担任电路板和FPGA设计工程师。Del毕业于德克萨斯大学达拉斯分校，获电气工程学士学位。



Del Jones