

# 利用SiP技术提高精密数据采集信号链的密度

作者：Ryan Curran

分享    

精密数据采集的市场空间中存在一个普遍需求，即在保持性能的同时提高信号链的密度。由于越来越多的应用逐渐倾向于依照通道的ADC方式，或试图将更多通道集成于同一尺寸中，因此通道密度是许多数据采集信号链设计工程师十分关注的问题。此外，目前行业中存在的一个趋势是，力求使精密电路更易于使用，并且能够更轻松地实现数据手册中的性能。这样就有利于构建一些子系统，通过使用系统级封装 (SiP) 技术实现信号链而解决上述问题。

ADI公司根据此子系统策略生产的第一个系列为ADAQ798x数据采集产品。ADAQ798x是一种16位模数转换器子系统，将四个通用的信号处理和调理模块集成到一个SiP设计中，可支持多种应用。该系列器件也包含最关键的无源器件，可避免因使用逐次逼近型寄存器 (SAR) 模数转换器 (ADC) 的传统信号链所导致的很多设计难题。这些无源器件是实现额定器件性能的关键因素。

纵观使用SAR ADC的应用和市场，如工业、仪器仪表、通信及医疗保健，可以发现，数据采集信号链的某些部分在这些应用中很常见，而另外某些部分则可能存在广泛的不同。还可以发现，这些信号链使用不同的输入源和传感器阵列。因此，在向ADC提交信号之前，将会执行各种形式的信号调理。使用不同的输入源意味着系统的满量程可能不同，并且需要采用不同的基准值以使动态范围最大化。某些应用为多通道方式，因此会使用一个前端多路复用器。根据不同应用的关键性能标准，可能会实施不同的供电方案。不过，无论何种应用，某些器件可通用于很多场合。ADAQ7980和ADAQ7988是全ADI有源器件解决方案的组成部分，该解决方案包含一个高精度、低功耗的16位SAR ADC；一个低功耗、高带宽、高输入阻抗的ADC驱动器；一个稳定的低功耗基准电压缓冲器；以及一个高效的电源管理模块。这些信号链组件已通过SiP技术集成到一个数据采集子系统中。

ADAQ7980和ADAQ7988均采用小尺寸5 mm × 4 mm LGA封装，因此会使数据采集系统的设计过程更简单。ADAQ798x的高系统集成度可解决很多设计难题，并且仍具有灵活性，能够通过可配置的ADC驱动器模块实现增益和/或共模调整。配备四种器件电源以提供最佳系统性能，但在对器件工作特性的影响极小时也可使用单电源模式。ADAQ798x系列不仅具有出色的集成度，并且可灵活地适应各种各样的应用。

ADI公司在开发此产品时对常见的设计错误进行了分析，以确定出有助于解决这些问题的方法。结果表明，信号链层设计中的很多错误主要围绕 SAR ADC的两个区域—参考输入和模拟输入。很多信号链误差都与决定整体模数转换性能的ADC的外围电路有关。关于基准电压，常见的错误包括基准旁路电容的布局 and 尺寸不当，基准电压源的驱动强度不足，以及基准电压源产生的噪声频谱密度过大。若SAR ADC的参考输入存在这些不妥当的设计条件，可能会导致ADC作出错误的位判断。至于ADC的模拟输入，观察到的常见设计问题包括：ADC驱动器选型不当，ADC驱动器和ADC之间滤波器的带宽不适当，以及滤波电容介电材料选择不当。这些系统级设计问题以任何方式组合都可能会严重影响ADC的转换性能。ADI公司在开发ADAQ798x器件时所作的一系列选择都旨在解决这些问题。

如上所述，要使一个基于SAR ADC的转换系统实现数据手册中的性能，必须考虑到某些设计因素。SAR ADC基准电压源和模拟输入源的特性是决定转换信号链设计是否成功的关键。通常，一个SAR ADC需使用一个低阻抗基准电压源和一个较大的、布置适当的去耦电容。该旁路电容用来补充ADC在SAR位校验期间消耗的电荷，可看作为ADC外部SAR阵列中的一个元件。ADC还需要一个合适的模拟输入源，其噪声性能和带宽应足以使ADC输入建立至所需分辨率。图1显示了ADAQ798x系列器件的框图。

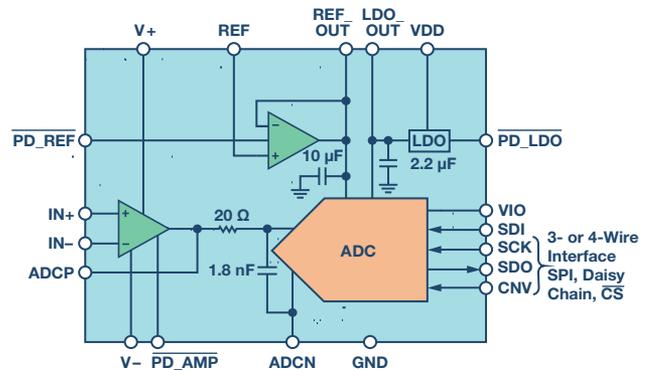


图1. ADAQ798x框图。

如图1所示, ADAQ798x内置有一个基准电压缓冲器和一个对应的10 μF去耦电容。理论上, 该去耦电容应邻近ADC的参考输入。如此布置是为了减小去耦电容和SAR电容阵列之间的总体寄生阻抗。该路径应使阻抗尽可能低, 以便电容将电荷快速添加到SAR阵列上, 然后在转换过程中重新分布。同时, 基准电压缓冲器和去耦电容之间的走线电阻已受到控制。走线尺寸经过精心选择, 确保其所得电阻能使基准电压缓冲器保持稳定, 而其造成的电压降不足以产生转换增益误差。用于缓冲参考信号的放大器被配置成一个单位增益缓冲器。这样会形成外部基准电压源的一个高阻抗输入, 而非SAR ADC参考输入的传统型开关电容负载。现在, ADAQ798x用户可以使用一个低功耗或无缓冲基准电压源来驱动ADAQ798x的参考输入 (REFIN) 引脚。由于形成高阻抗, 因此也为用户在选择基准电压源的物理PCB位置时提供了更多的灵活性。通过使用此SiP元件, 基准电压源的布局就变得不那么重要, 因为ADAQ798x内包含一个受到良好控制的基准电压缓冲器。由于仅包含一个缓冲器, 而非基准电压源本身, 用户可在广泛范围内自由选择基准值, 从而通过此基准电压的选择使系统的动态范围最大化。因为基准电压决定了转换器的满量程电压。

ADAQ798x还具有一个ADC驱动器以及对应的低通滤波器, 滤波器位于驱动器和ADC输入之间。滤波器带宽的选择是决定器件能否达到所需性能水平的关键因素。带宽选择是在高速ADC驱动器的建立时间和滤波带宽噪声之间作一个权衡。ADC输入节点处的任何干扰必须在ADC采集时间内建立至足够的分辨率。当SAR ADC执行其转换过程时, ADC输入与其外部输入源断开连接。在转换过程中, ADC输入的电位可能会发生变化。尽管如此, 转换结束时SAR电容器阵列上的电压与转换开始时的电压基本相同。当ADC返回采集 (跟踪) 模式时, SAR电容阵列的负载呈现在ADC输入端。该电容与外部低通滤波器的电容并联。由于这些电容具有不同的电压, 因此会发生电荷再分布以使所有电容上的电压达到平衡。这将导致需在采集周期内建立的ADC输入出现电压阶跃。最差情况是在ADC进行满量程转换时发生阶跃。这种情况可能会出现在采用多路复用输入的系统。此电压阶跃会因外部电容和内部SAR电容的比率而衰减。ADAQ798x产品均具有一个1800 pF的低通滤波电容。假设基准电压为5 V, 则ADC输入的最大电压阶跃计算如下:

$$V_{STEP} = \frac{5 \text{ V} \times C_{SAR}}{C_{EXT} + C_{SAR}} = \frac{5 \text{ V} \times 27 \text{ pF}}{1800 \text{ pF} + 27 \text{ pF}} = 73.9 \text{ mV}$$

此电压阶跃必须在最小采集时间290 ns内建立。建立此电压阶跃所需的时间常数数目可通过计算阶跃大小和建立误差之比的自然对数来获得。本例中建立误差为1/2 LSB。那么, 时间常数的数目如下:

$$\# \text{时间常数} = \ln\left(\frac{V_{STEP}}{V_{\text{half\_LSB}}}\right) = \ln\left(\frac{73.9 \text{ mV}}{\frac{5 \text{ V}}{2^{16+1}}}\right) = 7.57$$

已知时间常数的数目后, 可以确定出RC低通滤波器的时间常数 (τ):

$$\tau = \frac{\text{最短采集时间}}{\# \text{时间常数}} = \frac{290 \text{ ns}}{7.57} = 38.3 \text{ ns}$$

将时间常数带入下式可求出所需的滤波器带宽:

$$RC \text{带宽} = \frac{1}{2 \times \pi \times \tau} = \frac{1}{2 \times \pi \times 38.3 \text{ ns}} = 4.15 \text{ MHz}$$

为了提供一定的裕量并使用标准值元件, ADAQ798x产品均具有一个由20 Ω电阻和1800 pF电容构成的滤波器。可提供的滤波器带宽为4.42 MHz, 因此ADAQ798x滤波器能够在ADC采集时间内建立最大可期电压阶跃。计算所得的滤波器带宽也代表了噪声滤波和建立过程之间的权衡点。在确保建立过程的前提下选用最低要求附近的滤波器带宽, 将能最大化提高无源低通滤波器的噪声滤波作用。

虽然SAR ADC返回采集模式时的电压阶跃是滤波器建立计算中的限制因素, 值得注意的是, 该滤波器也可以在1 μs的最小转换周期内顺利建立多路复用器满量程阶跃带来的实际电压变化。将满量程阶跃建立至1/2 LSB分辨率需要11.78个时间常数。这是根据N+1个量化级的自然对数计算而得。在本例中为2<sup>17</sup>或131072个数字码。11.78个时间常数, 每个时间常数38.3 ns, 那么总共约为450 ns, 这个时间相较于1 μs转换周期不足为虑。其假设前提是多路复用器通道在转换开始后直接切换。

为确保转换信号链的正常性能, ADC驱动器的带宽也非常重要。在单位增益配置中, 建立过程的限制因素是需在290 ns内建立的电压阶跃, 其与返回到采集模式的转换器相关。因此, 在这种情况下, 小信号带宽是最重要的放大器带宽特性。要在1 μs的最小转换周期内建立多路复用器的满量程阶跃, ADC驱动器的大信号带宽必须确保1 μs时间周期内可处理11.78个时间常数。

ADC驱动器不可向转换信号链引入过量噪声。子系统的总体噪声性能计算为ADC噪声、ADC驱动器噪声和基准电压缓冲器噪声的平方和根值 (RSS)。由于旁路电容较大, 参考电路的带宽有限, 因此基准电压缓冲器噪声在RSS计算中可以忽略不计。在单位增益配置中为ADC驱动器所选的噪声目标为不大于ADC噪声的1/3。ADC驱动器的额定噪声频谱密度为5.2 nV/√Hz。要计算整体系统的噪声, 必须使用下式将ADC驱动器的噪声频谱密度转换为μV rms:

$$v_{n,rms} = \text{噪声增益} \times e_{n,rms} \times \sqrt{\frac{\pi}{2} \times \frac{RC \text{滤波器带宽}}{\text{滤波器带宽}}} = (1) \times \frac{5.2 \text{ nV}}{\sqrt{\text{Hz}}} \times \sqrt{\frac{\pi}{2} \times 4.42 \text{ MHz}}$$

$$v_{n,rms} = 13.7 \text{ μV rms}$$

ADC的典型动态范围特性为92 dB, 基准电压为5V。ADC的噪底可以通过下式计算:

$$ADC \text{本底噪声} = V_{\text{满量程, rms}} \times 10^{-DR/20} = \frac{5}{2\sqrt{2}} \times 10^{-92/20} = 44.4 \text{ μV rms}$$

ADC驱动器的噪底为13.7 μV rms, 在不大于ADC噪声的1/3目标范围内。单位增益配置中ADC驱动器引入的噪声导致整体系统动态范围从92 dB降至91.6 dB。由于ADC驱动器对系统噪声的影响不大, 所以, 对于因采样周期较长而提供较长建立时间的低采样率应用, 无需改变低通滤波器的带宽。通过降低滤波器带宽在单位增益上带来的最佳改善可能是重新获得动态范围损耗的0.4 dB。然而, 为降低带宽而增大滤波器电阻会对THD性能产生不利影响, 而ADC驱动器可能难以驱动较大的容性负载。如果还需要其他滤波, ADC驱动器可配置为提供滤波作用。

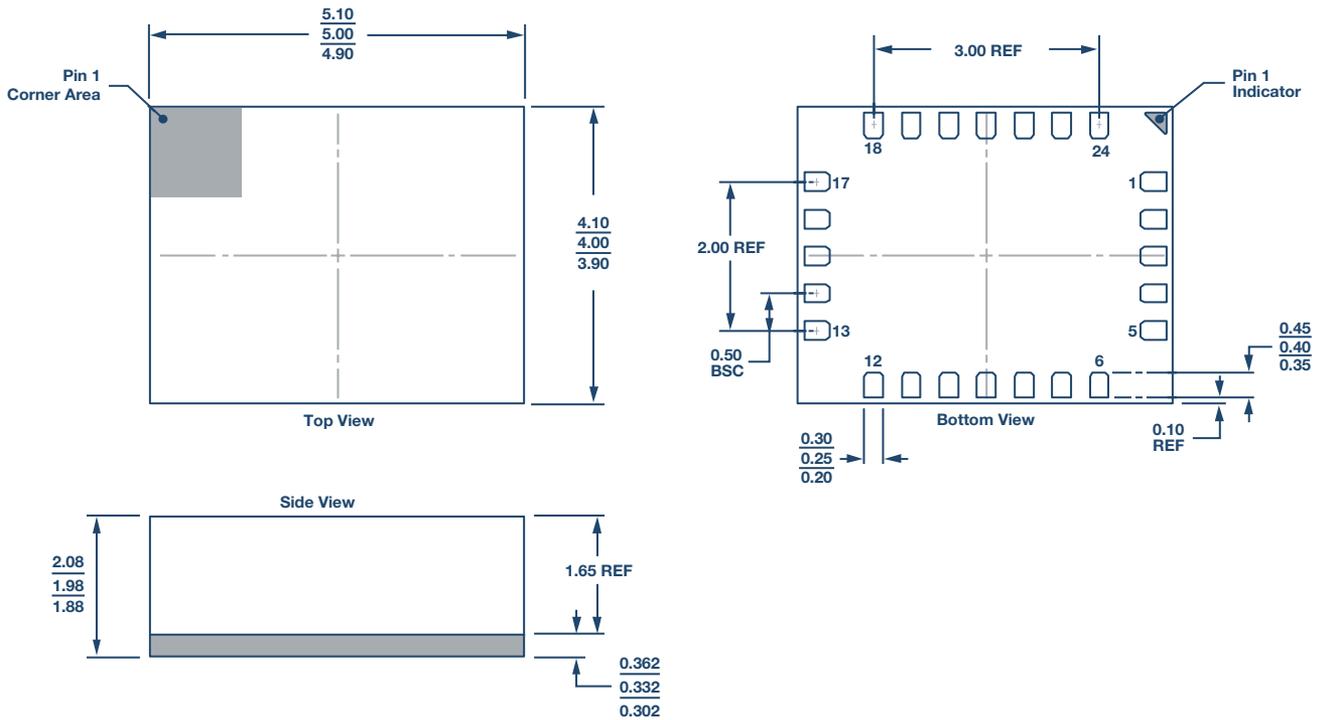


图2. ADAQ798x的封装外形图。

ADAQ798x产品中还包含一个2.5 V低噪声CMOS LDO线性稳压器。某些SAR ADC产品需要特定的2.5 V电源，并且要求公差范围很小。如果用户没有可用的2.5 V电源轨，则可能需要专为ADC设计一个电源。而使用此元件则可以大大简化电源，因为其中包含了LDO。片上LDO用于向转换器供电，此时LDO输入相当于ADC的电源。这样可提供更广泛的可用电源电压，并且使电路更简单。放大器的正电源可以作为LDO输入以实现一个单电源系统。此外，还可选择适当的电源电压以优化性能或功耗。该器件支持全掉电模式。电源配置的灵活性使ADAQ798x用户可针对具体应用作出最合适的权衡。

ADAQ798x的封装尺寸为5 mm × 4 mm × 2 mm。四层层压片厚0.35 mm，塑封片厚1.65 mm。这种压模成形封装的特点如同任何典型封装集成电路，采用全塑封料和底部填充工艺。用户所见的层压片呈LGA封装，具有24个I/O焊盘。图2显示了ADAQ798x的封装外形图。图3为无任何封装或塑封的ADAQ798x装配模型。从图3可以看出，该子系统混合运用了ADI有源器件和公开市场上常见的无源器件。层压片走线的设计有利于控制阻抗并消除任何串扰。正是因为所有这些设计和装配技术上取得的成果，我们开发出的产品可以比同类器件设计节省高达50%的PCB面积。

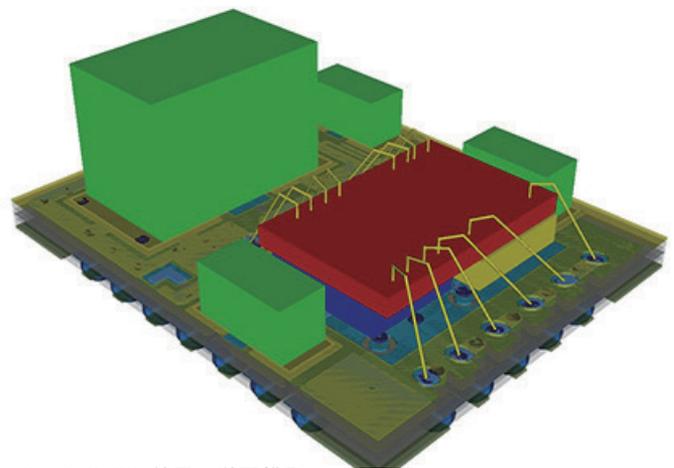


图3. ADAQ798x的三维装配模型。

除了节省面积之外，ADAQ798x还为信号链设计工程师实现所需性能和降低系统设计风险提供了更佳的机会。从根本上说，这样可以缩短上市时间和降低开发成本。选用ADAQ798x还可以简化系统的物料清单，一份数据手册可涵盖系统中的更多部分。此款SiP器件坚固耐用。专为承受恶劣的工业环境而设计，并已通过大量测试验证其合格性。它能够实现绝佳的质量等级，额定温度范围为-55°C至+125°C。总而言之，ADAQ798x实现了集成度与灵活性之间的卓越平衡，并且不会牺牲信号链的性能。

Ryan Curran [ryan.curran@analog.com] 是ADI公司精密转换器业务部门的一名产品应用工程师。自2005年加盟ADI以来，他一直主要从事SAR ADC方面工作。Ryan获缅甸大学欧洛诺电子工程学士学位，目前在阿默斯特马萨诸塞大学伊森伯格管理学院攻读工商管理硕士学位。



Ryan Curran

RF 定位解决方案可为材料分析应用提供精密的相位和幅度数据

第48卷第4期