

新一代SAR ADC解决精密数据采集信号链设计的难点

作者：Maithil Pachchigar和Alan Walsh

共享    

简介

许多应用都要求采用精密数据采集信号链以数字化模拟数据，从而实现数据的精确采集和处理。精密系统设计师面临越来越大的压力，需要找到创新的办法，提高性能、降低功耗，同时还要在小型PCB电路板上容纳更高的电路密度。本文旨在讨论精密数据采集信号链设计中遇到的常见难点，探讨如何运用新一代16位/18位、2 MSPS、精密逐次逼近寄存器(SAR)ADC解决这些难点。AD4000/AD4003 (16位/18位) ADC基于ADI的高级技术设计而成，集成了多种简单易用的特性，具有多种系统级优势，有助于降低信号链功耗，降低信号链复杂性，提高通道密度，同时还能提高性能水平。本文将重点讨论数据采集子系统性能和设计挑战，说明该ADC系列如何在多个终端市场形成应用级影响。

常见的信号链设计难点

图1显示了在构建精密数据采集系统时使用的典型信号链。要求精密数据采集系统的应用（如自动化测试设备、机械自动化、工业和医疗仪器仪表）呈现出通常被认为在技术上相冲突的共同趋势。例如，系统设计师被迫在性能上妥协，以维持紧张的系统功率预算，或者在电路板上保留较小的面积以实现高通道密度。这些精密数据采集信号链的系统设计师在多个方面面临着共同的挑战：驱动SAR ADC输入；保护ADC输入以使其免受受过压事件影响；用单电源降低系统功耗；用低功耗微控制器和/或数字隔离器实现更高的系统吞吐量等。

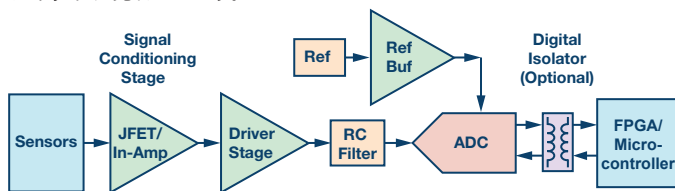


图1. 典型的精密数据采集信号链

受开关电容输入结构影响，高分辨率精密SAR ADC的驱动一直是个棘手的问题。系统设计师需要密切关注ADC驱动器数据手册，了解噪声、失真、输入/输出电压上裕量/下裕量、带宽和建立时间等技术规格。一般地，采用的高速ADC驱动器需要具备宽带宽、低噪声和高功率等特征，以便在可用采集时间内建立SAR ADC输入的开关电容反冲。这项要求会大幅减少用于驱动ADC的可用放大器选择，不得不在性能/功率/面积方面进行大幅妥协。另外，选择一款合适

的RC滤波器置于驱动器与ADC输入之间，这项要求又对放大器选择和性能构成了进一步的限制。ADC驱动器输出与SAR ADC输入之间需要用RC滤波器来限制宽带噪声，减少电荷反冲的影响。一般情况下，系统设计师需要花费大量时间去评估信号链，确保所选ADC驱动器和RC滤波器能切实驱动ADC，以实现所需性能。

在功耗敏感型应用（如电池供电仪器仪表）中，通常需要用低压单电源来运行系统。这虽然最大限度地降低了电路的功耗，但却给放大器前端带来了上裕量和下裕量问题。这意味着，可能无法使用ADC输入的全部范围，因为驱动放大器无法一直驱动到地，也无法一直驱动到ADC输入范围的上限，结果会降低整个系统的性能。这种情况可以通过提高电源电压来弥补，但其代价是会增加功耗，或者造成系统的动态范围性能下降。

多数ADC模拟输入（IN+和IN-）除ESD保护二极管以外没有过压保护电路。在放大器电轨大于 V_{REF} 且小于地的应用中，输出有可能超过器件的输入电压范围。在过压事件中，两个连接REF的模拟输入（IN+或IN-）引脚之间的ESD保护二极管正向偏置连接REF的输入引脚并使其短路，有可能使基准电压源过载，导致器件损毁，或者干扰在多个ADC之间共用的基准电压源。结果就需要为ADC输入添加肖特基二极管一类的保护电路，避免过压条件损害ADC。不幸的是，肖特基二极管可能会因漏电流而增加失真及其他误差。

精密应用在连接ADC的处理器方面有着不同的需求。出于安全考虑，有些应用需要使用电气隔离机制，并在ADC与处理器之间使用数字隔离器来实现这个目的。这种处理器选择和隔离需求对用于连接ADC的数字接口的效率形成了限制。一般地，低端处理器/FPGA或低功耗微控制器都拥有较低的串行时钟速率。这可能导致ADC的吞吐量低于预期，因为在输出转换结果之前存在较长的ADC转换延时。数字隔离器也可能限制在隔离栅上可以实现的最大串行时钟速率，因为隔离器中的传播延迟会限制ADC吞吐量。在这些情况下，最好使用既可实现更高吞吐速率，又无需大幅增加串行时钟速率的ADC。

AD4000/AD4003精密SAR ADC系列可以解决常见设计挑战

AD4000/AD4003系列是基于SAR架构的快速、低功耗、单电源、16位/18位精密ADC。

AD4000/AD4003精密ADC系列将高性能与简单易用的特性独特地结合在一起,可以降低系统复杂性,简化信号链BOM,并大幅缩短上市时间(见图2)。借助该系列,设计师可以解决精密数据采集系统的系统级技术挑战,并且无需做出重大折衷。例如,留给用户更长的采集时间、高输入阻抗(Z)模式和跨度压缩模式等特性在AD4000/AD4003 ADC系列中的结合可以减少与ADC驱动器级设计相关的挑战,增加ADC驱动器选择的灵活性。这样就可以降低系统总功耗,提高密度,缩短客户设计周期。通过SPI接口写入配置寄存器,可以使能/禁用多数简单易用的特性。注意,AD4000/AD4003 ADC系列与10引脚AD798x/AD769x ADC系列引脚兼容。

高输入阻抗模式

为了达到高分辨率精密SAR ADC数据手册中列示的最佳性能,系统设计师通常不得不使用专用的高功率、高速放大器来驱动其精密应用中的传统型开关电容SAR ADC输入。这是在精密数据采集信号链设计中经常遇到的难点之一。高Z模式的优势在于,能在慢速(<10 kHz)或直流类信号条件下支持低输入电流,并且可在高达100 kHz的输入频率范围内实现更高的失真(THD)性能。

AD4000/AD4003 ADC集成了一个高Z模式,在采集开始时,可以在电容DAC切换回输入时减少非线性电荷反冲。在使能高Z模式时,电容DAC在转换结束时充电,以保持上次采样的电压。这一过程可以减少转换过程的任何非线性电荷效应,该效应会影响到下次采样前在ADC输入端采集的电压。

图3所示为AD4000/AD4003 ADC在高Z模式使能/禁用时的输入电流。低输入电流使ADC比市场上现有的传统SAR ADC更易驱动,即便是在高Z模式禁用的情况下。如果将图3中高Z模式禁用时的输入电流与上一代AD7982 ADC的输入电流进行比较,则会发现,AD4003已经将1 MSPS条件下的输入电流降低了4倍。高Z模式使能时,输入电流进一步降至次微安级。在输入频率超过100 kHz时,或者在多路复用输入时,应禁用高Z模式。

借助AD4000/AD4003 ADC降低的输入电流,就能以比传统SAR高得多的源阻抗来驱动。这意味着,RC滤波器中的电阻值可以比传统SAR设计大10倍。

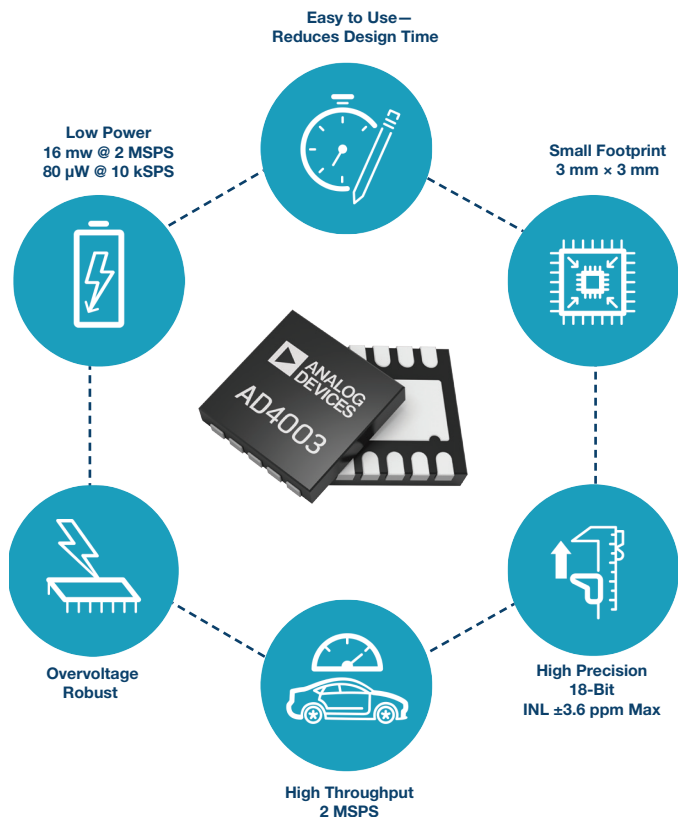


图2. AD4000/AD4003 ADC的主要优势

AD4000/AD4003 ADC简单易用的特性

长采集阶段

AD4000/AD4003 ADC拥有更短的转换时间290 ns, ADC会在当前转换过程结束前100 ns返回采集阶段。SAR ADC周期时间由转换阶段和采集阶段构成。在转换阶段, ADC电容DAC与ADC输入断开, 以执行SAR转换。输入在采集阶段重新连接, ADC驱动器必须在下一个转换阶段开始之前将输入建立至正确的电压。较长的采集阶段可以降低对驱动放大器的建立要求, 并且允许较低的RC滤波器截止频率, 这意味着可以使用噪声较高且/或功率/带宽较低的放大器。可以在RC滤波器中使用较大的R值和较小的对应C值, 减少放大器稳定性问题, 同时也不会大幅影响失真性能。较大的R值有助于在过压条件下保护ADC输入; 同时还能降低放大器中的动态功耗。

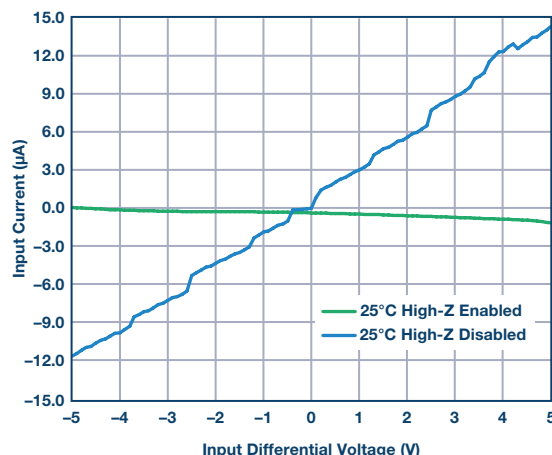


图3. 在高Z使能/禁用条件下的AD4003 ADC输入电流与输入差分电压

如图4所示, AD4000/AD4003 ADC允许用带较低截止频率的RC滤波器的多种低功率/带宽精密放大器来驱动ADC, 消除了使用专用高速ADC驱动器的必要性, 并且可以降低精密低带宽应用(信号带宽<10 kHz)的系统功耗、尺寸和成本。最终, AD4000/AD4003允许基于目标信号带宽, 而非基于开关电容SAR ADC输入的建立要求来选择ADC之前的放大器和RC滤波器。

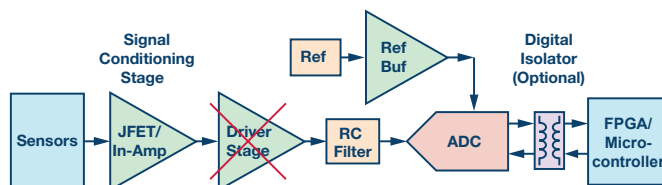


图4. 传统精密信号链

图5和图6所示为AD4003 ADC的SNR和THD性能，其中，在使能/禁用高Z及各种不同RC滤波器值的情况下，以2 MSPS的全速吞吐量驱动AD4003 ADC时，使用的是ADA4077 ($I_{\text{QUIESCENT}} = 400 \mu\text{A}/\text{放大器}$)、ADA4084 ($I_{\text{QUIESCENT}} = 600 \mu\text{A}/\text{放大器}$)和ADA4610 ($I_{\text{QUIESCENT}} = 1.5 \text{ mA}/\text{放大器}$)精密放大器。在2.27 MHz RC带宽和1 kHz输入信号条件下使能高Z时，这些放大器可实现96 dB至99 dB的典型SNR以及优于-110 dB的典型THD。在使能高Z模式时，甚至在R值大于200 Ω 时，THD约改善了10 dB。即使在超低RC滤波器截止频率条件下，最高SNR也接近99 dB。

在使能高Z时，ADC消耗约2 mW/MSPS的额外功耗，但这仍然显著低于使用ADA4807-1一类的专用ADC驱动器时的功耗，从而可以节省PCB电路板面积和物料成本。对于多数系统，前端通常会限制信号链可以实现的整体交流/直流性能。从图5和图6所选的精密放大器数据手册中可以看出，精密放大器自身的噪声和失真性能在某个输入频率下主导着SNR和THD规格。然而，带高Z模式的AD4003 ADC可以极大地增加驱动器放大器的选择，包括信号调理级中使用的精密放大器，同时还可提高RC滤波器选择的灵活性。例如，当AD4003 ADC的高Z使能并配合ADA4084-2驱动器放大器使用一个4.42 MHz宽带输入滤波器时，SNR性能约为95 dB。如果用498 kHz滤波器对ADC驱动器噪声进行强力滤波，SNR可提升3 dB，至98 dB。AD7982 ADC在较低RC截止频率下的SNR性能下降是因为该ADC输入未在较短的采集时间内消除反冲。

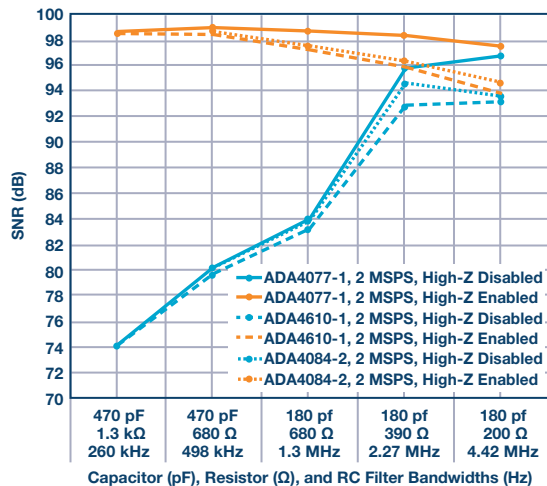


图5. 使用ADA4077、ADA4084和ADA4610精密放大器时的SNR与RC带宽

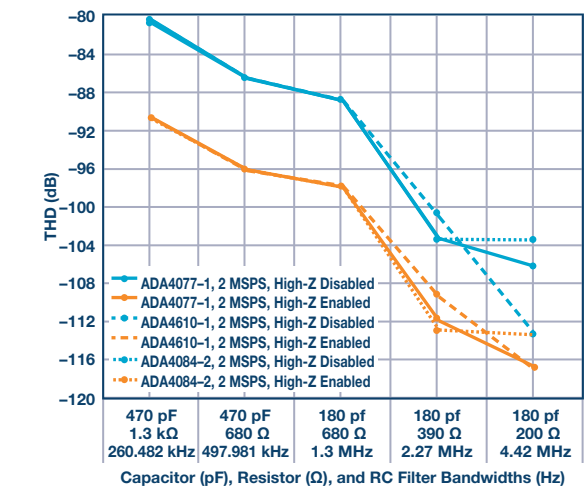
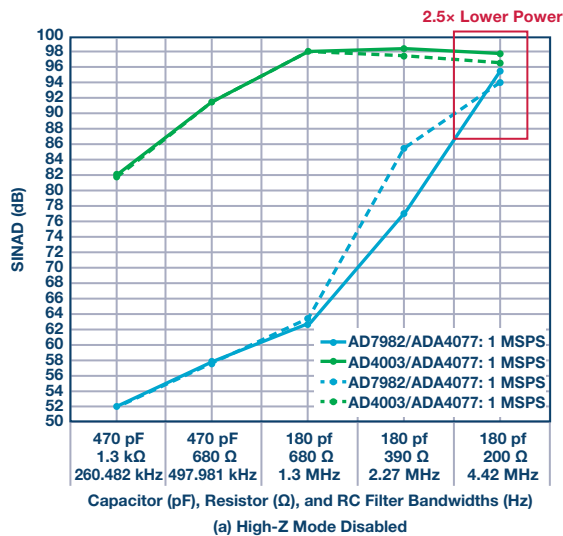


图6. 使用ADA4077、ADA4084和ADA4610精密放大器时的THD与RC带宽

图7(a)表明，系统设计师可以使用功率低2.5倍的ADC驱动器ADA4077（相比ADA4807），在高Z模式禁用时，AD4003 ADC仍然能取得约97 dB的SINAD（比AD7982 ADC高3 dB）。即使RC带宽增加至2.9 MHz，ADA4077放大器也无法直接驱动AD7982 ADC并取得最佳性能。如果用较低的RC带宽截止频率强力滤波，驱动器无法在可用采集时间内消除ADC反冲，ADC SINAD性能因而下降。在禁用或使能高Z模式时，AD4003 ADC的开关电容反冲大幅缩减，在1 MSPS时的采集时间长2.5倍，因此，其SINAD性能仍然大幅优于AD7982 ADC。

在使能高Z模式时，在较低RC滤波器截止频率下使用两个ADC驱动器，AD4003 ADC的SINAD性能较好，这有助于在目标信号宽带较低时，消除更多来自上游信号链组件的宽带噪声。在不使能高Z模式时，RC滤波器截止频率与SINAD性能之前存在折衷。

跨度压缩

AD4000/AD4003 ADC集成了一个跨度压缩模式，对仅用一个单电源为SAR ADC驱动器供电的系统非常有用。该模式可以消除ADC驱动器对负电源的要求，同时还能维持ADC的全分辨率，减少功耗，降低电源设计复杂程度。如图8所示，ADC可执行数字缩放功能，映射从0 V至 $0.1 \times V_{\text{REF}}$ 的零电平代码，以及从 V_{REF} 至 $0.9 \times V_{\text{REF}}$ 的满量程代码。在减小的输入范围内，AD4000/AD4003 ADC的SNR约为~1.9

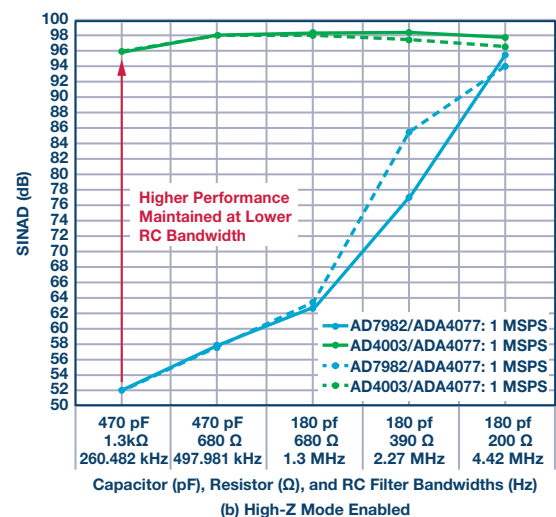


图7. 使用ADA4077和ADA4807时AD4003 ADC和AD7982 ADC放大器驱动器的比较：在禁用和使能高Z模式时的SINAD与RC带宽 ($F_s = 1 \text{ MSPS}$, $f_{\text{IN}} = 1 \text{ kHz}$)

dB ($20 \cdot \log(4/5)$)。举例来说, 对于采用5 V单电源且典型基准电压为4.096 V的子系统, 满量程输入范围为~0.41 V至3.69 V, 为驱动放大器提供了充足的裕量。

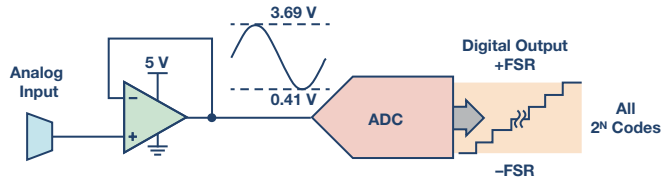


图8. AD4000/AD4003 ADC跨度压缩工作模式

过压箝位

在放大器电轨大于 V_{REF} 且小于地电压的应用中, 输出可以超出器件的输入电压范围。当正输入超过范围时, 电流通过D1流入REF (见图9), 对基准电压源形成干扰。甚至更加糟糕的是, 可能将基准电压源拉高至绝对最大基准值的水平, 因而可能损坏器件。

当模拟输入超过基准电压~400 mV时, AD4000/AD4003 ADC的内部箝位电路将开启, 电流将通过箝位流入地, 防止输入进一步升高而可能损坏器件。

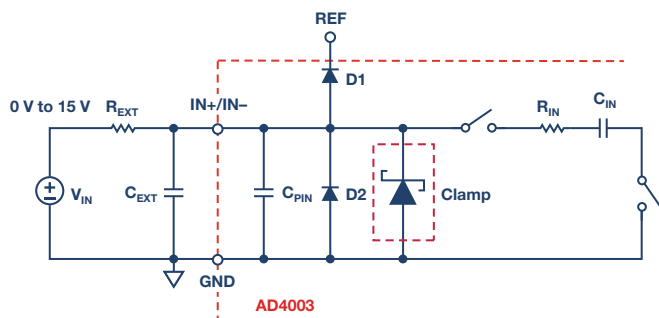


图9. AD4003 ADC等效模拟输入电路

如图9所示, AD4000/AD4003 ADC的内部过压箝位电路有一个较大的外部电阻($R_{EXT} = 200\Omega$), 可以消除外部保护二极管的必要性 (并由此消除额外电路板空间的必要性)。箝位在D1之前开启, 其最大吸电流能力为50 mA。箝位电路通过将输入电压箝位在安全工作范围中来防止器件损坏, 同时避免对基准电压源造成干扰, 这对在多个ADC之间共用基准电压源的系统来说尤其重要。

高效数字接口

AD4000/AD4003 ADC有一个灵活的数字串行接口, 有七种不同的模式, 并且具有寄存器编程能力。其Turbo模式允许用户在ADC仍在转换时开始输出上次转换的结果, 如图10所示。短转换时间和Turbo模式相结合, 可实现较低的SPI时钟速率, 简化隔离解决方案, 降低数字隔离器的延迟要求, 增加处理器选择, 包括低端处理器/FPGA或者串行时钟速率相对低的低功耗微控制器。例如, 运行于1 MSPS时, AD4003 ADC可以使用比AD7982 ADC慢2.5倍的SPI时钟速率 (25 MHz相比于66 MHz)。用户可以写/读回寄存器位, 以使能AD4000/AD4003 ADC简单易用的特性, 可以在转换结果上附加一个6位的状态字, 实现诊断和寄存器读回。串行接口规格完全支持低至1.8 V的逻辑电平, 可以在这些条件下实现2 MSPS全速

吞吐量。使能Turbo模式时, 要在2 MSPS条件下运行AD4003 ADC, 需要的最低SCK速率为75 MHz。

AD4000/AD4003 ADC性能

AD4000/AD4003 ADC采用1.8 V工作电压, 在2 MSPS下的典型功耗为14 mW/16 mW, 线性度非常出色, 最大值为 ± 1.0 LSB (± 3.8 ppm), 保证18位无失码。图11所示为AD4003 ADC的典型INL与代码性能。AD4003 ADC可在高达奈奎斯特的超宽输入频率范围内实现比AD7982 ADC更出色的SINAD性能 (图12), 使系统设计师能开发出带宽更宽、精度更高的仪器仪表设备。AD4000/AD4003 ADC采用小型10引脚封装 (提供3 mm $\times$ 3 mm LFCSP和3 mm $\times$ 5 mm MSOP两种选项), 与AD798x/AD769x ADC系列引脚兼容。

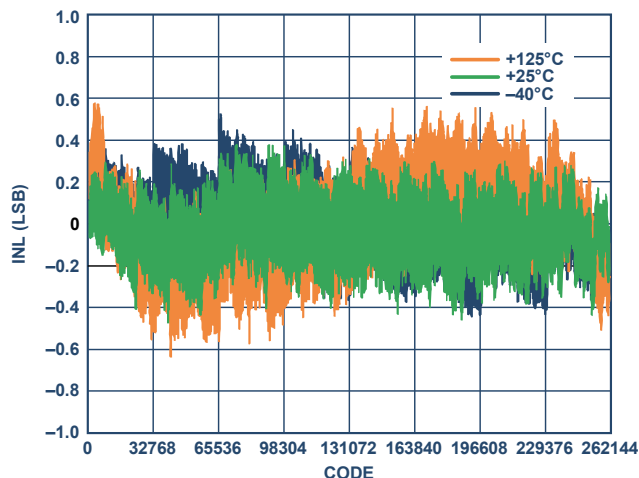


图11. AD4003 ADC INL与代码的关系

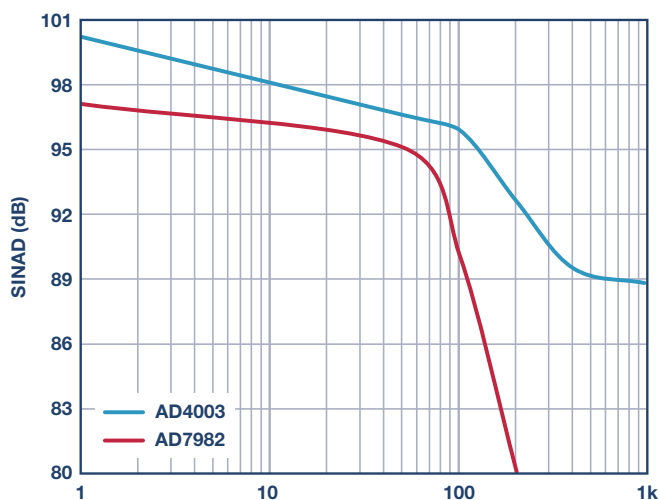


图12. AD4003 ADC和AD7982 ADC SINAD与输入频率的关系

AD4000/AD4003 ADC在每个转换阶段结束时自动关断; 因此, 其功耗和吞吐量呈线性变化关系, 如图13所示。这一特性使得该器件非常适合低采样速率 (甚至低至几赫兹) 和电池供电的便携式和可穿戴式系统。即使在低占空比应用中, 第一个转换结果也始终有效。

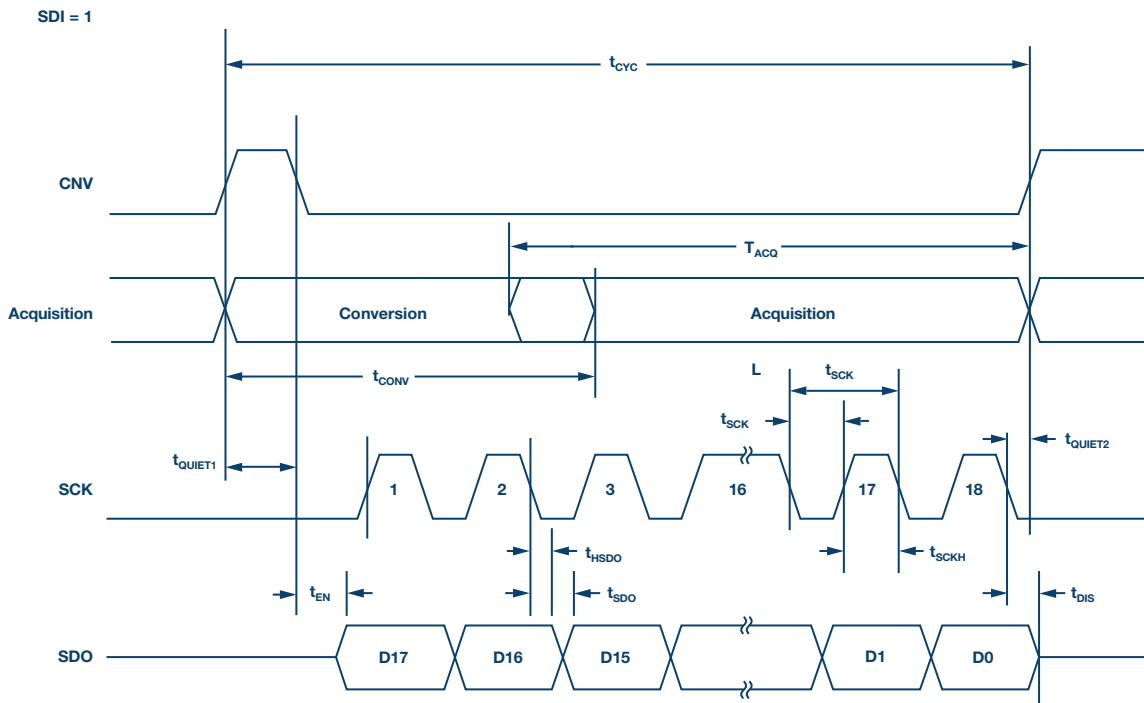


图10. AD4003 ADC的Turbo工作模式

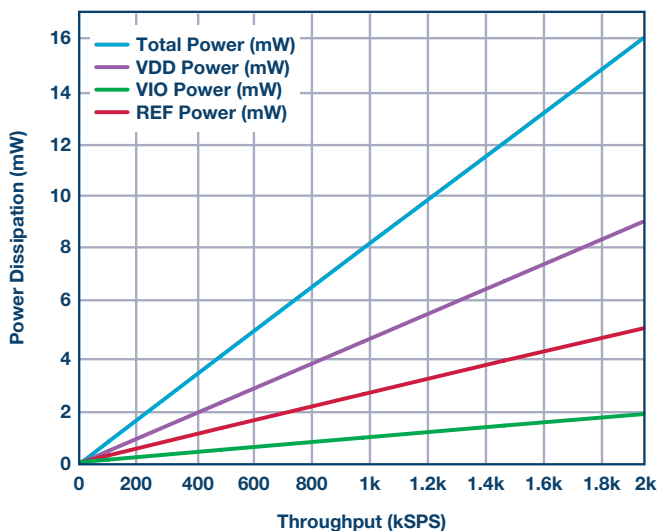


图13. AD4003 ADC功耗与吞吐量的关系

系统应用

AD4000/AD4003 ADC系列集简单易用的特性、高性能、小尺寸和低功耗等特点于一身，是诸多精密控制和测量系统应用的理想选择，如图14所示。AD4000/AD4003 ADC可以降低测量不确定性，提高可重复性，支持高通道密度，并能提高自动化测试设备、自动化机械控制设备和医疗成像设备的吞吐效率。这款ADC非常适合需要更高频率性能以捕获快速瞬变和飞行时间信息的系统，比如功率分析仪、质谱仪等应用。

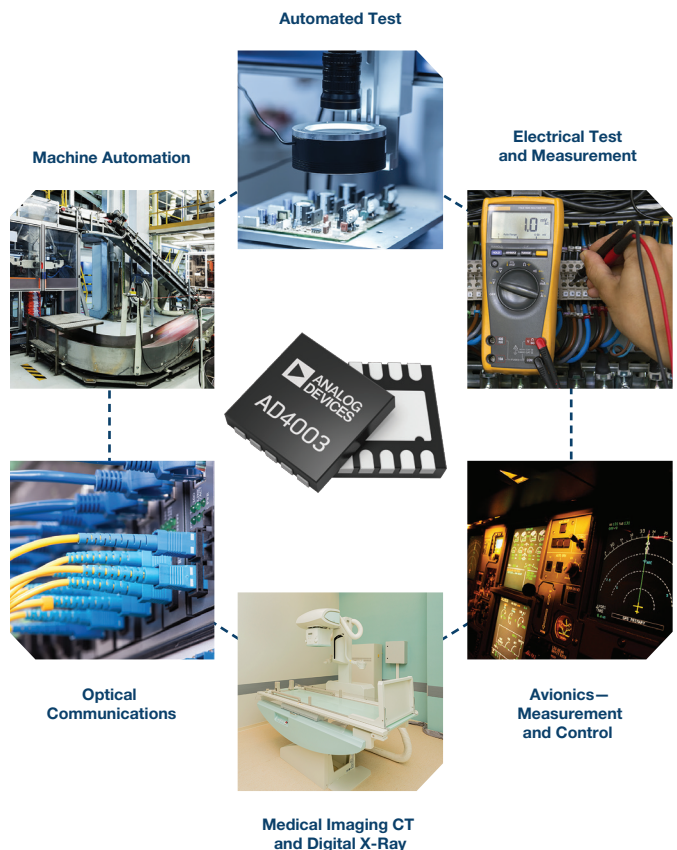


图14. AD4000/AD4003 ADC终端系统应用

总结

借助AD4000/AD4003 ADC系列，设计师可以解决精密数据采集系统的系统级技术挑战，无需做出重大折衷，还能缩短整个系统的设计时间。AD4000/AD4003 ADC的高性能可以提高测量精度，其小尺寸和低系统级散热则可实现更高的密度。

Maithil Pachchigar [maithil.pachchigar@analog.com]是ADI公司在美国马萨诸塞州威明顿市的仪器仪表部、航空航天和防务业务部的应用工程师。2010年加入ADI公司以来，他致力于仪器仪表、工业、医疗保健和能源行业的精密ADC产品系列工作和客户支持。自2005年以来，Maithil一直在半导体行业工作，并已发表多篇技术论文。Maithil于2003年获印度S.V.国家技术学院电子工程学学士学位，2006年获圣何塞州立大学的电气工程硕士学位，2010年获硅谷大学MBA学位。



Maithil Pachchigar

Alan Walsh [alan.walsh@analog.com]是ADI公司的应用工程师。他于1999年加入ADI公司，就职于美国马萨诸塞州威明顿市的精密转换器应用部。他拥有都柏林大学电子工程学士学位。



Alan Walsh