

GSPS ADC开拓多频段接收机的新疆域——

第一部分

作者：Umesh Jayamohan

简介

模数转换器(ADC)很久以来一直是通信接收机设计的基本器件。随着通信技术的不断发展,消费者要求更快的数据速率和更低的服务价格。提供这项技术的回程服务供应商面临着两难的处境。更高的数据速率意味着更多带宽,这也就表示更快的数据转换器,将模拟无线电波转换为数字处理。然而,更快的数据转换器(GSPS,或称每秒千兆采样转换器)——广为人知的有 RF 采样 ADC——同样产生大量数据,而这些 DSP 芯片必须以高得多的速度进行处理。这无疑增加了无线电接收机的运营成本。

解决方案是对组成 RF 采样 ADC 的硅芯片进行更优化设计。得益于硅芯片工艺的进步(感谢摩尔定律),定制型数字处理模块中的 RF 采样 ADC 在功耗和尺寸方面的效率相比现有 FPGA 要更高。使用这些数字信号处理模块还能获得更低的数据速率,从而可以使用成本更低 FPGA。这对于运营商来说是双赢的局面,因为他们可以使用这些 GSPS ADC 以高频率进行采样、使用内部数字下变频器(DDC)以所需速度处理数据,并以能实现的(低)数据速率将其发送至更为廉价的 FPGA (或者现有的 ASIC 产品)进行进一步的基带处理。

使用带有 DDC 的 RF 采样 ADC 的另一个优势是,这样可以通过更灵活、更紧凑、性价比更高的方式实现双频段无线电系统。双频段无线电系统的应用已有多年历史。基站系统设计人员以前通过使用两个独立的无线电路径(每频段一个)来实现双频段无线电系统。本文讨论一种利用多频段无线电接收机——使用 RF 采样 ADC,比如 AD9680——对两个独立而使用广泛的频段进行数

字化和处理。本文第一部分解释了功能框图级别的实现,并讨论了双频段无线电系统中使用 GSPS ADC 的优势。本文第二部分将讨论 TDD LTE 频段 34 和 39 (亦分别称为频段 A 和频段 F)的实现和数据分析,并通过数据分析来揭示显示器性能。

传统双频段无线电接收机

为了迎合客户对于双频段无线电的需求,同时满足总系统级性能要求,基站设计人员拿出了他们的看家本领:复制两次无线电设计,然后每频段调谐一个设计。这意味着针对客户的选择,设计人员必须将两个独立的无线电硬件设计调谐至两个频段。

例如,如果需要构建能支持 TDD LTE 频段 34 (频段 A: 2010 MHz 至 2025 MHz) 以及频段 39 (频段 F: 1880 MHz 至 1920 MHz)¹ 的无线电接收机,则设计人员就会打包两个无线电接收机设计。TDD LTE 频段的频率规划如图 1 所示。

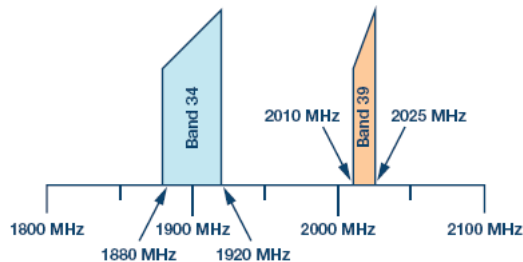


图1. TDD LTE 频段34和39的频率规划。

设计双频段无线电接收机以支持这些频段的传统方法是部署两个独立的接收机链路,每频段一个。下文图 2 显示了双频段无线电接收机的框图。²

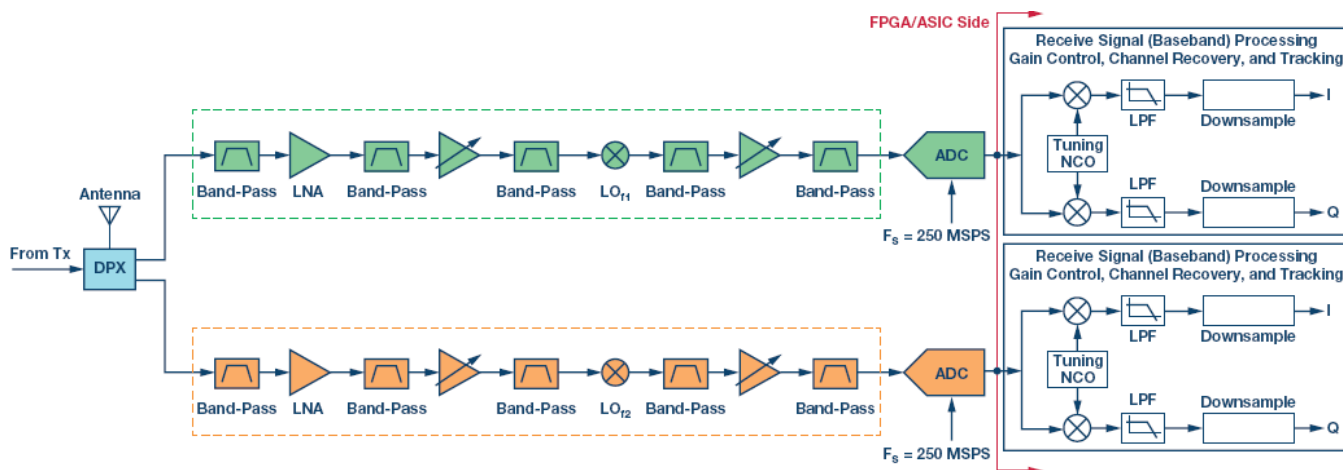


图2. 双频段无线电接收机设计的传统方法。

图2显示了双频段无线电的传统实现。该方案的实现成本较高，因为它实际上是一个系统中的两个无线电接收机。每一个处理元件都是重复的，以便支持对应频段。FPGA资源也是如此。每一个处理元件都是重复的，以便支持对应频段，这导致FPGA资源重复，增加系统成本和复杂性，导致功耗上升。就FPGA接口来说，FPGA资源也将是两倍，以支持两个ADC数据流。图3显示了FPGA I/O资源要求或双频段无线电接收机系统设计的框图。该图同时显示了LVDS和JESD204B ADC接口。LVDS数据速率较低，但FPGA需要更高的I/O数。JESD204B接口需要较少的FPGA I/O资源，但通道速率可能更高，因此FPGA也许更为昂贵。

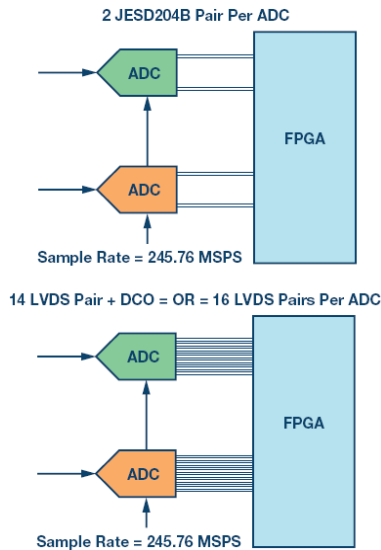


图3. 传统双频段无线电接收机的FPGA接口要求。

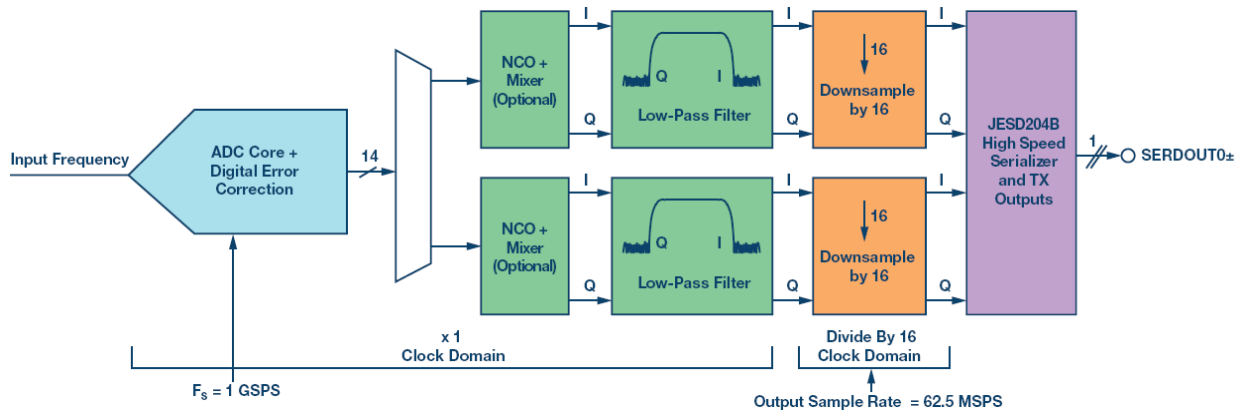


图4. 显示内部DDC的RF采样ADC框图。

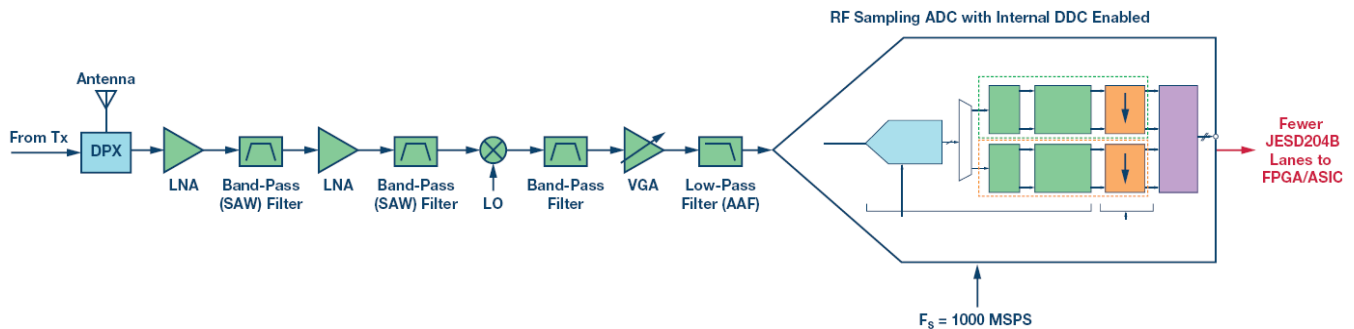


图5. 使用RF采样ADC和内部DDC来提取频段的双频段无线电接收机。

使用RF采样(GSPS)ADC的双频段无线电接收机

RF采样或GSPS ADC能够提供系统设计灵活性。利用深亚微米工艺技术,GSPS ADC可以集成数字处理模块,且相比FPGA以低得多的功耗进行特定速度下的数据操作。RF采样ADC的核心是一个高带宽模拟采样内核,以GHz速度进行采样。模拟内核之后是各种各样的数字信号处理元件。这些数字下变频器可以用来提取相应频段。针对双频段接收机设置的RF采样ADC内部框图如图4所示。DDC除了处理信号,还可降低JESD204B通道数据的通道速率。

加入数字信号处理模块后,GSPS ADC便可以独立方便地提供两个处理频段。这对于运营商来说是双赢的局面,因为他们可以使用这些RF采样ADC以高频率进行采样、使用内部数字下变频器(DDC)以所需速度处理数据,并以能实现的(低)数据速率将其发送至更为廉价的FPGA(或者现有的ASIC产品)进行进一步的基带处理。这些ADC提供高带宽前端,让系统设计人员能够捕捉宽频率范围(比如两个无线电频段)并对其数字化,以便进行信号处理。下文图5显示了一个双频段接收机系统,使用RF采样ADC和内部DDC来提取频段。显然,与图2中的方案进行对照后发现,使用RF采样ADC的双频段接收机在实现上要简单得多。在本方案中,RF向下混频至高中频,其宽度为几百MHz,而不是传统双频段应用的几十MHz宽度。BPF和VGA级为可选,取决于所需的系统性能等级。

在双频段无线电系统中使用 RF 采样 ADC 的部分优势如下所述：

更简单的前端设计

使用 RF 采样 ADC 的双频段无线电系统设计大幅简化了前端网络。对于刚接触的用户来说，只需进行一次前端设计，而不是两次（每频段一次）。这样可以大幅降低系统板的物料清单。接下来是 AAF（抗混叠滤波器）要求，它是用于两个中频转换器的带通滤波器(BPF)——相比用于 GSPS ADC 的低通滤波器 (LPF)而言。这是因为 GSPS ADC 对输入信号进行过采样。^{3, 4} 数据过采样后，数字下变频器就能进行抽取和滤波。如果频率规划使二次和三次谐波落在频段外，那么就可放宽 AAF 要求。

更低的系统功耗，更小的尺寸

RF 采样只需一个前端（如图 5 所示），而不是两个 LNA、两个混频器和两个 IF ADC（如图 2 所示）。从系统级功耗角度来看，这样可以大幅降低功耗。较低的系统功耗以及更简单的前端设计缩小了系统的尺寸。

更高的 FPGA 利用率

使用 RF 采样 ADC 来实现双频段无线电系统时，通过 DDC 来提取各频段。由于 DDC 抽取数据，因而降低了输出采样速率。这使 JESD204B 接口的配置非常灵活。例如，某个双通道 ADC 以 1 GSPS 速率采样，并且工作在全带宽模式，则四个通道的线路速率计算值为每通道 10 Gbps。ADI 公司的 JESD204B 转换器线路速率可以计算如下：

$$\text{通道线路速率} = \frac{M \times N' \times \left(\frac{10}{8}\right) \times F_{OUT}}{L}$$
 其中，

M = 转换器数（本例中为 2）

N' = 每个样本的转换器位数（本例中为 16）

10/8 = 8B10B 开销

F_{OUT} = 输出采样速率（Fsample/Decimation_Ratio；本例中，Decimation_Ratio = 1 针对全带宽）

L = JESD204B 通道数（本例中为 4）

举例而言，如果同样的双通道 ADC 使用总共 4 个 DDC 的 8 抽取配置，则 ADC 可支持很多配置，具体取决于通道数。输出采样速率变为 125 MSPS (1 GSPS ÷ 8)。各种配置如表 1 所示：

表 1.

DDC 配置	M	L	线路速率(Gbps/通道)
实数	4	1	10
实数	4	2	5
复数	8	2	10
复数	8	4	5

这些灵活的配置为系统设计人员提供了以下选择自由：使用具有较高通道速率但更佳 I/O 通道密度使用率的昂贵 FPGA，或者使用存在线路速率限制的现有 FPGA/ASIC。

结论

GSPS ADC 深亚微米硅工艺的出现迎来了无线电架构讨论与设计的新纪元。GSPS ADC 具有高带宽采样内核以及数字下变频器选项，提供重新思考和重新定义无线电架构的灵活思路，从而满足消费者不断增长的需要。这些 GSPS ADC 具有更低的功耗和更小的尺寸，可降低这些无线电产品的拥有成本。集成 JESD204B 接口的当代 ADC 具有灵活的输出选项，它们并不妨碍系统设计人员使用昂贵的高线路速率 FPGA 或数字逻辑。

本文第二部分将讨论 TDD LTE 频段 34 和 39 相关的使用场景，并分析它在采用 AD9680 的多频段无线电接收机中的应用。⁵

参考文献

¹ E-UTRA 频段。
² Walt Kester. *数据转换手册*。ADI 公司，2005 年。
³ Umesh Jayamohan。“祖父时代的 ADC 已成往事：RF 采样 ADC 给系统设计带来诸多好处。”ADI 公司，2015 年。
⁴ 过采样。
⁵ AD9680。ADI 公司。



Umesh Jayamohan

该作者的其它文章：
非常见问题解答——
第 129 期，2016 年 5 月
谁消耗了我的 dB？

[umesh.jayamohan@analog.com]是 ADI 公司高速转换器部门（位于北卡罗来纳州格林斯博罗）的应用工程师，于 2010 年加入 ADI 公司。Umesh 于 1998 年获得印度喀拉拉大学电气工程学士学位，于 2002 年获得美国亚利桑那州立大学电气工程硕士学位。