

为 GPS 或 RF 采样 ADC 供电： 开关与 LDO

作者：Umesh Jayamohan

简介

模数转换器 (ADC) 在任何依赖外部 (模拟) 世界收集信息进行 (数字) 处理的系统中都是不可或缺的组成部分。从通信接收机到数字测试和测量再到军事和航空航天—此处仅举数例—这些系统在不同的应用中各有不同。硅片处理技术的发展 (比如 65 nm CMOS 和 28 nm CMOS) 使高速 ADC 得以跨越 GPS (每秒千兆) 门槛。对于系统设计人员来说, 这意味着能用于数字处理的采样带宽越来越宽。出于环境和成本方面的考虑, 系统设计人员不断尝试降低总功耗。一般而言, ADC 制造商建议采用低噪声 LDO (低压差) 稳压器为 GPS (或 RF 采样) ADC 供电, 以便达到最高性能。然而, 这种方式的输电网络 (PDN) 效率不高。设计人员对于使用开关稳压器直接为 GPS ADC 供电且不会大幅降低 ADC 性能的方法呼声渐高。

解决方案是谨慎地进行 PDN 部署和布局布线, 确保 ADC 性能不受影响。本文讨论了线性和开关电源的不同之处, 并表明 GPS ADC 与 DC-DC 转换器搭配使用可大幅改善系统能效, 且不会影响 ADC 性能。本文通过输电网络组合探讨 GPS ADC 性能, 并对成本和性能进行了对比分析。

通常建议 GPS ADC 使用的 PDN

高带宽、高采样速率 ADC (或 GPS ADC) 可以具有多个电源域 (比如 AVDD 或 DVDD)。随着尺寸的缩小, 不仅电源域的

数量增加, 为 ADC 供电所需的不同电压数量也有所增加。例如, AD9250¹ 是一款 14 位、170 MSPS/250 MSPS、JESD204B 双通道模数转换器, 采用 180 nm CMOS 工艺制造, 具有 3 个域: AVDD、DVDD 和 DRVDD。然而, 所有 3 个域都具有相同的电压: 1.8 V。

现在, 来看一下 AD9680²: 一款 14 位、1.25 GSPS/1 GSPS/820 MSPS/500 MSPS JESD204B 双通道模数转换器, 采用 65 nm CMOS 工艺制造。这款 GPS ADC 具有 7 个不同的域 (AVDD1、AVDD1_SR、AVDD2、AVDD3、DVDD、DRVDD 和 SPIVDD), 以及 3 个不同的电压: 1.25 V、2.5 V 和 3.3 V。

ADP2384³ 和 ADP2164⁴ DC-DC 转换器用于使电压下降到可控水平, 以便 LDO 能够在不进入热关断的情况下进行稳压操作。这些电源域和各种电压的日益普及是在这些采样速率下工作所必需的。它们可以确保各种电路域 (比如采样、时钟、数字和串行器) 之间具有正确的隔离, 同时使性能最优。正是因为这个原因, ADC 制造商才设计了评估板, 并推荐详细的电源设计方案, 确保最大程度降低风险, 使性能最大化。例如, 图 1 显示了 AD9680 评估板使用的默认 PDN 的功能框图。根据 Vita57.1 规格, 电源输入来自 FMC (FPGA 夹层卡) 连接器供应的 12 V/1 A 和 3.3 V/3 A 电源。

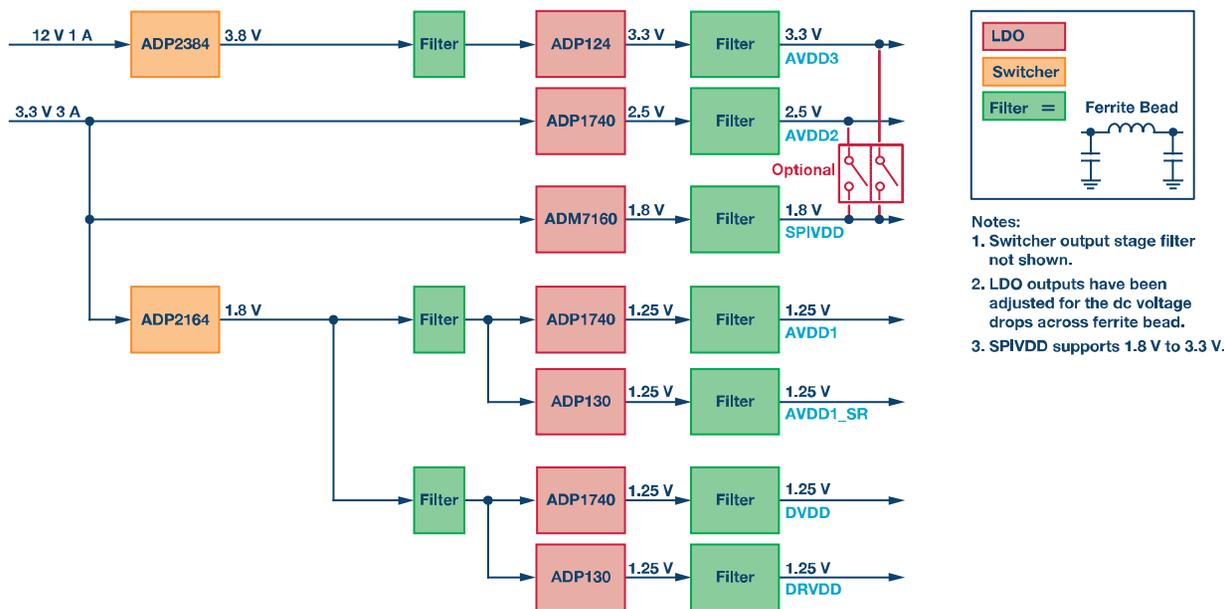


图 1. 用于 AD9680 评估板的默认 PDN。

显而易见，这是一种昂贵的解决方案，有 7 个 LDO 稳压器，每个域一个。这款 PDN 也许是性能最优的，但肯定不是最具性价比或运行成本效率最高的。系统设计人员认为部署含有多个 ADC 的系统非常有难度。例如，相控阵雷达方案包含成百个 AD9680，全都以同步方式工作。要求系统设计人员为上百个 ADC 的每一个电压域都分配一个 LDO 稳压器是不合理的。

用于 GSPS ADC 的更简单的 PDN

一种更具性价比的 PDN 设计方案是将具有同样电压值（比如所有的 1.25 V 模拟域）的域组合起来，然后用同一个 LDO 来驱动。这样可以减少元件数（以及物料清单—BOM—成本），这

可能适合某些设计。其简化 PDN 如图 2 所示；该图为 AD9680 评估板的部署。在该部署中，整个 AD9680 都可以使用 3.3 V 输入供电。

驱动 AD9680 的 DC-DC 转换器

通过移除为 1.25 V 域供电的单个 LDO，还可进一步简化 PDN。这是最高效、最具性价比的解决方案。这种方案的困难之处在于确保 DC-DC 转换器的操作稳定性，从而不影响 ADC 性能。ADP2164 驱动 AD9680 所有 1.25 V 域（AVDD1、AVDD1_SR、DVDD 和 DRVDD）的 PDN 如图 3 所示。

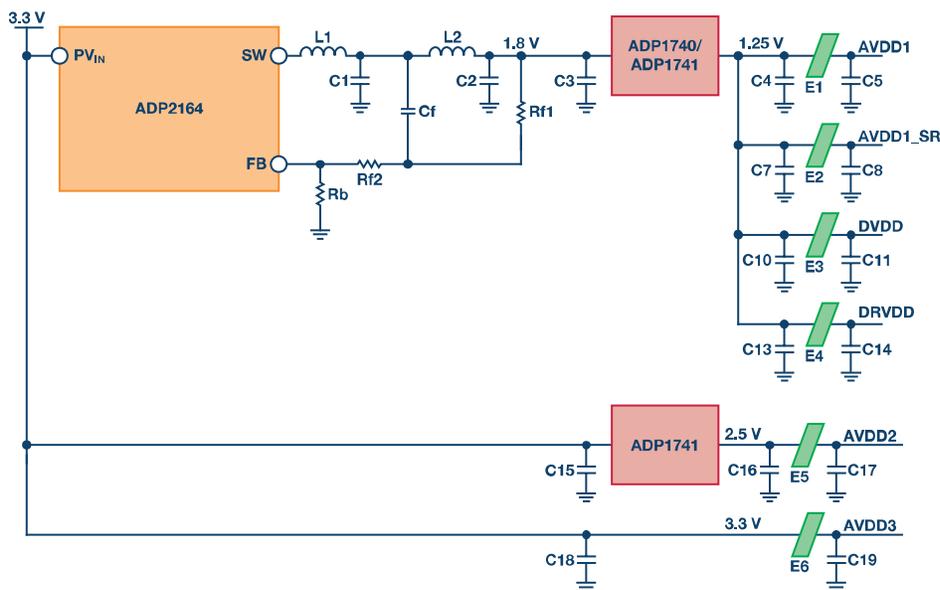


图 2. AD9680 评估板的简化 PDN。

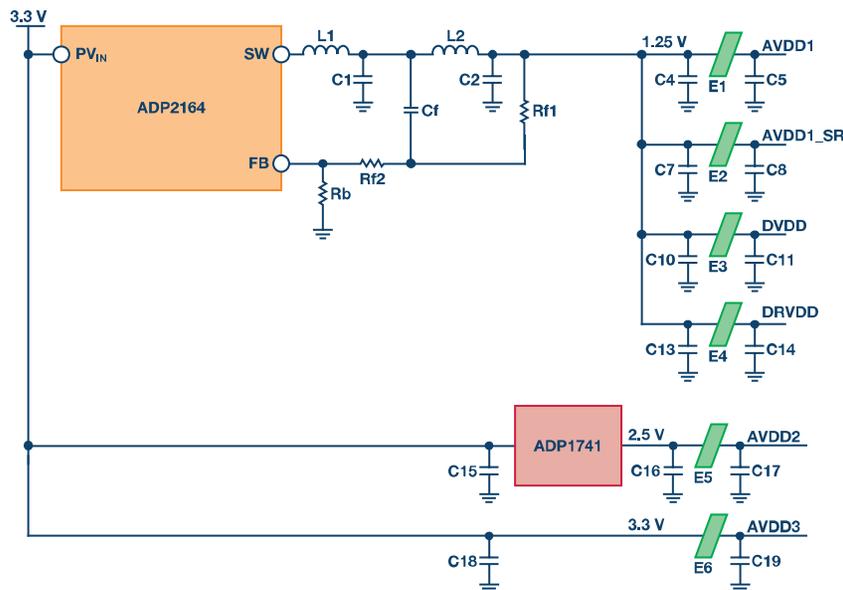


图 3. 使用 DC-DC 转换器为 AD9680 供电。

比较不同的 PDN

对上文讨论的 3 个 PDN 以及第 4 个网络进行测试；第 4 个网络采用基准电源为 AD9680 评估板供电。表 1 列出了 AD9680 评估板上部署的各种输电网络。

表 1. 输电网络列表

PDN 设置	描述
基准	使用基准电源为 AD9680 供电
PDN #1	评估板上的默认 PDN (如图 1 所示)
PDN #2	所有 1.25 V 域采用同一个 LDO 驱动 (如图 2 所示)
PDN #3	所有 1.25 V 域采用一个 DC-DC 转换器驱动 (如图 3 所示)

由于 SPIVDD 可以支持 1.8 V 至 3.3 V 且被认为属于非关键节点，因此它采用 1.8 V LDO 输出供电。在一般系统部署中，SPIVDD 可连接 2.5 V 或 3.3 V 域。也就是说，在那些 SPI 总线由很多 ADC 与 DAC 共享的系统中，仍旧应当监控 SPIVDD 连接。如有这种情况，那么必须非常仔细，确保正常的 SPI 操作不会导致 SPIVDD 域产生电源瞬变。如果 SPIVDD 变得低于阈值电平，那么这些电源瞬变可能会触发上电复位 (POR) 的情况。

表 2. SNR 性能对比 (dBFS)

频率 (MHz)	基准	默认值 (PDN #1)	简化 (PDN #2)	开关 (PDN #3)
63	66.5	66.5	66.6	66.7
170	66.4	66.1	65.9	66.2
340	64.8	64.5	64.5	64.7
450	64.0	63.7	63.6	63.8
765	62.5	62.2	62.2	62.3
985	61.3	61.0	61.0	61.1
1283	59.8	59.5	59.5	59.5
1725	57.7	57.4	57.4	57.5
1983	56.7	56.4	56.5	56.6

表 3. SFDR 性能对比 (dBFS)

频率 (MHz)	基准	默认值 (PDN #1)	简化 (PDN #2)	开关 (PDN #3)
63	83	82	88	83
170	86	85	85	84
340	77	76	76	76
450	72	72	71	71
765	77	76	76	82
985	77	76	76	83
1283	74	74	74	75
1725	67	67	68	67
1983	60	60	60	60

表 2 和表 3 分别显示了 AD9680 使用各种 PDN 的 SNR 和 SFDR 性能。根据 AD9680 数据手册提供各种奈奎斯特区的前端网络和寄存器建议设置。²

仅使用 DC-DC 转换器为 AD9680 的 1.25 V 域供电的 PDN (PDN #3) 在各种输入频率下显示出了良好的性能。这证明了可以组合域，并在不损失大量 ADC 性能的情况下以高效率、高性价比的方式为它们供电。采用基准源的 PDN 具有最佳的噪声性能，因为它是噪声最低的电源。然而，值得注意的是 PDN #3 始终比默认网络 (PDN #1) 具有更好的 SNR 性能。这可能是由于 LDO 具有良好的低频清除特性，但对于电路中存在高于几百 kHz 的情况却无能为力。这可以解释 PDN #3 的 0.2 dB 优势。

快速傅立叶变换图

图 4 和图 5 分别显示了 170 MHz 和 785 MHz 输入时的单音 FFT。FFT 未显示出频谱性能的下降，因为 1.25 V 域由单个 DC-DC 转换器供电。

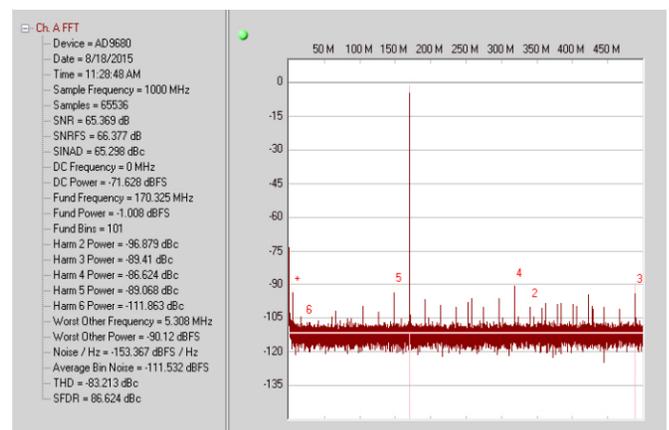


图 4. 170 MHz 输入时的单音 FFT，使用 PDN #3。

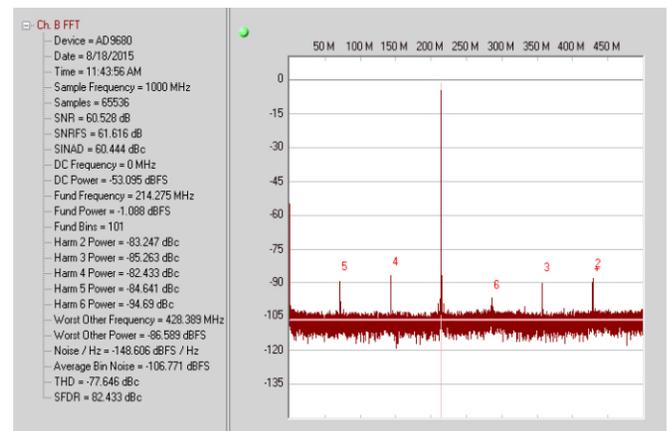


图 5. 785 MHz 输入时的单音 FFT，使用 PDN #3。

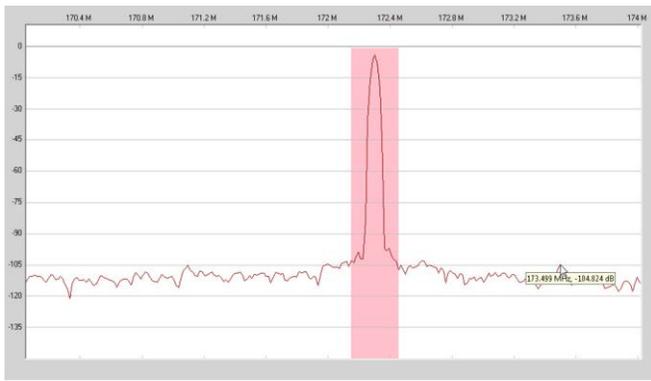


图 6. 170 MHz 输入时的 1.2 MHz 边带开关杂散。
杂散水平 = -105 dBFS。

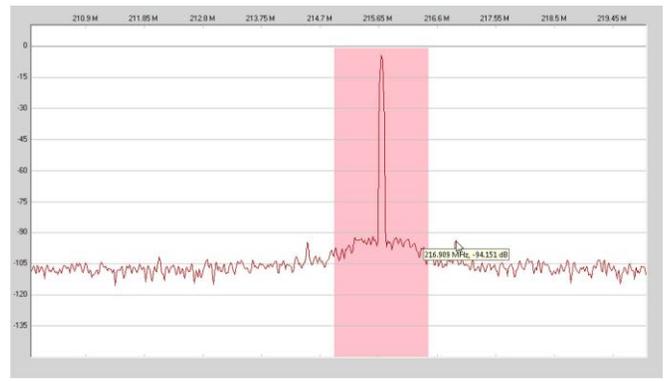


图 7. 785 MHz 输入时的 1.2 MHz 边带开关杂散。
杂散水平 = -94 dBFS。

开关杂散

除了噪声性能，由于采用了开关元件和磁性元件，因此还应当检查 DC-DC 转换器部署的杂散成分。此时，采用谨慎仔细的布局技术以降低接地环路和接地反弹将会是有帮助的。有很多资源可以协助测量开关电源噪声^{5,6}。边带杂散出现在开关频率失调的两侧（本例中为 1.2 MHz）。必须说明的是，图 2 或图 3 中的输出滤波器级是一个两级滤波器。这个两级滤波器是降低开关噪声（纹波）的主要贡献因素，有助于改善 ADC 噪声 (SNR) 性能。同样的道理，这个两级滤波器还可协助降低开关杂散，并在输出 FFT 中体现出来。在图 6 和图 7 中，它们分别表现为 170 MHz 和 785 MHz。

通过了解 PSRR（电源抑制比）或 ADC 的电源域，可估算边带杂散水平。⁷

DC-DC 转换器开关电路仿真

使用诸如 ADIsimPE 等工具，可以仿真 DC-DC 转换器输出端的两级滤波器。⁸ 图 8 显示了 ADIsimPE 原理图，用来仿真 PDN 的

输出噪声和稳定性特征。ADIsimPE 是一款使用方便、功能强大的工具，可帮助系统工程师设计、优化和分析电源网络。

图 9 显示了第一级输出端的输出纹波以及电路第二级之后的滤波输出，采用 ADIsimPE 仿真。此处显示的纹波约为 3 mV p-p。

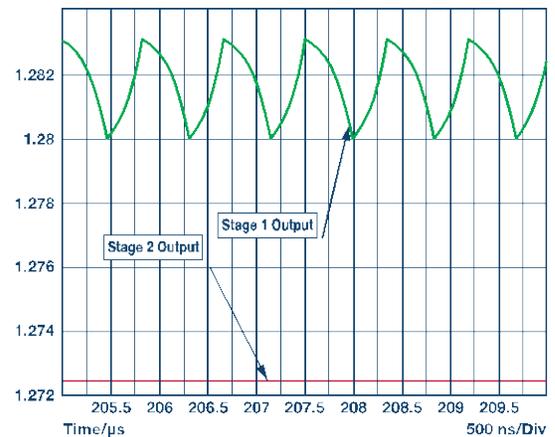


图 9. ADIsimPE 仿真的一级和二级输出。

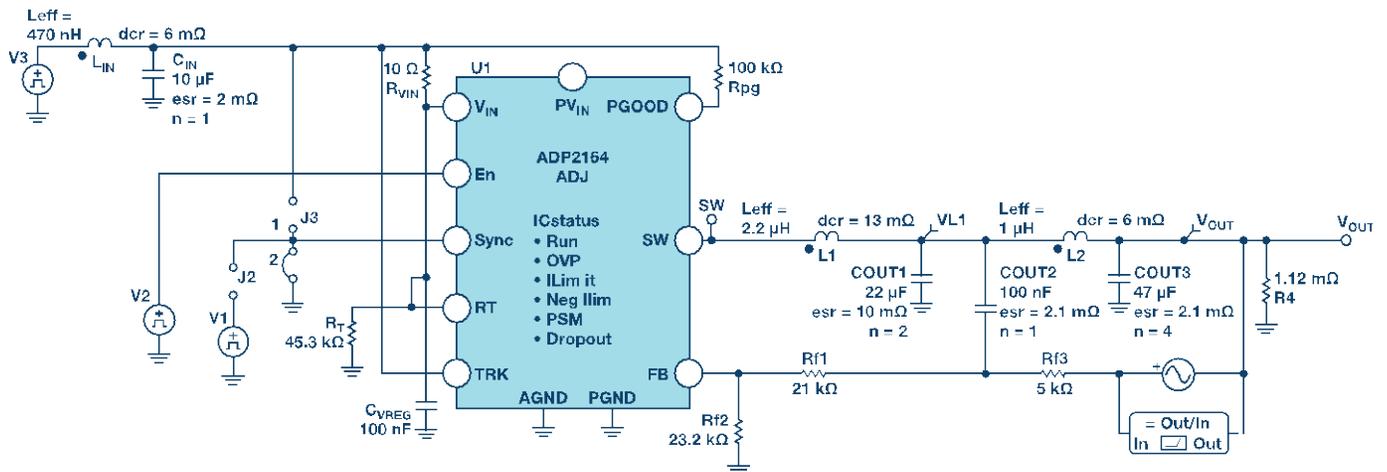


图 8. ADP2164 驱动 1.25 V 域的 ADIsimPE 原理图。

表 4. 图 2 中的 PDN 物料清单

索引标识符	数量	描述	制造商	部件编号	价值
C1	1	22 μ F、6.3 V、X5R 0805 电容	Murata	GRM21BR60J226ME39L	22 μ F
C2	4	22 μ F、6.3 V、X5R 0805 电容	Murata	GRM21BR60J226ME39L	22 μ F
Cf	1	0.1 μ F、10 V、X5R 0402 电容	Murata	GRM155R61A104KA01D	0.1 μ F
C3、C4、C5、C6、C7、C8、C9、C10、C11、C12、C13、C14、C15、C16、C17、C18、C19	17	4.7 μ F、6.3 V、X5R 0402 电容	Murata	GRM155R60J475ME47D	4.7 μ F
E1、E2、E3、E4、E5、E6	6	铁质片 10 Ω 0402	Murata	BLM15AX100SN1D	10 Ω
L1	1	1.0 μ H 屏蔽电源电感, 10 m Ω	Coilcraft	XAL5030-102ME	1.0 μ H
L2	1	2.2 μ H 屏蔽电源电感, 0.1 Ω	Coilcraft	ME3220-222ML	2.2 μ H
Rf1	1	4.99 k Ω 、1% 1、W/10 W 0402 电阻	Panasonic	ERJ-2RKF4991X	4.99 k Ω
Rf2	1	41.2 k Ω 、1% 1、W/10 W 0402 电阻	Panasonic	ERJ-2RKF4122X	41.2 k Ω
Rb	1	23.2 k Ω 、1% 1、W/10 W 0402 电阻	Panasonic	ERJ-2RKF2322X	23.2 k Ω
ADP2164	1	IC、REG、降压 ADJ、4 A、同步、16 引脚 LFCSP	Analog Devices	ADP2164ACPZ-R7	
ADP1741	3	IC、REG、LDO、ADJ、2 A、16 引脚 LFCSP	Analog Devices	ADP1741ACPZ-R7	
ADP171	2	IC、REG、LDO、ADJ、0.3 A、5 引脚 TSOT-23	Analog Devices	ADP171AUJZ-R7	

物料清单

表 4 显示了 AD9680 评估板使用的简化 PDN (如图 2 所示) 物料清单。通过使用图 3 中的网络, 系统设计人员可节省高达 40% 到 45% 的 BOM 成本。BOM 成本是在一个使用广泛的电子元件供应商网站上通过计算千片订量价格估算的。

元件选型和布局

采用各种 PDN 供电时的 ADC 性能不仅取决于精心设计, 还取决于元件选型以及它们在 PCB 上的布局。在开关电源内产生的大电流跳变通常会导致强磁场, 它可以耦合到板上其它电磁元件上, 包括匹配网络中发现的电感以及用于耦合模拟和时钟信号的变压器等。必须采用精心规划的电路板布局手段来防止这些磁场耦合到关键信号上。

电感选择

由于组成输出滤波器级的电感和电容输电量较大, 因此需仔细进行选型。本例中, 混合使用了屏蔽和非屏蔽电感。第一个滤波器级使用了一个屏蔽电感。本例中, 第二级可以使用非屏蔽电感。然而, 建议两级均使用屏蔽电感, 最大程度降低 EMI 辐射。电感同样选用具有充足饱和电流 (ISAT) 和直流电阻 (DCR) 裕量的器件, 确保它们不会饱和, 或本身产生过多压降。

电容选择

建议使用 X5R 或 X7R 电容作为输出滤波器电容。电容还必须具有低 ESR (等效串联电阻)。低 ESR 有助于降低输出端的开关

纹波。最大程度降低总 ESR 和 ESI (等效串联电感) 的另一个诀窍是将电容并联连接。如图 3 和表 4 所示, 第一个滤波器级使用 2 个 22 μ F 电容, 而第二个滤波器级使用 4 个 22 μ F 电容。电容的电压额定值同样也是器件选型的重要依据。这是因为陶瓷电容的电介质随直流偏置的增加而下降。这意味着额定值为 6.3 V 的 22 μ F 电容在 4 V 直流偏置下最多可能下降 50%。^{9,10} 本例中, 额定值为 6.3 V 的电容用于 1.25 V 电源。在输出端加入更多电容确实会略为增加 BOM 成本和电路板占位面积, 但这样做可以保证抑制可能会影响 ADC 性能的开关噪声和纹波。

铁氧体磁珠选型

如图 3 所示, 铁氧体磁珠用于隔离各种域。铁氧体磁珠的选择同样非常重要, 因为如果铁氧体磁珠的 DCR (直流电阻) 高于所需水平, 则会导致域的电压无法达到最优。这种低电压会致使 ADC 性能 (SNR 和 SFDR) 达不到最优。对于阻抗特性、最大直流搭载能力以及铁氧体磁珠的 DCR 应高度重视。¹¹

PCB 布局考虑

为了最大程度减少开关稳压器和 ADC 之间的干扰, DC-DC 转换器及其开关元件应放置在远离任何磁性元件对 ADC 造成干扰的地方 (比如前段匹配网络或时钟网络)。进行 DC-DC 转换器布局设计时, 两级滤波器应当尽量靠近 DC-DC 转换器, 以便最大程度降低环路电流。

致谢

Justin Correll 为测量和数据收集作出了贡献, 在此表示衷心感谢。

结论

RF 采样 (或 GSPS) ADC 可对宽带宽进行数字化处理, 在系统设计方面具有独特的优势。针对这些 GSPS ADC, 业界正在力求降低电源设计的复杂度、尺寸和成本。若足够重视设计、元件选型和 PCN 布局, 则能够为 GSPS ADC 供电的低噪声、高性价比 PDN 是有可能实现的。因此, 经过部署后, 开关稳压器还有助于改善电源系统的效率, 并节省运作成本和 BOM, 同时不会影响性能。

参考文献

- ¹ [AD9250](#). Analog Devices.
- ² [AD9680](#). Analog Devices.
- ³ [ADP2384](#). Analog Devices.

- ⁴ [ADP2164](#). Analog Devices.
- ⁵ Akdrick Limjoco. “[了解开关调节器的输出, 加快电源设计](#)”。*模拟对话*, 第 48 卷第 3 期。
- ⁶ “[Ericsson 电源模块的输出纹波和噪声测量方法](#)”。Ericsson.
- ⁷ Rob Reeder. “[高速 ADC 的电源设计](#)”。ADI 公司。
- ⁸ [ADIsimPE](#). ADI 公司。
- ⁹ [GRM21BR60J226ME39L](#). Murata.
- ¹⁰ Istvan Novak, Kendrick Barry Williams, Jason R. Miller, Gustavo Blando 和 Nathaniel Shannon. “[电容的直流和交流偏置依赖性](#)”。DesignCon 2011。
- ¹¹ Jefferson Eco 和 Akdrick Limjoco. AN-1368 应用笔记: [铁氧体磁珠揭秘](#)。ADI 公司。

Umesh Jayamohan [umesh.jayamohan@analog.com] 是 ADI 公司高速转换器部门 (位于北卡罗来纳州格林斯博罗) 的应用工程师, 于 2010 年加入 ADI 公司。Umesh 于 1998 年获得印度喀拉拉大学电气工程学士学位, 于 2002 年获得美国亚利桑那州立大学电气工程硕士学位。



Umesh Jayamohan

该作者的其它文章:

[射频采样 ADC 输入保护: 这不是魔法](#)
第 49 卷第 4 期