

射频采样 ADC 输入保护：这不是魔法

作者：Umesh Jayamohan

简介

任何高性能模数转换器(ADC)，尤其是射频采样 ADC，输入或前端的设计对于实现所需的系统级性能而言很关键。很多情况下，射频采样 ADC 可以对几百 MHz 的信号带宽进行数字量化。前端可以有源（使用放大器）也可以是无源（使用变压器或巴伦），具体取决于系统要求。无论哪种情况，都必须谨慎选择元器件，以便实现在目标频段的最优 ADC 性能。

射频采样 ADC 采用深亚微米 CMOS 工艺技术制造，并且半导体器件的物理特性表明较小的晶体管尺寸支持的最大电压也较低。因此，在数据手册中规定的出于可靠性原因而不应该超出的绝对最大电压，将当前主流的射频采样 ADC 与之前的老器件相比，可以发现这个电压值是变小的。

在使用 ADC 对输入信号进行数字量化的接收机应用中，系统设计人员必须密切关注绝对最大输入电压。该参数直接影响 ADC 的使用寿命和可靠性。不可靠的 ADC 可能导致整个无线电系统无法使用，且更换成本也许非常巨大。

为了抵消过压带来的风险，射频采样 ADC 集成了可以检测高电平阈值的电路，允许接收机通过自动增益控制(AGC)环路调节增益来进行补偿。但是，如果采用流水线型 ADC，则与架构相关的固有延迟可能导致输入暴露于高电平之下，从而可能损害 ADC 输入。本文讨论了一种简单的方法来增强 AGC 环路，保护 ADC。

输入架构

射频采样 ADC 可采用多种不同的设计，最常见的一种是流水线架构，该架构采用多级级联，将模拟信号转换为数字信号。第一级最重要，可以是缓冲或未缓冲级。选择哪种设计取决于设计要求和性能目标。例如，一个带缓冲器的 ADC 通常在频率范围内具有更好的 SFDR 性能，但功耗比不带缓冲器的 ADC 更高。

前端设计同样会根据 ADC 是否有缓冲级而改变。没有缓冲器的 ADC 需要使用额外的串联电阻来处理输入电荷反冲，它同样会改善 SFDR 性能。图 1 和图 2 显示了 AD9625 未缓冲和 AD9680 缓冲射频采样 ADC 的等效输入电路简化图。为简明起见，仅显示单端输入。

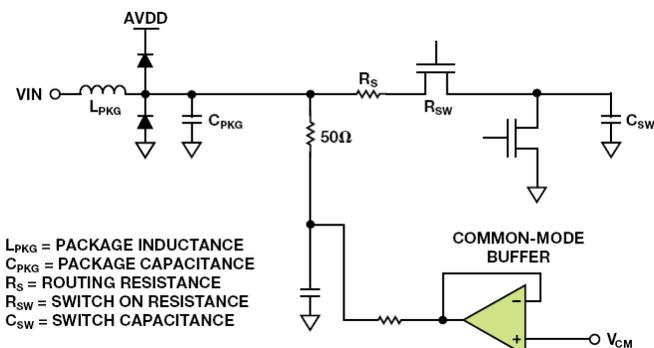


图 1. 未缓冲射频采样 ADC 输入的等效电路

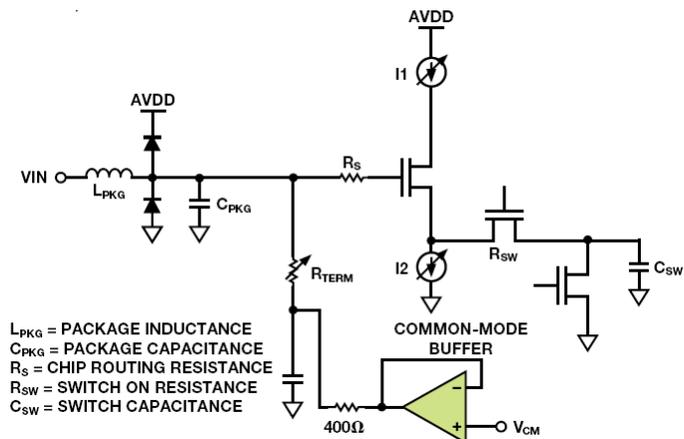


图 2. 缓冲射频采样 ADC 输入的等效电路

无论采用何种架构，ADC 输入端可持续的绝对最大电压由 MOSFET 能够处理的电压决定。缓冲输入更复杂，且比未缓冲输入功耗更大。ADC 具有多种不同类型的缓冲器，最常见的一种是源极跟随器。

故障机制

缓冲和未缓冲 ADC 的故障机制有所不同，但通常是在超出允许的最大栅极-源极电压(V_{GS})或漏极-源极电压(V_{DS})时发生故障。这些电压如图 3 所示。

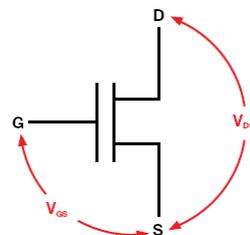


图 3. MOS 晶体管的关键电压

例如，假设 V_{DS} 超过允许的最大电压，则发生 V_{DS} 击穿故障，这通常在 MOSFET 处于关断状态且在漏极施加了相对于源极的过量电压时发生。如果 V_{GS} 超过允许的最大电压，则它会导致 V_{GS} 击穿（亦称为氧化层击穿）。这通常在 MOSFET 处于导通状态且在栅极施加了相对于源极的过量电压时发生。

未缓冲 ADC 的故障机制

图 4 显示的是一个未缓冲 ADC 输入。采样过程由反相时钟信号 Φ 和 $\bar{\Phi}$ 控制，它们是 MOSFET M1 的采样/保持信号以及 MOSFET M2 的复位信号。M1 导通时，M2 关断，且电容 C_{SW} 跟踪信号（采样或跟踪模式）。当 M1 关断时，MDAC 中的比较器作出判断后 M2 导通，电容 C_{SW} 复位。这样可在采样阶段使采样电容为下一次采样做好准备。该电路通常工作状态优良。

但是，高压输入使 M2 暴露在超出其漏源电压的应力之下。当对输入高压进行采样（M1 导通、M2 关断）时，M2 会暴露于较大的 V_{DS} 之下，其在不足采样时钟半周期的时间内处于关断状态，但哪怕只是瞬时的暴露也会降低电路的可靠性，导致 ADC 随时间失效。在复位模式下（M1 关断、M2 导通），因 M1 的漏极上有输入信号，从而也会暴露于大的 V_{DS} 电压。

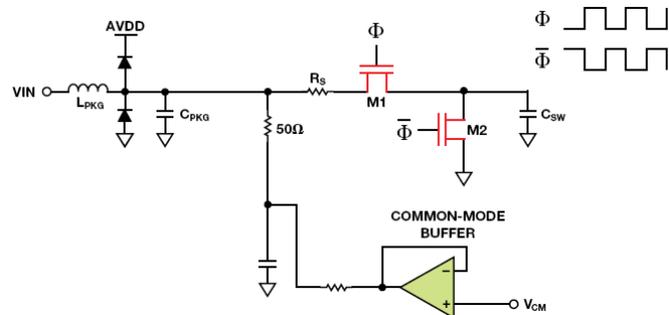


图 4. 未缓冲 ADC 输入的故障模式

缓冲 ADC 的故障机制

图 5 显示的是一个缓冲 ADC 输入。采样和复位信号适用相同的时钟方案。无论相位如何，当缓冲器 M3 栅极暴露于高压输入时，产生电流 I1 以及 I2。电流源 I1 采用 PMOS 晶体管实现，而 I2 采用 NMOS 晶体管实现。M3 栅极上的高电压导致 I1 和 I2 MOSFET 产生过大的 V_{DS} 。此外，M3 栅极上的高电压还可导致氧化层击穿。

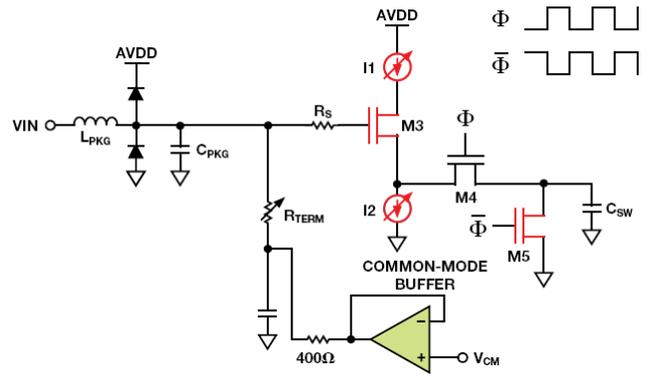


图 5. 缓冲 ADC 输入的故障模式

缓冲和未缓冲 ADC 的击穿机制有所不同，因此绝对最大输入电压同样有所不同，如表 1 所以。

表 1. 缓冲与未缓冲 ADC 的绝对最大值规格

ADC	工艺 (nm)	输入结构	绝对最大输入电压(V)	差分摆幅 (V p-p)
14 位 105 MSPS	350	缓冲	7	9.2
14 位 125 MSPS	180	未缓冲	2.0	4.5
16 位 250 MSPS	180	缓冲	3.6	6.0
12 位 2.5 GSPS	65	未缓冲	1.52	4
14 位 1.0 GSPS	65	缓冲	3.2	4.6

使用 TVS 二极管保护 ADC 输入

有几种方式可以保护 ADC 输入不受高压影响。部分 ADC（特别是射频采样 ADC）具有内置电路，可以检测输入电压并在超过设定阈值时进行上报。如数据手册中所述，该快速检测输出存在一些延迟，因此依然会使 ADC 输入端短时间内暴露于高压之下。

瞬态电压稳定器(TVS)二极管可以限制过量电压，但会在正常工作期间影响 ADC 性能。图 6 显示的是一个使用 TVS 二极管的过压保护电路。

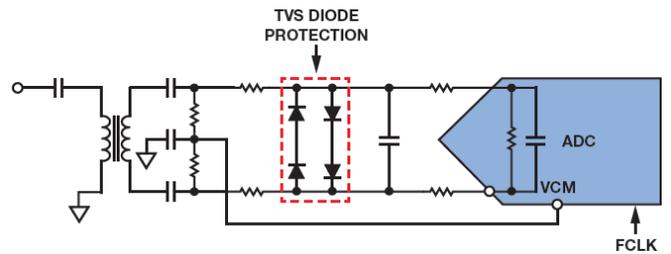


图 6. 带 TVS 二极管保护的 ADC 前端电路

虽然 TVS 二极管通过箝位过量电压保护 ADC 输入，但它们会极大地恶化谐波性能。图 7 显示了具有 30 MHz、-1 dBFS 输入的 14 位、250 MSPS 无缓冲 ADC 的前端带与不带 TVS 二极管时的 FFT 比较情况。

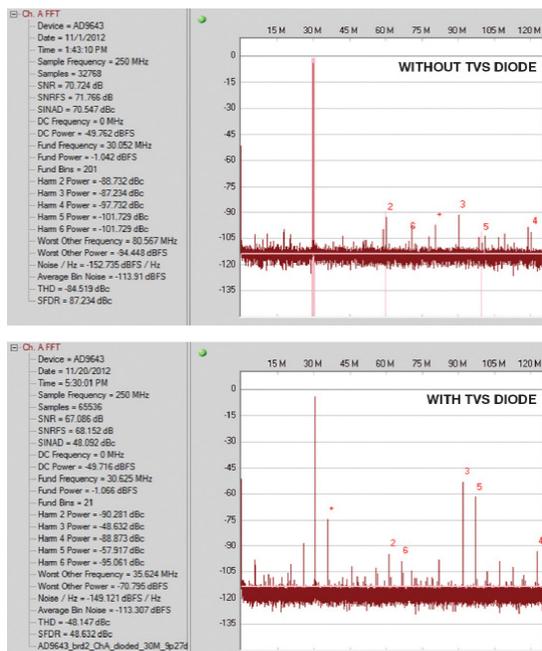


图 7. 带与不带 TVS 二极管保护的 ADC 前端电路 FFT 比较

TVS 二极管会极大地恶化奇次谐波性能，因为它们在不作用为箝位的时候就相当于一反向偏置二极管。该 PN 二极管具有结电容 C_{j0} ，该电容与 ADC 内部开关动作产生的非线性反冲电流相互作用，产生一个与模拟输入信号混合的电压信号。该混合信号在 ADC 内部被采样，产生极大的三次谐波。在过压条件下的时域曲线（图 8）显示了 TVS 二极管的箝位压压的功能。这并不表示 TVS 二极管不适合用来保护 ADC 输入，只是必须仔细考虑二极管规格，以便达到性能要求。选择二极管类型及其参数时必须作更全面的考虑。

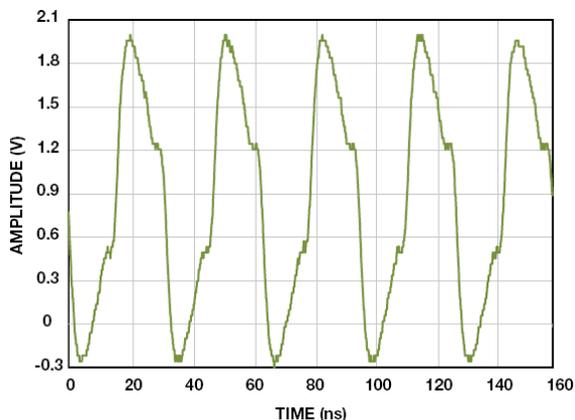


图 8. 前端电路中的 TVS 二极管保护导致削波信号

使用肖特基二极管保护射频采样 ADC 输入

当带宽和采样速率达到 GHz 和 GSPS 级别时，射频采样 ADC 可以简化无线电接收机设计，因为它们不需要 ADC 前具有很多的混频级，但这样会让 ADC 输入易受过压应力影响。图 9 显示的是用于射频采样 ADC 的典型前端设计，采用放大器驱动。新一代放大器专为与这些 ADC 实现接口而设计，具有快速攻击响应输入管脚，可通过串行外设接口(SPI)配置，将输出衰减为预定增益。快速攻击响应引脚可以配置为响应射频采样 ADC 的快速检测输出。[ADA4961](#) 是具有快速攻击响应功能的新一代放大器实例。[AD9680](#) 和 [AD9625](#) 是具有快速检测功能的射频采样 ADC 实例。

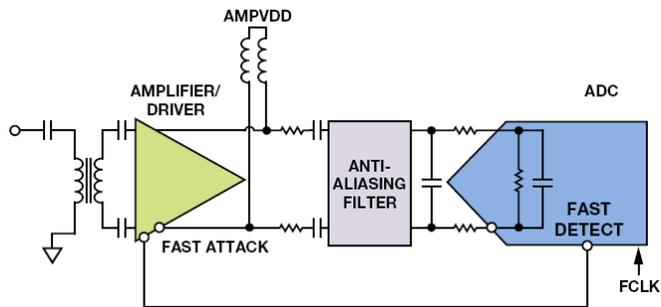


图 9. 带快速攻击响应功能的放大器驱动带快速检测功能的射频采样 ADC

只要输入电压处于合理的范围之内，图 9 中的拓扑便能工作良好。举例而言，假如该接收机的输入端收到突发高压信号，则放大器的输出将上升至放大器电源轨的电压水平（本例中为 5 V）。这将产生巨大的电压摆幅，超过 ADC 输入端的绝对最大额定电压。快速检测功能存在一定延迟（AD9680-1000 为 28 个时钟周期或 28 ns），因此等到快速检测逻辑输出告诉放大器置位快速攻击响应时，ADC 早已暴露在高压下数个时钟周期。这可能降低 ADC 的可靠性，因此无法承受这种风险的系统设计必须采用第二保护模式。具有极低器件和寄生电容的快速响应肖特基二极管在这种情况下十分管用。特定二极管的关键参数可参见数据手册。

反向击穿电压(V_{BR})——AD9680 输入引脚上的最大输入电压——相对于 AGND 约为 3.2 V，因此为该二极管选择数值为 3 V 的反向击穿电压。

结电容(C_{j0})——二极管电容应尽可能低，确保正常工作时二极管不影响 ADC 的交流性能(SNR/SFDR)。

图 10 显示的是无源前端，肖特基二极管位于 ADC 之前。无源前端比较容易演示肖特基二极管在不影响交流性能情况下对 ADC 输入端的保护。

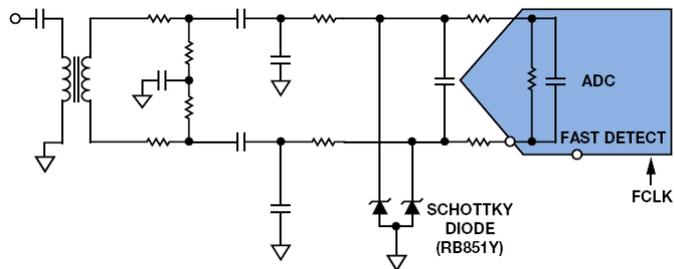


图 10. 显示射频采样 ADC 和肖特基二极管的无源前端电路

这颗射频采样 ADC 经过测试可输入高达 2 GHz 频率的信号，因此选用 RF 肖特基二极管(RB851Y)。表 2 显示 RB851Y 的关键参数；表明该器件适合该应用。测试结果显示二极管防止了 ADC 输入电压超过其 3.2 V 的绝对最大电压（相对于 AGND）。图 11 显示的是一个单端输入（ADC 的 VIN+引脚）暴露在高压之下（185 MHz）的情况。肖特基二极管将电压箝位至 3.0 V 左右（相对于 AGND），防止 ADC 输入达到 3.2 V 限值。图 12 显示的是在肖特基二极管箝位下的 AD9680 输入端的差分信号。

表 2. 用于保护射频采样 ADC 输入的肖特基二极管关键参数

参数	数值	单位	注释
反向电压(V_R)	3	V	AD9680 数据手册中，绝对最大额定电压值为 $V_{IN\pm} = 3.2$ V
端点之间的电容 (C_{j0} , 或 C_t)	0.8	pF	正常条件下对 ADC 性能影响较小

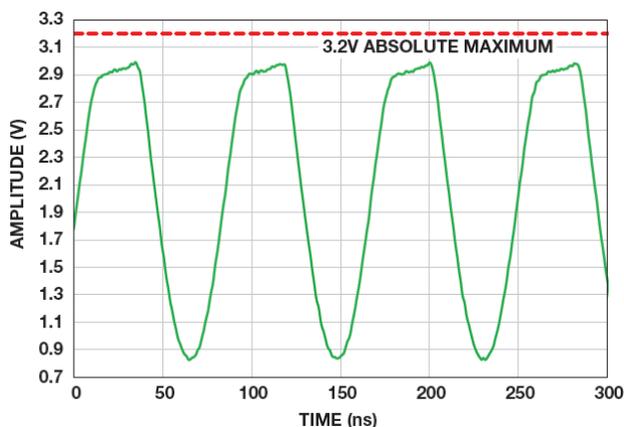


图 11. 肖特基二极管箝位的单端 ADC 输入

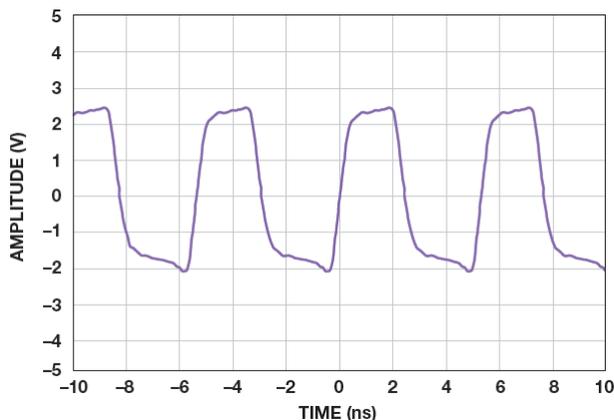


图 12. 肖特基二极管箝位 AD9680 差分输入信号

下一步，我们测量正常工作性能。AD9680 按照数据手册中的建议进行控制，但输入如图 10 所示进行修改。模拟输入频率变化范围为 10 MHz 至 2 GHz。 C_{j0} 的超低数值应当不会对 ADC 的 SNR 和 SFDR 性能造成影响。

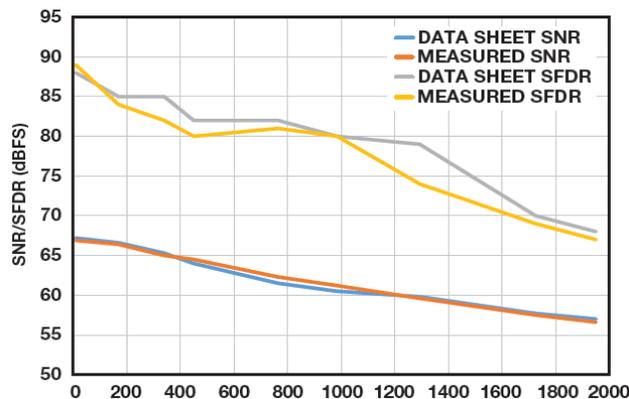


图 13. AD9680 带肖特基二极管保护时 SNR/SFDR 与模拟输入频率的关系

肖特基二极管根本不会影响 SNR 性能，但某些频率下 SFDR 与预期值有所偏差，如图 13 所示。这可能是由于差分信号失配或 ADC 反冲所导致的。评估板是从直流到 2 GHz 的宽频段设计，因此当它在整个频段内的整体工作良好时，某些元器件可能在特定频率下与肖特基二极管相互作用。

大部分应用不会用到整个 2 GHz 频段，因此可以通过修改过压保护的输入电路，将前端调谐至所需的目标信号带宽。谨慎选择肖特基二极管可以保护 ADC 输入，因而系统设计人员可以使用具有最新快速攻击响应功能和快速检测功能的放大器驱动前端电路，如图 14 所示。

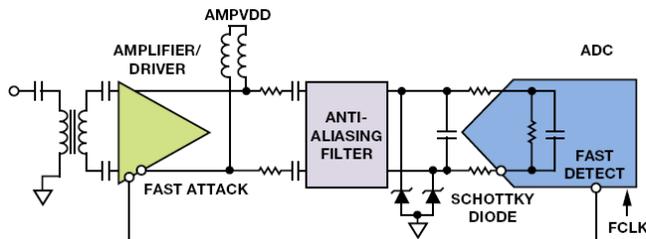


图 14. ADA4961 驱动 AD9680 (显示射频采样 ADC 和肖特基二极管)

结论

本文讨论如何使用肖特基二极管保护射频采样 ADC 输入，使其免受过压应力的影响。仔细审查二极管的数据手册参数很关键。为了实现最佳的目标频段性能，需要对该电路的实施进行规划。射频采样 ADC 的快速检测输出可以与最新放大器的快速攻击响应功能进行配合，设置自动增益控制环路。

参考文献

Castera, Jim 和 Rob Reeder, [宽带 ADC 前端设计考虑 II: 用放大器还是用变压器驱动 ADC?](#) *模拟对话*, 第 41 卷第 1 期, 2007 年。

Das, Dave Roy, [高速开关电容 ADC 的低失真缓冲技术](#), 麻省理工学院, 1997 年。

Kester, Walt, [数据转换手册](#), ADI 公司, 2004 年。

[MT-228: 高速 ADC 模拟输入接口考虑因素](#)。

Reeder, Rob, [高速无缓冲 ADC 的反冲](#), *Electronic Design*, 2011 年。

Reeder, Rob, [测试高速 ADC 的模拟输入相位不平衡](#), *UBM Electronics*, 2011 年。

Shedge, Dnyandeo, Devendra Itole, Milind Gajare 和 Prakash Wani, [CMOS 源极跟随器和超级源极跟随器的分析与设计](#), *ACEEE*。



Umesh Jayamohan [umesh.jayamohan@analog.com] 是 ADI 公司高速转换器部（北卡罗来纳州格林斯博罗）的一名应用工程师。Umesh 于 1998 年获得印度喀拉拉大学电气工程学士学位，于 2002 年获得美国亚利桑那州立大学电气工程硕士学位，担任设计和应用工程师已逾 7 年。



Umesh Jayamohan

该作者的其它文章：

[ADC 建模工具](#)

[加快评估过程](#)

第 48 卷，第 4 期