

良好接地指导原则

作者：Hank Zumbahlen

接地无疑是系统设计中最为棘手的问题之一。尽管它的概念相对比较简单，实施起来却很复杂，遗憾的是，它没有一个简明扼要可以用详细步骤描述的方法来保证取得良好效果，但如果在某些细节上处理不当，可能会导致令人头痛的问题。

对于线性系统而言，“地”是信号的基准点。遗憾的是，在单极性电源系统中，它还成为电源电流的回路。接地策略应用不当，可能严重损害高精度线性系统的性能。

对于所有模拟设计而言，接地都是一个不容忽视的问题，而在基于 PCB 的电路中，适当实施接地也具有同等重要的意义。幸运的是，某些高质量接地原理，特别是接地层的使用，对于 PCB 环境是固有不变的。由于这一因素是基于 PCB 的模拟设计的显著优势之一，我们将在本文中对其进行重点讨论。

我们必须对接地的其他一些方面进行管理，包括控制可能导致性能降低的杂散接地和信号返回电压。这些电压可能是由于外部信号耦合、公共电流导致的，或者只是由于接地导线中的过度 IR 压降导致的。适当地布线、布线的尺寸，以及差分信号处理和接地隔离技术，使得我们能够控制此类寄生电压。

我们将要讨论的一个重要主题是适用于模拟/数字混合信号环境的接地技术。事实上，高质量接地这个问题可以——也必然——影响到混合信号 PCB 设计的整个布局原则。

目前的信号处理系统一般需要混合信号器件，例如模数转换器(ADC)、数模转换器(DAC)和快速数字信号处理器(DSP)。由于需要处理宽动态范围的模拟信号，因此必须使用高性能 ADC 和 DAC。在恶劣的数字环境中，能否保持宽动态范围和低噪声与采用良好的高速电路设计技术密切相关，包括适当的信号布线、去耦和接地。

过去，一般认为“高精度、低速”电路与所谓的“高速”电路有所不同。对于 ADC 和 DAC，采样（或更新）频率一般用作区分速度标准。不过，以下两个示例显示，实际操作中，目前大多数信号处理 IC 真正实现了“高速”，因此必须作为此类器件来对待，才能保持高性能。DSP、ADC 和 DAC 均是如此。

所有适合信号处理应用的采样 ADC（内置采样保持电路的 ADC）均采用具有快速上升和下降时间（一般为数纳秒）的高速时钟工作，即使吞吐量看似较低也必须视为高速器件。例如，中速 12 位逐次逼近型(SAR) ADC 可采用 10 MHz 内部时钟工作，而采样速率仅为 500 kSPS。

Σ - Δ 型 ADC 具有高过采样比，因此还需要高速时钟。即使是高分辨率的所谓“低频”工业测量 ADC（例如 AD77xx-系列）

吞吐速率达到 10 Hz 至 7.5 kHz，也采用 5 MHz 或更高时钟频率工作，并且提供高达 24 位的分辨率。

更复杂的是，混合信号 IC 具有模拟和数字两种端口，因此如何使用适当的接地技术就显示更加错综复杂。此外，某些混合信号 IC 具有相对较低的数字电流，而另一些具有高数字电流。很多情况下，这两种类型的 IC 需要不同的处理，以实现最佳接地。

数字和模拟设计工程师倾向于从不同角度考察混合信号器件，本文旨在说明适用于大多数混合信号器件的一般接地原则，而不必了解内部电路的具体细节。

通过以上内容，显然接地问题没有一本快速手册。遗憾的是，我们并不能提供可以保证接地成功的技术列表。我们只能说忽视一些事情，可能会导致一些问题。在某一个频率范围内行之有效的方法，在另一个频率范围内可能行不通。另外还有一些相互冲突的要求。处理接地问题的关键在于理解电流的流动方式。

星型接地

“星型”接地的理论基础是电路中总有一个点是所有电压的参考点，称为“星型接地”点。我们可以通过一个形象的比喻更好地理解——多条导线从一个共同接地点呈辐射状扩展，类似一颗星。星型点并不一定在外表上类似一颗星——它可能是接地层上的一个点——但星型接地系统上的一个关键特性是：所有电压都是相对于接地网上的某个特定点测量的，而不是相对于一个不确定的“地”（无论我们在何处放置探头）。

虽然在理论上非常合理，但星型接地原理却很难在实际中实施。举例来说，如果系统采用星型接地设计，而且绘制的所有信号路径都能使信号间的干扰最小并可尽量避免高阻抗信号或接地路径的影响，实施问题便随之而来。在电路图中加入电源时，电源就会增加不良的接地路径，或者流入现有接地路径的电源电流相当大和/或具有高噪声，从而破坏信号传输。为电路的不同部分单独提供电源（因而具有单独的接地回路）通常可以避免这个问题。例如，在混合信号应用中，通常要将模拟电源和数字电源分开，同时将在星型点处相连的模拟地和数字地分开。

单独的模拟地和数字地

事实上，数字电路具有噪声。饱和逻辑（例如 TTL 和 CMOS）在开关过程中会短暂地从电源吸入大电流。但由于逻辑级的抗扰度可达数百毫伏以上，因而通常对电源去耦的要求不高。相反，模拟电路非常容易受噪声影响——包括在电源轨和接地轨上——因此，为了防止数字噪声影响模拟性能，应该把模拟电路和数字电路分开。这种分离涉及到接地回路和电源轨的分开，对混合信号系统而言可能比较麻烦。

然而，如果高精度混合信号系统要充分发挥性能，则必须具有单独的模拟地和数字地以及单独电源，这一点至关重要。事实上，虽然有些模拟电路采用+5 V 单电源供电运行，但并不意味着该电路可以与微处理器、动态 RAM、电扇或其他高电流设备共用相同+5 V 高噪声电源。模拟部分必须使用此类电源以最高性能运行，而不只是保持运行。这一差别必然要求我们对电源轨和接地接口给予高度注意。

请注意，系统中的模拟地和数字地必须在某个点相连，以便让信号都参考相同的电位。这个星点（也称为模拟/数字公共点）要精心选择，确保数字电流不会流入系统模拟部分的地。在电源处设置公共点通常比较便利。

许多 ADC 和 DAC 都有单独的“模拟地”(AGND)和“数字地”(DGND)引脚。在设备数据手册上，通常建议用户在器件封装处将这些引脚连在一起。这点似乎与要求在电源处连接模拟地和数字地的建议相冲突；如果系统具有多个转换器，这点似乎与要求在单点处连接模拟地和数字地的建议相冲突。

其实并不存在冲突。这些引脚的“模拟地”和“数字地”标记是指引脚所连接到的转换器内部部分，而不是引脚必须连接到的系统地。对于 ADC，这两个引脚通常应该连在一起，然后连接到系统的模拟地。由于转换器的模拟部分无法耐受数字电流经由焊线流至芯片时产生的压降，因此无法在 IC 封装内部将二者连接起来。但它们可以在外部连在一起。

图 1 显示了 ADC 的接地连接这一概念。这样的引脚接法会在一定程度上降低转换器的数字噪声抗扰度，降幅等于系统数字地和模拟地之间的共模噪声量。但是，由于数字噪声抗扰度经常在数百或数千毫伏水平，因此一般不太可能有问题。

模拟噪声抗扰度只会因转换器本身的外部数字电流流入模拟地而降低。这些电流应该保持很小，通过确保转换器输出没有高负载，可以最大程度地减小电流。实现这一目标的好方法是在 ADC 输出端使用低输入电流缓冲器，例如 CMOS 缓冲器—寄存器 IC。

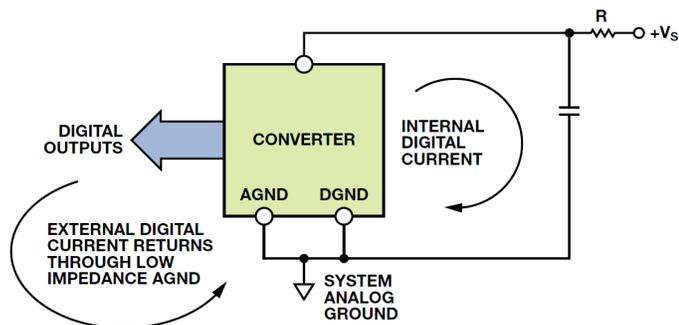


图 1. 数据转换器的模拟地(AGND)和数字地(DGND)引脚应返回到系统模拟地。

如果转换器的逻辑电源利用一个小电阻隔离，并且通过 0.1 μF (100 nF)电容去耦到模拟地，则转换器的所有快速边沿数字电流都将通过该电容流回地，而不会出现在外部地电路中。如果保持低阻抗模拟地，而能够充分保证模拟性能，那么外部数字地电流所产生的额外噪声基本上不会构成问题。

接地层

接地层的使用与上文讨论的星型接地系统相关。为了实施接地层，双面 PCB (或多层 PCB 的一层)的一面由连续铜制造，而且用作地。其理论基础是大量金属有可能最低的电阻。由于使用大型扁平导体，它也具有可能最低的电感。因而，它提供了最佳导电性能，包括最大程度地降低导电平面之间的杂散接地差异电压。

请注意，接地层概念还可以延伸，包括电压层。电压层提供类似于接地层的优势—极低阻抗的导体—但只用于一个(或多个)系统电源电压。因此，系统可能具有多个电压层以及接地层。

虽然接地层可以解决很多地阻抗问题，但它们并非灵丹妙药。即使是一片连续的铜箔，也会有残留电阻和电感；在特定情况下，这些就足以妨碍电路正常工作。设计人员应该注意不要在接地层注入很高电流，因为这样可能产生压降，从而干扰敏感电路。

保持低阻抗大面积接地层对目前所有模拟电路都很重要。接地层不仅用作去耦高频电流(源于快速数字逻辑)的低阻抗返回路径，还能将 EMI/RFI 辐射降至最低。由于接地层的屏蔽作用，电路受外部 EMI/RFI 的影响也会降低。

接地层还允许使用传输线路技术(微带线或带状线)传输高速数字或模拟信号，此类技术需要可控阻抗。

由于“总线(bus wire)”在大多数逻辑转换等效频率下具有阻抗，将其用作“地”完全不能接受。例如，#22 标准导线具有约 20 nH/in 的电感。由逻辑信号产生的压摆率为 10 mA/ns 的瞬态电流，流经 1 英寸该导线时将形成 200 mV 的无用压降：

$$\Delta v = L \frac{\Delta i}{\Delta t} = 20 \text{ nH} \times \frac{10 \text{ mA}}{\text{ns}} = 200 \text{ mV} \quad (1)$$

对于具有 2 V 峰峰值范围的信号，此压降会转化为大约 200 mV 或 10% 的误差(大约“3.5 位精度”)。即使在全数字电路中，该误差也会大幅降低逻辑噪声裕量。

图 2 显示数字返回电流调制模拟返回电流的情况(顶图)。接地返回导线电感和电阻由模拟和数字电路共享，这会造成相互影响，最终产生误差。

一个可能的解决方案是让数字返回电流路径直接流向 GND REF，如底图所示。这显示了“星型”或单点接地系统的基本概念。在包含多个高频返回路径的系统中很难实现真正的单点接地。因为各返回电流导线的物理长度将引入寄生电阻和电感，所以获得低阻抗高频接地就很困难。实际操作中，电流回路必须由大面积接地层组成，以便获取高频电流下的低阻抗。如果无低阻抗接地层，则几乎不可能避免上述共享阻抗，特别是在高频下。

所有集成电路接地引脚应直接焊接到低阻抗接地层，从而将串联电感和电阻降至最低。对于高速器件，不推荐使用传统 IC 插槽。即使是“小尺寸”插槽，额外电感和电容也可能引入无用的共享路径，从而破坏器件性能。如果插槽必须配合 DIP 封装使用，例如在制作原型时，个别“引脚插槽”或“笼式插座”是可以接受的。以上引脚插槽提供封盖和无封盖两种版本。由于使用弹簧加载金触点，确保了 IC 引脚具有良好的电气和机械连接。不过，反复插拔可能降低其性能。

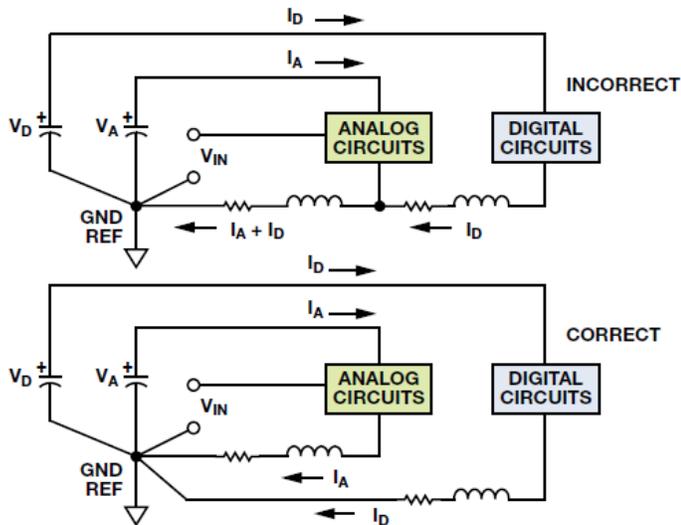


图 2. 流入模拟返回路径的数字电流产生误差电压。

应使用低电感、表面贴装陶瓷电容，将电源引脚直接去耦至接地层。如果必须使用通孔式陶瓷电容，则它们的引脚长度应该小于 1 mm。陶瓷电容应尽量靠近 IC 电源引脚。噪声过滤还可能需铁氧体磁珠。

这样的话，可以说“地”越多越好吗？接地层能解决许多地阻抗问题，但并不能全部解决。即使是一片连续的铜箔，也会有残留电阻和电感；在特定情况下，这些就足以妨碍电路正常工作。图 3 说明了这个问题，并给出了解决方法。

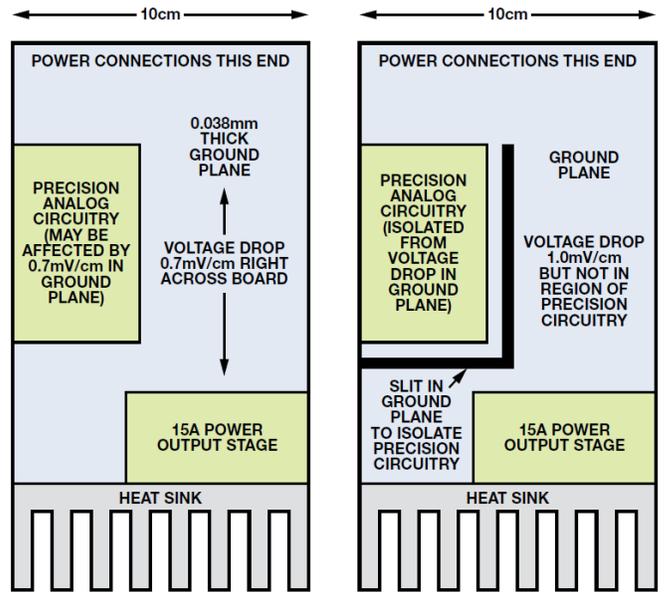


图 3. 割裂接地层可以改变电流流向，从而提高精度。

由于实际机械设计的原因，电源输入连接器在电路板的一端，而需要靠近散热器的电源输出部分则在另一端。电路板具有 100 mm 宽的接地层，还有电流为 15 A 的功率放大器。如果接地层厚 0.038 mm，15 A 的电流流过时会产生 68 $\mu\text{V}/\text{mm}$ 的压降。对于任何共用该 PCB 且以地为参考的精密模拟电路，这种压降都会引起严重问题。可以割裂接地层，让大电流不流入精密电路区域，而迫使它环绕割裂位置流动。这样可以防止接地问题（在这种情况下确实存在），不过该电流流过的接地层部分中电压梯度会提高。

在多个接地层系统中，请务必避免覆盖接地层，特别是模拟层和数字层。该问题将导致从一个层（可能是数字地）到另一个层的容性耦合。要记住，电容是由两个导体（两个接地层）组成的，中间用绝缘体（PC 板材料）隔离。

具有低数字电流的混合信号 IC 的接地和去耦

敏感的模拟元件，例如放大器和基准电压源，必须参考和去耦至模拟接地层。具有低数字电流的 ADC 和 DAC（和其他混合信号 IC）一般应视为模拟元件，同样接地并去耦至模拟接地层。乍看之下，这一要求似乎有些矛盾，因为转换器具有模拟和数字接口，且通常有指定为模拟接地 (AGND) 和数字接地 (DGND) 的引脚。图 4 有助于解释这一两难问题。

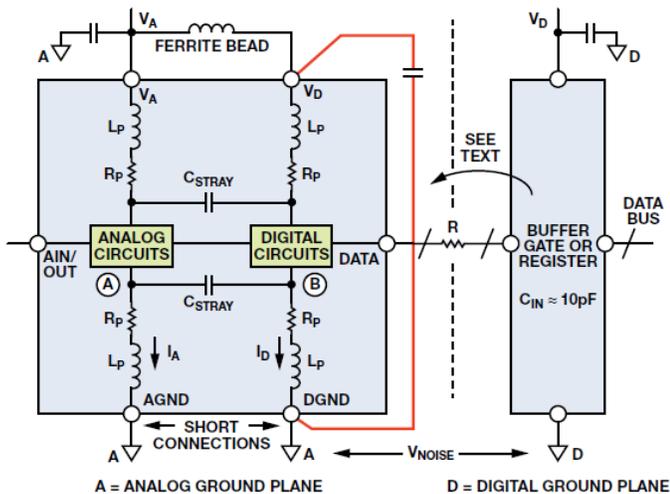


图 4. 具有低内部数字电流的混合信号 IC 的正确接地。

同时具有模拟和数字电路的 IC（例如 ADC 或 DAC）内部，接地通常保持独立，以免将数字信号耦合至模拟电路内。图 4 显示了一个简单的转换器模型。将芯片焊盘连接到封装引脚难免产生线焊电感和电阻，IC 设计人员对此是无能为力的，心中清楚即可。快速变化的数字电流在 B 点产生电压，且必然会通过杂散电容 C_{STRAY} 耦合至模拟电路的 A 点。此外，IC 封装的每对相邻引脚间约有 0.2 pF 的杂散电容，同样无法避免！IC 设计人员的任务是排除此影响让芯片正常工作。不过，为了防止进一步耦合，AGND 和 DGND 应通过最短的引线在外部连在一起，并接到模拟接地层。DGND 连接内的任何额外阻抗将在 B 点产生更多数字噪声；继而使更多数字噪声通过杂散电容耦合至模拟电路。请注意，将 DGND 连接到数字接地层会在 AGND 和 DGND 引脚两端施加 V_{NOISE} ，带来严重问题！

“DGND”名称表示此引脚连接到 IC 的数字地，但并不意味着此引脚必须连接到系统的数字地。可以更准确地将其称为 IC 的内部“数字回路”。

这种安排确实可能给模拟接地层带来少量数字噪声，但这些电流非常小，只要确保转换器输出不会驱动较大扇出（通常不会如此设计）就能降至最低。将转换器数字端口上的扇出降至最低（也意味着电流更低），还能让转换器逻辑转换波形少受振铃影响，尽可能减少数字开关电流，从而减少至转换器模拟端口的耦合。通过插入小型有损铁氧体磁珠，如图 4 所示，逻辑电源引脚 pin (V_D) 可进一步与模拟电源隔离。转换器的内部瞬态数字电流将在小环路内流动，从 V_D 经去耦电容到达 DGND（此路径用图中红线表示）。因此瞬态数字电流不会出现在外部模拟接地层上，而是局限于环路内。 V_D 引脚去耦电容应尽可能靠近转换器安装，以便将寄生电感降至最低。去耦电容应为低电感陶瓷型，通常介于 0.01 μF (10 nF) 和 0.1 μF (100 nF) 之间。

再强调一次，没有任何一种接地方案适用于所有应用。但是，通过了解各个选项和提前进行规则，可以最大程度地减少问题。

小心处理 ADC 数字输出

将数据缓冲器放置在转换器旁不失为好办法，可将数字输出与数据总线噪声隔离开（如图 4 所示）。数据缓冲器也有助于将转换器数字输出上的负载降至最低，同时提供数字输出与数据总线间的法拉第屏蔽（如图 5 所示）。虽然很多转换器具有三态输出/输入，但这些寄存器仍然在芯片上；它们使数据引脚信号能够耦合到敏感区域，因而隔离缓冲器依然是一种良好的设计方式。某些情况下，甚至需要在模拟接地层上紧靠转换器输出提供额外的数据缓冲器，以提供更好的隔离。

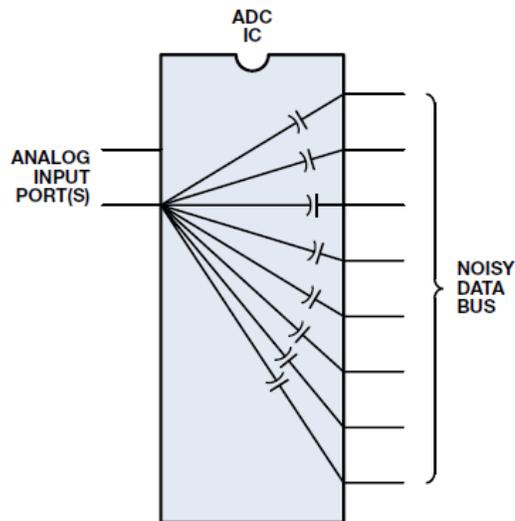


图 5. 在输出端使用缓冲器/锁存器的高速 ADC 具有对数字数据总线噪声的增强抗扰度。

ADC 输出与缓冲寄存器输入间的串联电阻（图 4 中标示为“R”）有助于将数字瞬态电流降至最低，这些电流可能影响转换器性能。电阻可将数字输出驱动器与缓冲寄存器输入的电容器隔离开。此外，由串联电阻和缓冲寄存器输入电容构成的 RC 网络用作低通滤波器，以减缓快速边沿。

典型 CMOS 栅极与 PCB 走线和通孔结合在一起，将产生约 10 pF 的负载。如果无隔离电阻，1 V/ns 的逻辑输出压摆率将产生 10 mA 的动态电流：

$$\Delta i = C \frac{\Delta v}{\Delta t} = 10 \text{ pF} \times \frac{1 \text{ V}}{\text{ns}} = 10 \text{ mA} \quad (2)$$

驱动 10 pF 的寄存器输入电容时，500 Ω 串联电阻可将瞬态输出电流降至最低，并产生约 11 ns 的上升和下降时间：

$$t_r = 2.2 \times t = 2.2 \times R \times C = 2.2 \times 500 \Omega \times 10 \text{ pF} = 11 \text{ ns} \quad (3)$$

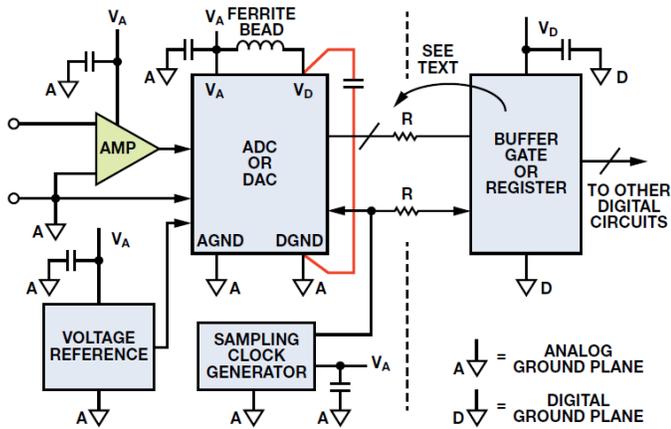


图 6. 接地和去耦点。

由于 TTL 寄存器具有较高输入电容，可明显增加动态开关电流，因此应避免使用。

缓冲寄存器和其他数字电路应接地并去耦至 PC 板的数字接地层。请注意，模拟与数字接地层间的任何噪声均可降低转换器数字接口上的噪声裕量。由于数字噪声抗扰度在数百或数千毫伏水平，因此一般不太可能有问题。模拟接地层噪声通常不高，但如果数字接地层上的噪声（相对于模拟接地层）超过数百毫伏，则应采取措施减小数字接地层阻抗，以将数字噪声裕量保持在可接受的水平。任何情况下，两个接地层之间的电压不得超过 300 mV，否则 IC 可能受损。

最好提供针对模拟电路和数字电路的独立电源。模拟电源应当用于为转换器供电。如果转换器具有指定的数字电源引脚 (V_D)，应采用独立模拟电源供电，或者如图 6 所示进行滤波。所有转换器电源引脚应去耦至模拟接地层，所有逻辑电路电源引脚应去耦至数字接地层，如图 6 所示。如果数字电源相对安静，则可以使用它为模拟电路供电，但要特别小心。

某些情况下，不可能将 V_D 连接到模拟电源。一些高速 IC 可能采用 +5 V 电源为其模拟电路供电，而采用 +3.3 V 或更小电源为数字接口供电，以便与外部逻辑接口。这种情况下，IC 的 +3.3 V 引脚应直接去耦至模拟接地层。另外建议将铁氧体磁珠与电源走线串联，以便将引脚连接到 +3.3 V 数字逻辑电源。

采样时钟产生电路应与模拟电路同样对待，也接地并深度去耦至模拟接地层。采样时钟上的相位噪声会降低系统信噪比 (SNR)；我们将稍后对此进行讨论。

采样时钟考量

在高性能采样数据系统中，应使用低相位噪声晶体振荡器产生 ADC (或 DAC) 采样时钟，因为采样时钟抖动会调制模拟输入/输出信号，并提高噪声和失真底。采样时钟发生器应与高噪声数字电路隔离开，同时接地并去耦至模拟接地层，与处理运算放大器和 ADC 一样。

采样时钟抖动对 ADC 信噪比 (SNR) 的影响可用以下公式 4 近似计算：

$$SNR = 20 \log_{10} \left[\frac{1}{2\pi f t_j} \right] \quad (4)$$

其中 f 为模拟输入频率，SNR 为完美无限分辨率 ADC 的 SNR，此时唯一的噪声源来自 rms 采样时钟抖动 t_j 。通过简单示例可知，如果 $t_j = 50$ ps (rms)， $f = 100$ kHz，则 SNR = 90 dB，相当于约 15 位的动态范围。

应注意，以上示例中的 t_j 实际上是外部时钟抖动和内部 ADC 时钟抖动（称为孔径抖动）的方和根 (rss) 值。不过，在大多数高性能 ADC 中，内部孔径抖动与采样时钟上的抖动相比可以忽略。

由于信噪比 (SNR) 降低主要是由于外部时钟抖动导致的，因而必须采取措施，使采样时钟尽量无噪声，仅具有可能最低的相位抖动。这就要求必须使用晶体振荡器。有多家制造商提供小型晶体振荡器，可产生低抖动（小于 5 ps rms）的 CMOS 兼容输出。

理想情况下，采样时钟晶体振荡器应参考分离接地系统中的模拟接地层。但是，系统限制可能导致这一点无法实现。许多情况下，采样时钟必须从数字接地层上产生的更高频率、多用途系统时钟获得，接着必须从数字接地层上的原点传递至模拟接地层上的 ADC。两层之间的接地噪声直接添加到时钟信号，并产生过度抖动。抖动可造成信噪比降低，还会产生干扰谐波。

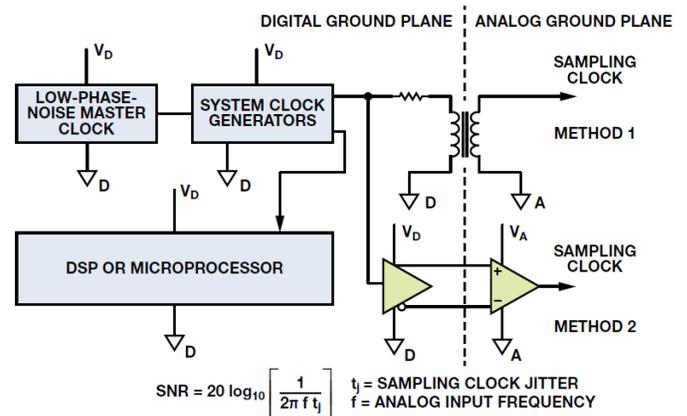


图 7. 从数模接地层进行采样时钟分配。

通过使用小型射频变压器（如图 7 所示）或高速差分驱动器和接收机，将采样时钟信号作为差分信号传输，可在一定程度上解决这个问题。如果使用后者，应该选择 ECL 来最大程度地减小相位抖动。在单个 +5 V 电源系统中，ECL 逻辑可在地面和 +5 V (PECL) 之间连接，输出端交流耦合到 ADC 采样时钟输入。不管是哪种情况，原始主系统时钟必须从低相位噪声晶体振荡器产生。

混合信号接地的困惑根源

大多数 ADC、DAC 和其他混合信号器件数据手册是针对单个 PCB 讨论接地，通常是制造商自己的评估板。将这些原理应用于多卡或多 ADC/DAC 系统时，就会让人感觉困惑茫然。通常建议将 PCB 接地层分为模拟层和数字层，并将转换器的 AGND 和 DGND 引脚连接在一起，并且在同一点连接模拟接地层和数字接地层，如图 8 所示。这样就基本在混合信号器件上产生了系统“星型”接地。所有高噪声数字电流通过数字电源流入数字接地层，再返回数字电源；与电路板敏感的模拟部分隔离开。系统星型接地结构出现在混合信号器件中模拟和数字接地层连接在一起的位置。

该方法一般用于具有单个 PCB 和单个 ADC/DAC 的简单系统，不适合多卡混合信号系统。在不同 PCB（甚至在相同 PCB 上）上具有数个 ADC 或 DAC 的系统中，模拟和数字接地层在多个点连接，使得建立接地环路成为可能，而单点“星型”接地系统则不可能。鉴于以上原因，此接地方法不适用于多卡系统，上述方法应当用于具有低数字电流的混合信号 IC。

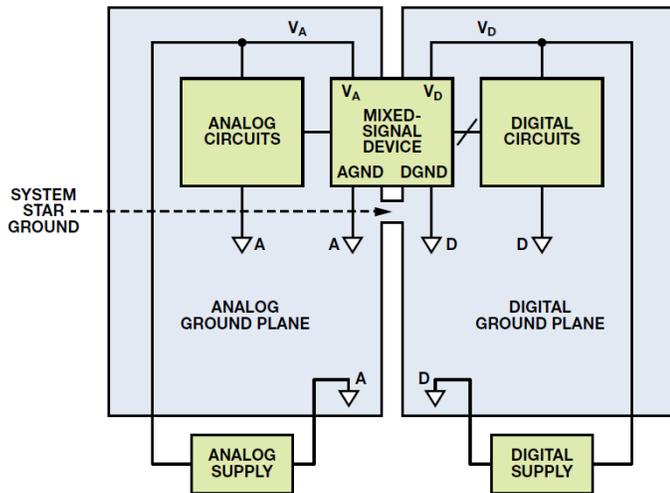


图 8. 混合信号 IC 接地：单个 PCB（典型评估/测试板）。

针对高频工作的接地

一般提倡电源和信号电流最好通过“接地层”返回，而且该层还可为转换器、基准电压源和其它子电路提供参考节点。但是，即便广泛使用接地层也不能保证交流电路具有高质量接地参考。

图 9 所示的简单电路采用两层印刷电路板制造，顶层上有一个交直流电流源，其一端连到过孔 1，另一端通过一条 U 形铜走线连到过孔 2。两个过孔均穿过电路板并连接到接地层。理想情况下，顶端连接器以及过孔 1 和过孔 2 之间的接地回路中的阻抗为零，电流源上的电压为零。

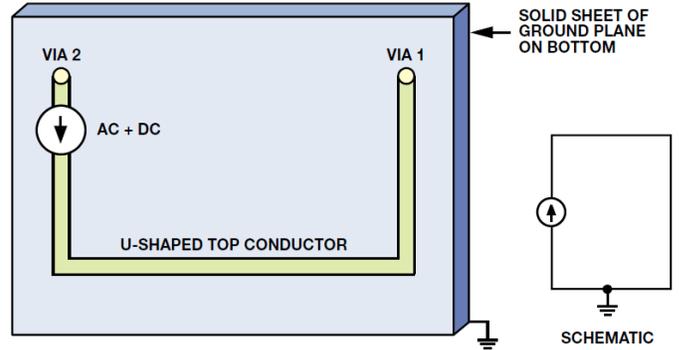


图 9. 电流源的原理图和布局，PCB 上布设 U 形走线，通过接地层返回。

这个简单原理图很难显示出内在的微妙之处，但了解电流如何在接地层中从过孔 1 流到过孔 2，将有助于我们看清实际问题所在，并找到消除高频布局接地噪声的方法。

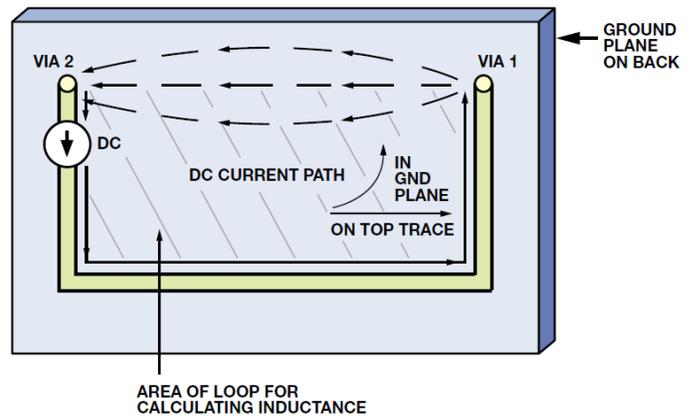


图 10. 图 9 所示 PCB 的直流电流的流动。

图 10 所示的直流电流的流动方式，选取了接地层中从过孔 1 至过孔 2 的电阻最小的路径。虽然会发生一些电流扩散，但基本上不会有电流实质性偏离这条路径。相反，交流电流则选取阻抗最小的路径，而这要取决于电感。

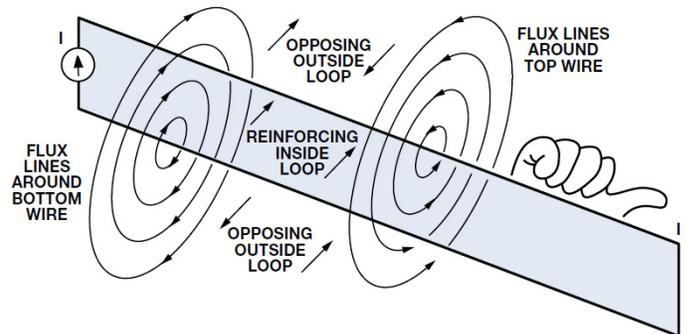


图 11. 磁力线和感性环路（右手法则）。

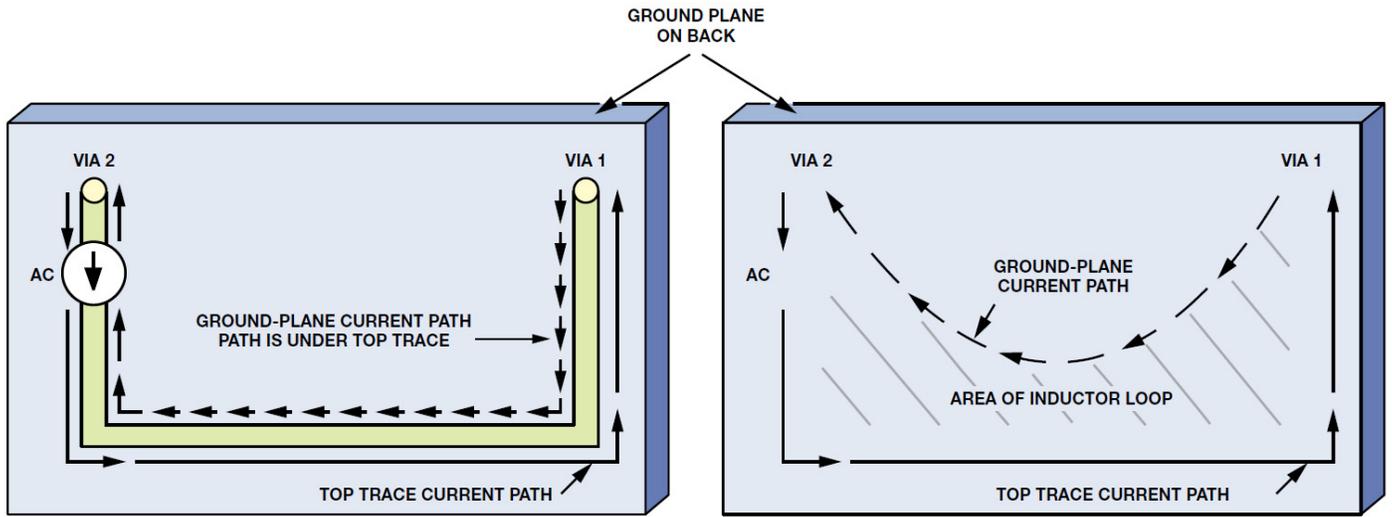


图 12. 接地层中不含电阻（左图）和含电阻（右图）的交流电流路径。

电感与电流环路的面积成比例，二者之间的关系可以用图 11 所示的右手法则和磁场来说明。环路之内，沿着环路所有部分流动的电流所产生的磁场相互增强。环路之外，不同部分所产生的磁场相互削弱。因此，磁场原则上被限制在环路以内。环路越大则电感越大，这意味着：对于给定的电流水平，它储存的磁能(Li^2)更多，阻抗更高($X_L = j\omega L$)，因而将在给定频率产生更大电压。

电流将在接地层中选取哪一条路径呢？自然是阻抗最低的路径。考虑 U 形表面引线和接地层所形成的环路，并忽略电阻，则高频交流电流将沿着阻抗最低，即所围面积最小的路径流动。

在图中所示的例子中，面积最小的环路显然是由 U 形顶部走线与其正下方的接地层部分所形成的环路。图 10 显示了直流电流路径，图 12 则显示了大多数交流电流在接地层中选取的路径，它所围成的面积最小，位于 U 形顶部走线正下方。实际应用中，接地层电阻会导致低中频电流流向直接返回路径与顶部导线正下方之间的某处。不过，即使频率低至 1 MHz 或 2 MHz，返回路径也是接近顶部走线的下方。

小心接地层割裂

如果导线下方的接地层上有割裂，接地层返回电流必须环绕裂缝流动。这会导致电路电感增加，而且电路也更容易受到外部场的影响。图 13 显示了这一情况，其中的导线 A 和导线 B 必须相互穿过。

当割裂是为了使两根垂直导线交叉时，如果通过飞线将第二根信号线跨接在第一根信号线和接地层上方，则效果更佳。此时，接地层用作两个信号线之间的天然屏蔽体，而由于集肤效应，两路地返回电流会在接地层的上下表面各自流动，互不干扰。

多层板能够同时支持信号线交叉和连续接地层，而无需考虑链路问题。虽然多层板价格较高，而且不如简单的双面电路板调试方便，但是屏蔽效果更好，信号路由更佳。相关原理仍然保持不变，但布局布线选项更多。

对于高性能混合信号电路而言，使用至少具有一个连续接地层的双面或多层 PCB 无疑是最成功的设计方法之一。通常，此类接地层的阻抗足够低，允许系统的模拟和数字部分共用一个接地层。但是，这一点能否实现，要取决于系统中的分辨率和带宽要求以及数字噪声量。

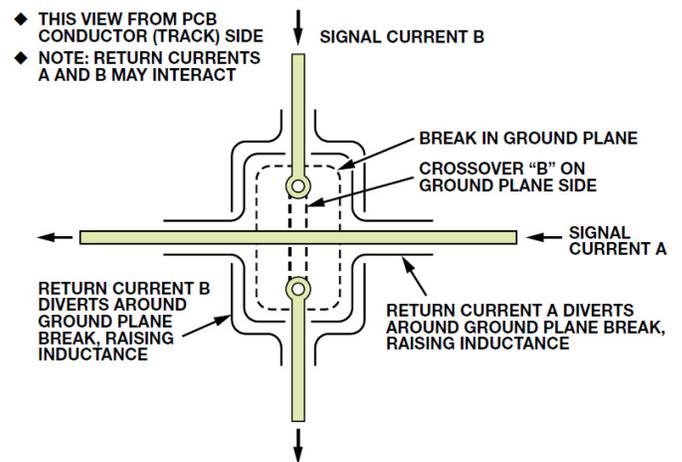


图 13. 接地层割裂导致电路电感增加，而且电路也更容易受到外部场的影响。

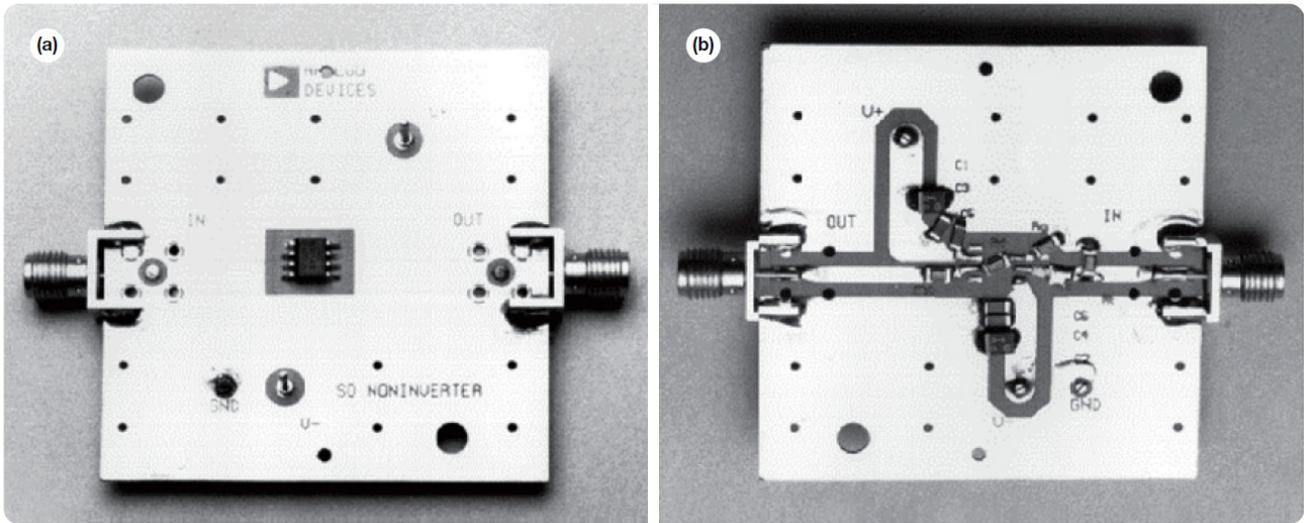


图 14. AD8001AR 评估板—俯视图(a)和仰视图(b)。

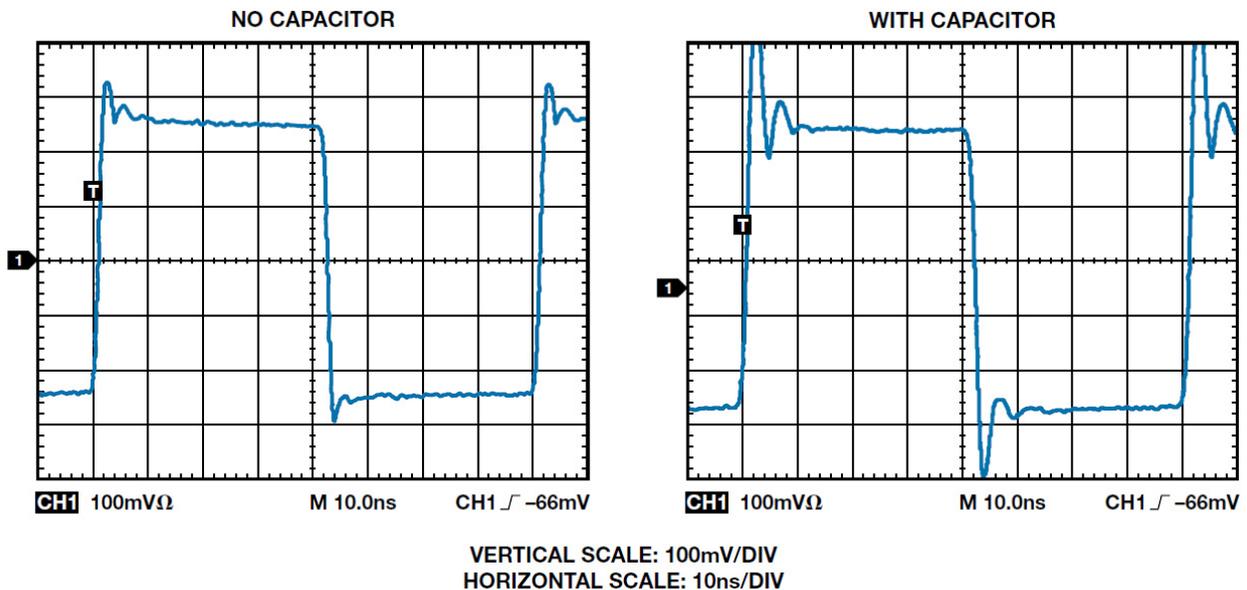


图 15. 10 pF 反相输入杂散电容对放大器(AD8001)脉冲响应的影响。

其他例子也可以说明这一点。高频电流反馈型放大器对其反相输入周围的电容非常敏感。接地层旁的输入走线可能具有能够导致问题的那一类电容。要记住，电容是由两个导体（走线和接地层）组成的，中间用绝缘体（板和可能的阻焊膜）隔离。在这一方面，接地层应与输入引脚分隔开，如图 14 所示，它是 AD8001 高速电流反馈型放大器的评估板。小电容对电流反馈型放大器的影响如图 15 所示。请注意输出上的响铃振荡。

接地总结

没有任何一种接地方法能始终保证最佳性能。本文根据所考虑的特定混合信号器件特性提出了几种可能的选项。在实施初始 PCB 布局时，提供尽可能多的选项会很有帮助。

PC 板必须至少有一层专用于接地层！初始电路板布局应提供非重叠的模拟和数字接地层，如果需要，应在数个位置提供焊盘和过孔，以便安装背对背肖特基二极管或铁氧体磁珠。此外，需要时可以使用跳线将模拟和数字接地层连接在一起。

一般而言，混合信号器件的 AGND 引脚应始终连接到模拟接地层。具有内部锁相环(PLL)的 DSP 是一个例外，例如 ADSP-21160 SHARC® 处理器。PLL 的接地引脚是标记的 AGND，但直接连接到 DSP 的数字接地层。

鸣谢

本文提供的材料由多名投稿人编辑，包括 James Bryant、Mike Byrne、Walt Jung、Walt Kester、Ray Stata 以及 ADI 公司的工程设计人员。

参考文献

Barrow, Jeff. "Avoiding Ground Problems in High Speed Circuits." *RF Design*, July 1989.

Barrow, Jeff. "Reducing Ground Bounce in DC-to-DC Converters—Some Grounding Essentials." *Analog Dialogue*. Vol. 41, No. 2, pp. 3-7, 2007.

Bleaney, B & B.I. *Electricity and Magnetism*. Oxford at the Clarendon Press, 1957: pp. 23, 24, and 52.

Brokaw, Paul. AN-202 Application Note. *An IC Amplifier User's Guide to Decoupling, Grounding and Making Things Go Right for a Change*. Analog Devices, 2000.

Brokaw, Paul and Jeff Barrow. AN-345 Application Note. *Grounding for Low- and High-Frequency Circuits*. Analog Devices.

The Data Conversion Handbook. Edited by Walt Kester. Newnes, 2005. ISBN 0-7506-7841-0.

Johnson, Howard W. and Martin Graham. *High-Speed Digital Design*. PTR Prentice Hall, 1993. ISBN: 0133957241.

Kester, Walt. "A Grounding Philosophy for Mixed-Signal Systems." *Electronic Design Analog Applications Issue*, June 23, 1997: pp. 29.

Kester, Walt and James Bryant. "Grounding in High Speed Systems." *High Speed Design Techniques*. Analog Devices, 1996: Chapter 7, pp. 7-27.

Linear Circuit Design Handbook. Edited by Hank Zumbahlen. Newnes, February 2008. ISBN 978-0-7506-8703-4.

Montrose, Mark. *EMC and the Printed Circuit Board*. IEEE Press, 1999 (IEEE Order Number PC5756).

Morrison, Ralph. *Grounding and Shielding Techniques*. 4th Edition. John Wiley & Sons, Inc., 1998. ISBN: 0471245186.

Morrison, Ralph. *Solving Interference Problems in Electronics*. John Wiley & Sons, Inc., 1995.

Motchenbacher, C. D. and J. A. Connelly. *Low Noise Electronic System Design*. John Wiley & Sons, Inc., 1993.

Op Amp Applications Handbook. Edited by Walt Jung. Newnes, 2005. ISBN 0-7506-7844-5.

Ott, Henry W. *Noise Reduction Techniques in Electronic Systems*. 2nd Edition. John Wiley & Sons, Inc., 1988. ISBN: 0-471-85068-3.

Rempfer, William C. "Get All the Fast ADC Bits You Pay For." *Electronic Design*. Special Analog Issue, June 24, 1996: pp. 44.

Rich, Alan. "Shielding and Guarding." *Analog Dialogue*. Vol. 17, No. 1, pp. 8, 1983.

Sauerwald, Mark. "Keeping Analog Signals Pure in a Hostile Digital World." *Electronic Design*. Special Analog Issue, June 24, 1996: pp. 57.

作者简介

Louis "Hank" Zumbahlen [hank.zumbahlen@analog.com] 1989年进入ADI公司，最初担任驻加州的现场应用工程师。在过去数年中，他还作为高级应用工程师，参与了培训和研讨会发展工作。此前，他在Signetics（飞利浦）担任类似职位，还曾在多家公司担任设计工程师，主要涉足测试和测量领域。Hank拥有伊利诺伊大学的电子工程学士学位(BSEE)。他是《线性电路设计手册》(Newnes-Elsevier 2008)的作者。

