

利用同步反相 SEPIC 拓扑结构实现高效率降压/升压转换器

作者: Matthew C. Kessler

许多市场对高效率同相 DC-DC 转换器的需求都在不断增长, 这些转换器能以降压或升压模式工作, 即将输入电压降低或提高至所需的稳定电压, 并且具有最低的成本和最少的元件数量。反相 SEPIC (单端初级电感转换器) 也称为 Zeta 转换器, 具有许多支持此功能的特性 (图 1)。对其工作原理及利用双通道同步开关控制器 ADP1877 的实施方案进行分析, 可以了解其在本应用中的有用特性。

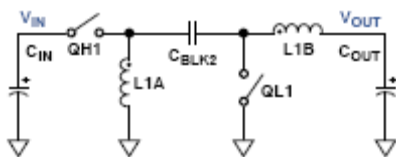


图 1. 反相 SEPIC 拓扑结构

初级开关QH1 和次级开关QL1 反相工作。在导通时间内, QH1 接通, QL1 断开。电流沿两条路径流动, 如图 2 所示。第一条路径是从输入端经过初级开关、能量传输电容(C_BLK2)、输出电感(L1B)和负载, 最终通过地流回输入端。第二条路径是从输入端经过初级开关、地基准电感(L1A)和地流回输入端。

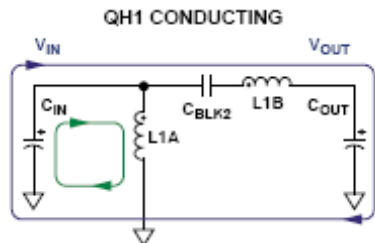


图 2. 电流流向图; QH1 闭合, QL1 断开。

在关断期间, 开关位置刚好相反。QL1 接通, QH1 断开。输入电容(C_IN)断开, 但电流继续经过电感沿两条路径流动, 如图 3 所示。第一条路径是从输出电感经过负载、地和次级开关流回输出电感。第二条路径是从地基准电感经过能量传输电容、次级开关流回地基准电感。

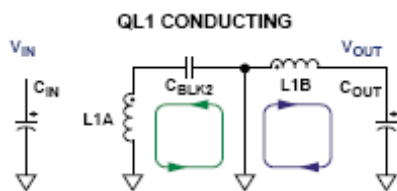


图 3. 能量传输图; QL1 闭合, QH1 断开。

应用电感伏秒平衡原理和电容电荷平衡原理, 可以求得方程式 1 所规定的均衡直流转换比, 其中 D 为转换器的占空比 (一个周期的导通时间部分)。

$$\frac{V_{OUT}}{V_{IN}} = \frac{D}{1-D} \quad (1)$$

上式表明: 如果占空比大于 0.5, 输出端将获得较高的调节电压 (升压); 如果占空比小于 0.5, 调节电压会较低 (降压)。此外还可分析得到其它相关结果: 在无损耗系统中, 能量传输电容(C_BLK2)上的稳态电压等于 V_{OUT} ; 流经输出电感(L1B)的直流电流值等于 I_{OUT} ; 流经地基准电感(L1A)的直流电流值等于 $I_{OUT} \times V_{OUT}/V_{IN}$ 。该能量传输电容还能提供 V_{IN} 至 V_{OUT} 的隔离。当存在输出短路风险时, 此特性很有用。

分析还显示, 反相 SEPIC 中的输出电流是连续的, 对于给定输出电容阻抗, 会产生较低的峰峰值输出电压纹波。这就允许使用较小、较便宜的输出电容; 相比之下, 在非连续输出电流拓扑结构中, 为了达到同样的纹波要求, 需要使用较大且昂贵的电容。

通常, 次级开关(QL1)是一个单向功率二极管, 它会限制这种拓扑结构的峰值效率。然而, 利用ADI公司双通道同步开关控制器 ADP1877 (见附录) 的一个通道, 并采用双向MOSFET作为次级开关, 可以设计一个“完全同步配置”的反相SEPIC。这样, 峰值效率将大大提高, 同时可以降低输出电流大于 1 A 的转换器尺寸和成本。

图 4 显示完全同步反相SEPIC配置的功率级, 它利用ADP1877 实现, 只需要三个小型、廉价的额外器件 (C_{BLK1} 、 D_{DRV} 和 R_{DRV}), 其功耗可以忽略不计。

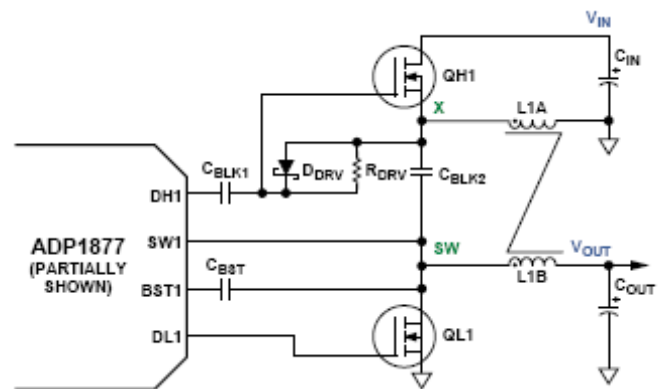


图 4. 同步反相 SEPIC 的功率级, 利用 ADP1877 的通道 1 实现

反相SEPIC的理想稳态波形如图 5 所示。通道 1 开关节点SW1 (见附录图A) 在 $V_{IN} + V_{OUT}$ (导通时间内) 和 0 V (关断时间内) 之间切换。将电荷泵电容 C_{BST} 连接到SW1, 以便在导通时间内将约为 $V_{IN} + V_{OUT} + 5$ V 的电压施加于高端内部驱动器的自举上电轨 (BST1 引脚) 和高端驱动器的输出 (DH1 引脚), 从而增强初级浮空N沟道MOSFET开关QH1。箝位二极管 D_{DRV} 确保稳态输出期间 C_{BLK1} 上的电压约为 $V_{OUT} + V_{FWD}(D_{DRV})$, 该电压参考ADP1877 的DH1 引脚到QH1 栅极的电压。在关断时间内, 当X节点电压约为 $-V_{OUT}$ 时, C_{BLK1} 上的电压阻止初级开关产生高于其阈值的栅极-源极电压。

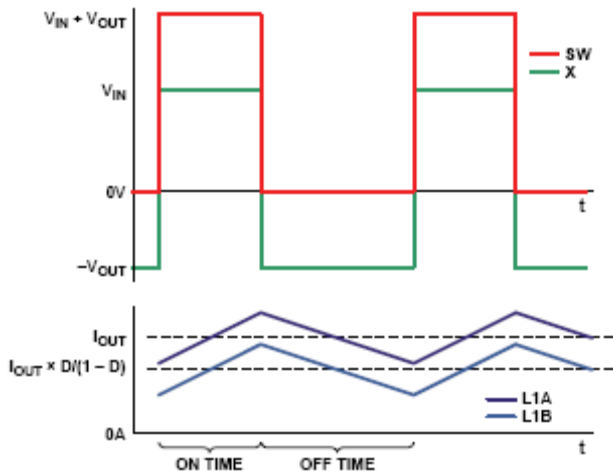


图 5. 同步反相 SEPIC 的理想波形（忽略死区）

ADP1877 具有脉冲跳跃模式，使能时，可以降低开关速率，只向输出端提供足以保持输出电压稳定的能量，从而提高小负载时的效率，大大降低栅极电荷和开关损耗。在同步反相 SEPIC 和同步降压拓扑结构中均可以使能此模式。图 4 所示 DC-DC 转换电路只需要双通道 ADP1877 的一个通道，因此另一通道可以用于任一种拓扑结构。

电感耦合和能量传输电容

图 4 中，功率电感 L1A 和 L1B 显示为彼此耦合。在这种拓扑结构中，耦合电感的目的是减少输出电压和电感电流的纹波，并且提高最大可能闭环带宽，下一部分将对此加以说明。

虽然这些电感互相耦合，但并不希望耦合太紧，以至于将一个绕组的大量能量通过铁芯传输至另一个绕组。为了避免这一点，必须求得耦合电感的泄漏电感(L_{LKG})，并选择适当的能量传输电容(C_{BLK2})，使得其复数阻抗的幅值为泄漏电感与单个绕组电阻(DCR)的复串联阻抗的 1/10，如方程式 2、3、4 所示。按照这一关系设计电路，可使耦合铁芯所传输的能量降至最低。泄漏电感可以根据耦合电感数据手册中提供的耦合系数计算。

$$|Z_{C_{BLK2}}| = \sqrt{ESR^2 + \left(\frac{1}{2\pi C_{BLK2} f_{SW}}\right)^2} \quad (2)$$

$$|Z_{L_{LKG}}| = \sqrt{DCR^2 + (2\pi L_{LKG} f_{SW})^2} \quad (3)$$

$$|Z_{C_{BLK2}}| \leq \frac{|Z_{L_{LKG}}|}{10} \quad (4)$$

匝数比最好为 1:1，因为对于给定水平的输出电压纹波，此时各绕组只需要分立电感所需电感的一半¹。可以使用 1:1 以外的匝数比，但其结果将无法用本文中的方程式准确描述。

小信号分析和环路补偿

反相 SEPIC 转换器的完整小信号分析超出了本文的范围，不过，如果遵照下述原则，完整分析将更具学术意义。

首先必须计算谐振频率(f_{RES})时的许多复数阻抗交互，以便求得目标交越频率的上限。当电感解耦时，此频率降低，导致最大可能闭环带宽显著降低。

$$f_{RES} = \frac{1}{2\pi \sqrt{2L_{LKG} C_{BLK2}}} \quad (5)$$

在此频率时，可能有 300°或更大的“高Q”相位迟滞。为了避免转换器在整个负载范围内相位裕量偏小的问题，目标交越频率(f_{UNITY})应为 f_{RES} 的 1/10。此谐振的阻尼主要取决于输出负载电阻和耦合电感的直流电阻。在较小程度上，阻尼还取决于能量传输电容的等效串联电阻(ESR)和功率MOSFET (QH1和QL1) 的导通电阻。因此，当输出负载电阻改变时，闭环传递函数的特征在该频率时发生明显变化也不足为奇。

耦合系数通常不是一个能够精确控制的参数，因此应将目标交越频率设置为比 f_{RES} 低 10 倍的值（假设 f_{RES} 小于开关频率 f_{SW} ）。当 f_{UNITY} 设置适当时，可以使用标准“II型”补偿——两个极点和一个零点。

$$f_{UNITY} = \text{Minimum}\left(\frac{f_{RES}}{10}, \frac{f_{SW}}{10}\right) \quad (6)$$

图 6 显示同步反相 SEPIC 降压/升压拓扑结构中 ADP1877 反馈环路的等效电路。上框包含功率级和电流环路，下框包含电压反馈环路和补偿电路。

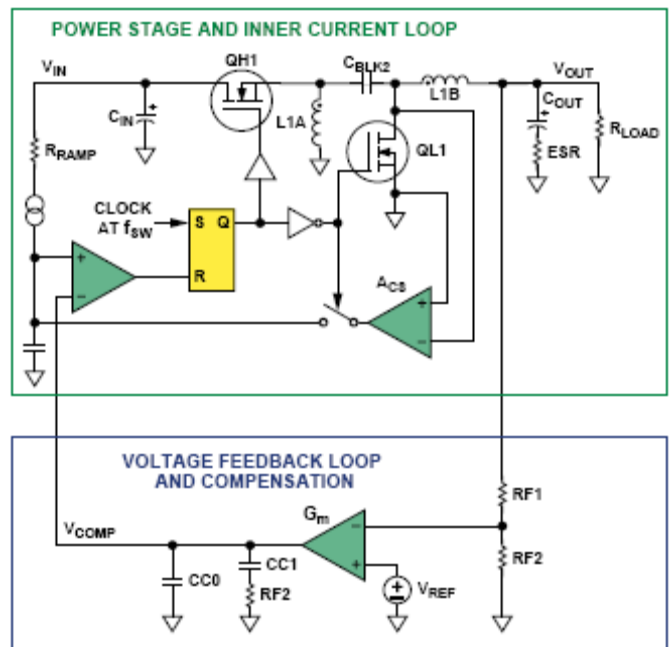


图 6. 同步反相 SEPIC 拓扑结构中 ADP1877 具有内部电流检测 I 环路的功率级和补偿方案

下框中的补偿元件值可以通过下式计算：

$$R_C = \frac{2\pi f_{UNITY} C_{OUT} (ESR + R_{LOAD})^2 V_{OUT}}{G_m G_{CS} R_{LOAD}^2 V_{REF}} \quad (7)$$

$$C_{C1} = \frac{C_{OUT} (R_{LOAD} + ESR)}{R_C} \quad (8)$$

$$C_{C0} = \frac{C_{C1} ESR}{R_{LOAD}} \quad (9)$$

转换器的跨导 G_{CS} 利用下式计算：

$$G_{CS} = \frac{1}{A_{CS} R_{DS(ON)MIN} \left(1 + \frac{D}{1-D}\right)} \quad (10)$$

$$= \frac{1}{A_{CS} R_{DS(ON)MIN} \left(\frac{1}{1-D}\right)} = \frac{\Delta I_{OUT}}{\Delta V_{COMP}}$$

C_{OUT} 是转换器的输出电容。ESR是该输出电容的等效串联电阻。 R_{LOAD} 是最小输出负载电阻。 A_{CS} 是电流检测增益，对于ADP1877，它可以在 3 V/V 至 24 V/V 范围内以离散步进选择。 G_m 是误差放大器的跨导，ADP1877 为 550 μS 。 V_{REF} 是与误差放大器的正输入端相连的基准电压，ADP1877 为 0.6 V。

G_{CS} 是与频率无关的增益项，随增强后的次级开关电阻 $R_{DS(ON)}$ 而变化。最高交越频率预期出现在此电阻和占空比 D 最低时。

为确保在最大输出电流时不会达到补偿箝位电压，所选的电流检测增益(A_{CS})最高值应满足以下条件：

$$2.25 \text{ V} \geq A_{CS} R_{DS(ON)MAX} \left(I_{OUT} \left(\frac{1}{1-D} \right) - \frac{\Delta I_L}{1.2} \right) + 0.75 \text{ V} \quad (11)$$

其中 ΔI_L 为峰峰值电感纹波电流。

$$I_L = \frac{V_{IN} D}{2 L_{LB} f_{SW}} \quad (12)$$

如果斜率补偿过多，此处的方程式精确度将会下降：直流增益将降低，输出滤波器将引起主极点的频率位置提高。

斜率补偿

对于利用ADP1877实现的同步反相SEPIC，必须考虑电流模式控制器²中的次谐波振荡现象。

按照下式设置 R_{RAMP} ，可以将采样极点的品质因素设为 1，从而防止发生次谐波振荡³（假设 f_{UNITY} 设置适当）。

$$R_{RAMP} = \frac{(V_{INMIN} - 0.2) L_1 (1-D)}{5 A_{CS} R_{DS(ON)MAX} \times 6 \text{ pF} \times V_{INMIN} \left(\frac{1}{\pi} + 0.5 \right)} \quad (13)$$

值得注意的是，随着增强后的次级开关电阻 $R_{DS(ON)}$ 降低，采样极点的Q也会下降。如果这一因素与其它相关容差一起导致Q小于 0.25，则应进行仿真，确保在考虑容差的情况下，转换器不会有过多斜率补偿，并且不是太偏向于电压模式。 R_{RAMP} 的值必须使得ADP1877 RAMP引脚的电流在 6 μA 至 200 μA 范围内，其计算公式 14 如下：

$$I_{RAMP} = \frac{V_{IN} - 0.2}{R_{RAMP}} \quad (14)$$

功率器件应力

从图 2 和图 3 的电流流向图可以看出，功率 MOSFET 在接通后要承载电感电流总和。因此，流经两个开关的电流直流分量为：

$$I_{DC} = I_{OUT} \left(1 + \frac{D}{1-D} \right) = I_{OUT} \frac{1}{1-D} \quad (15)$$

如果电感的耦合比为 1:1，则流经两个开关的电流交流分量为：

$$I_{AC} = \frac{V_{IN} D}{L_{LA} f_{SW}} \quad (16)$$

知道这些值后，可以很快算出流经各开关的电流均方根值。这些值与所选MOSFET的 $R_{DS(ON)MAX}$ 共同确保MOSFET具有热稳定性，同时功耗足够低，以满足效率要求。

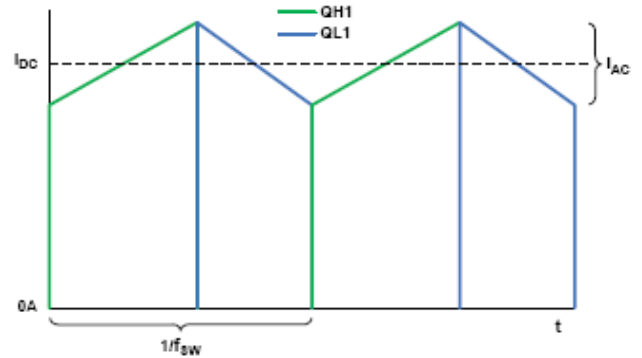


图 7. 同步反相 SEPIC 的理想电流波形（忽略死区）

精确计算初级开关的开关损耗超出了本文的范围，但应注意，从高阻态变为低阻态时，MOSFET 上的电压摆幅约为 $V_{IN} + V_{OUT}$ 至 0 V，流经开关的电流摆幅为 0 A 至 $I_{OUT}[1/(1-D)]$ 。由于摆幅如此之高，开关损耗可能是主要损耗，这是挑选MOSFET时应注意的一点；对于MOSFET，反向传输电容(C_{RSS})与 $R_{DS(ON)}$ 成反比。

初级开关和次级开关的漏极-源极击穿电压(BV_{DSS})均须大于输入电压与输出电压之和（见图 5）。

峰峰值输出电压纹波(ΔV_{RIPPLE})可通过下式近似计算：

$$\Delta V_{RIPPLE} \approx \frac{\Delta I_L}{8 f_{SW} C_{OUT}} + \Delta I_L \times ESR \quad (17)$$

表 1. 功率器件

标志符	产品型号	制造厂商	值	封装	备注
QH1/QL1	FDS6572A	Fairchild Semiconductor	20 BV _{DD} S	SO8	功率 MOSFET/6 mΩ (最大值, 4.5 V _{gs} , 25°C T _j)
L1A/B	PCA20EFD-U10S002	TDK	每个绕组 3.4 μH	30mm × 22mm × 12mm	1:1:1:1:1:1 耦合电感/铁氧体/每个绕组 35.8 mΩ (最大值) DCR

流经输出电容的电流均方根值($I_{rms} C_{OUT}$)为:

$$I_{rms} C_{OUT} \approx \frac{\Delta I_L}{2\sqrt{3}} \quad (18)$$

方程式 12 所表示的峰峰值电感电流(ΔI_L)取决于输入电压, 因此必须确保当此参数改变时, 输出电压纹波不会超过规定值, 并且流经输出电容的均方根电流不会超过其额定值。

对于利用 ADP1877 实现的同步反向 SEPIC, 输入电压与输出电压之和不得超过 14.5 V, 因为电荷泵电容与开关节点相连, 当初级开关接通时, 其电压达到 $V_{IN} + V_{OUT}$ 。

实验室结果

图 8 显示 5 V 输出、3 V 和 5.5 V 输入时同步反向 SEPIC 的功耗与负载电流的关系。对于需要在 3.3 V 和 5.0 V 输入轨之间切换的应用, 或者当时调整输入电压以优化系统效率时, 这是常见情况。采用 1 A 至 2 A 负载时, 无论输入电压高于或低于输出电压, 转换器的效率均超过 90%。

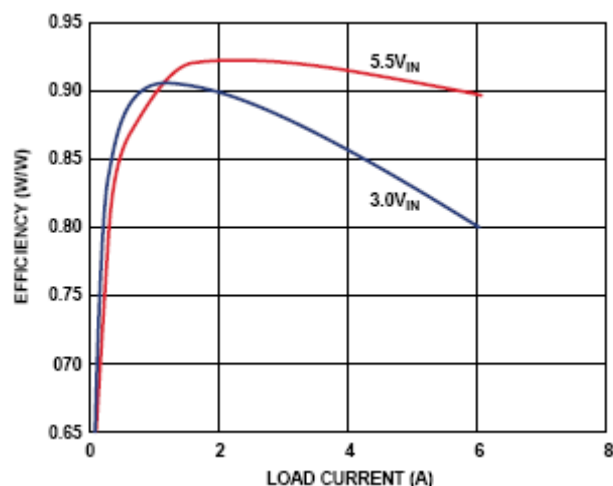


图 8. 效率与负载电流的关系

与图 8 相关的功率器件材料清单见表 1, 其中仅采用常见的现成器件。一项具可比性的异步设计采用一个具有低正向压降的业界先进肖特基二极管代替 QL1, 在以上两种输入电压下, 其满载时的效率近 10%。此外, 异步设计尺寸更大、成本更高, 而且可能需要昂贵的散热器。

结束语

许多市场对输出电压高于或低于输入电压 (升压/降压) 的高效率同相转换器的需求都在不断增长。ADI 公司的双通道同步开关控制器 ADP1877 允许用低损耗 MOSFET 代替常用于功率级的高损耗功率二极管, 从而提高效率, 降低成本, 缩小电路尺寸, 使系统达到苛刻的能耗要求。只要遵循几项原则就能快速算出可靠补偿所需的元件值, 并且利用常见的现成器件便可实现高效率。

参考文献

- Barrow, Jeff. "Reducing Ground Bounce in DC-to-DC Converters—Some Grounding Essentials." Analog Dialogue. 41-2, pp. 2-7. 2007.
- Ćuk, Slobodan and R.D. Middlebrook. "Coupled-Inductor and Other Extensions of a New Optimum Topology Switching DC-DC Converter." *Advances in Switched-Mode Power Conversion*. Volumes I & II. Irvine, CA: TESLACO. 1983.
- Erickson, Robert and Dragan Maksimović. *Fundamentals of Power Electronics*. Chapter 12, Section 1. Norwell, MA: Kluwer Academic Publishers. 2001.
- Ridley, Raymond. "A New Small-Signal Model for Current-Mode Control." PhD Dissertation. Virginia Polytechnic Institute and State University. November 1990.

关于作者

Matthew C. Kessler [matt.kessler@analog.com]

是位于美国科罗拉多州科林斯堡的客户应用组电源管理产品应用工程师, 负责为广泛的电源管理产品提供技术支持。Matthew 于 2005 年获得德克萨斯大学达拉斯分校电子工程学士学位。他于 2007 年加入 ADI 公司。



附录

ADP1877是一款Flex-Mode™（ADI公司专有架构）双通道开关控制器，如图A所示，其集成驱动器可驱动N沟道同步功率MOSFET。两路PWM输出相移 180°，可降低输入均方根电流，从而使所需的输入电容最小。

ADP1877 内置升压二极管，因而整体元件数量和系统成本得以减少。在小负载时，可以将其设置为高效率脉冲跳跃工作模式，也可以是 PWM 连续传导工作模式。

ADP1877 内置外部可调软启动功能、输出过压保护、外部可调电流限制、电源良好指示，并提供 200 kHz 至 1.5 MHz 的可编程振荡器频率。工作温度范围为 -40°C 至+85°C 时，输出电压精度为±0.85%；工作温度范围为 -40°C 至+125°C 结温范围时，输出电压精度为±1.5%。其工作电源电压为 2.75 V 至 14.5 V，采用 32 引脚、5 mm × 5 mm LFCSP 封装。

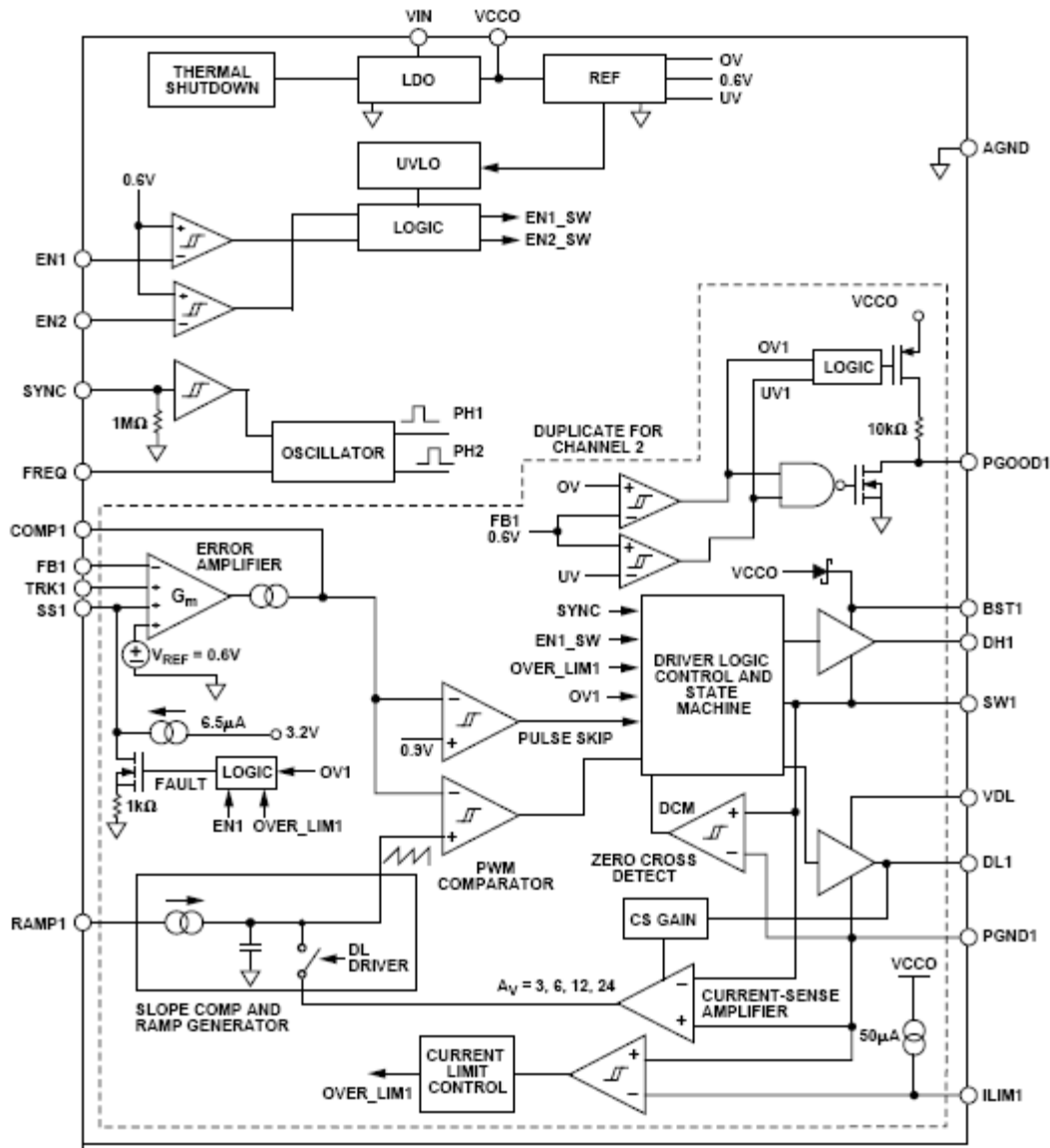


图 A. ADP1877 示意框图。仅显示通道 1；通道 2 与之完全相同，带后缀 2。