

学子专区(StudentZone)—2017年5月

接地和去耦：现在就开始学习基础知识，为日后铺平道路！第三部分：去耦续篇

作者：Walt Kester

共享    

在上篇文章中，我们介绍了去耦的基础知识及其在实现集成电路(IC)期望性能方面的重要性。在本篇文章中，我们将详细探讨用于去耦的基本电路元件——电容。

实际电容及其寄生效应

图1所示为实际电容的模型。电阻 R_p 代表绝缘电阻或泄漏，与标称电容(C)并联。第二个电阻 R_s （等效串联电阻或ESR）与电容串联，代表电容引脚和电容板的电阻。

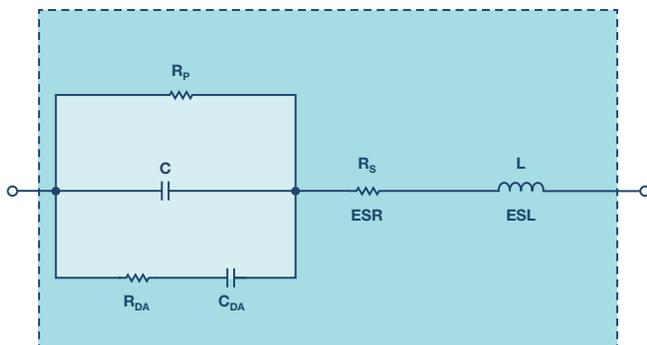


图1. 实际电容等效电路包括寄生元件

电感L（等效串联电感或ESL）代表引脚和电容板的电感。最后，电阻 R_{DA} 和电容 C_{DA} 一起构成称为电介质吸收(DA)现象的简化模型。在采样保持放大器(SHA)之类精密应用中使用电容时，DA可造成误差。但在去耦应用中，电容的DA不重要，予以忽略。

图2显示了不同类型的100 μF电容的频率响应。理论上，理想电容的阻抗随着频率提高而单调降低。实际操作中，ESR使阻抗曲线变得平坦。随着频率不断升高，阻抗由于电容的ESL而开始上升。“膝部”的位置和宽度将随着电容结构、电介质和电容值而变化。因此，在去耦应用中，常常可以看到较大值电容与较小值电容并联。较小值电容通常具有较低ESL，在较高频率时仍然像一个电容。电容并联组合覆盖的频率范围比组合中任何一个电容的频率范围都要宽。

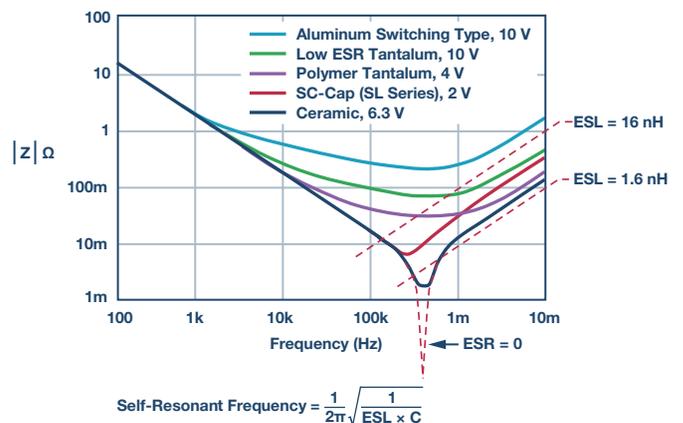


图2. 各种100μF电容的阻抗

电容自谐振频率就是电容电抗($1/\omega C$)等于ESL电抗(ωESL)时的频率。对这一谐振频率等式求解得到下式：

$$f_{\text{RESONANCE}} = \frac{1}{2\pi\sqrt{ESL \times C}}$$

所有电容的阻抗曲线都与图示的大致形状类似。虽然实际曲线图有所不同，但大致形状相同。最小阻抗由ESR决定，高频区域由ESL决定，而后者在很大程度上受封装样式影响。

去耦电容类型

电解电容系列具有宽值范围、高电容体积比和广泛的工作电压，是极佳的高性价比低频滤波器元件。该系列包括通用铝电解开关类型，提供10V以下直至约500V的工作电压，大小为1 μF至数千μF不等（以及成比例的外形尺寸）。

所有电解电容均有极性，因此无法耐受约1 V以上的反向偏置电压而不造成损坏。此类元件具有相对较高的漏电流（可能为数十μA），具体漏电流在很大程度上取决于特定系列的设计、电气尺寸、额定电压及施加电压。不过，漏电流不可能是基本去耦应用的主要因素。

大多数去耦应用不建议使用通用铝电解电容。不过，铝电解电容有一个子集是“开关型”，其设计并规定用于在最高达数百kHz的频率下处理高脉冲电流，且损耗很低。此类电容在高频滤波应用中可直接媲美固态钽电容，且具有更广泛的可用值。

固态钽电解电容一般限于50 V或更低的电压，电容为500 μF 或更低。给定大小时，钽电容比铝开关电解电容呈现出更高的电容体积比，且具有更高的频率范围和更低的ESR。钽电容一般也比铝电解电容更昂贵，对于浪涌和纹波电流，必须谨慎处理应用。

最近，使用有机或聚合物电解质的高性能铝电解电容也已问世。这些电容系列拥有略低于其他电解类型的ESR和更高的频率范围，另外低温ESR下降也最小。此类元件使用铝聚合物、特殊聚合物、POSCAP™和OS-CON™等标签。

陶瓷或多层陶瓷(MLCC)具有尺寸紧凑和低损耗特性，通常是数MHz以上的首选电容材料。不过，陶瓷电介质特性相差很大。对于电源去耦应用，一些类型优于其他类型。采用X7R的高K电介质配方时，陶瓷电介质电容的值最高可达数 μF 。Z5U和Y5V型的额定电压最高可达200 V。X7R型在直流偏置电压下的电容变化小于Z5U和Y5V型，因此是较佳选择。

NPO（也称为COG）型使用介电常数较低的配方，具有标称零TC和低电压系数（不同于较不稳定的高K型）。NPO型的可用值限于0.1 μF 或更低，0.01 μF 是更实用的上限值。

多层陶瓷(MLCC)表面贴装电容的极低电感设计可提供近乎最优的RF旁路，因此越来越频繁地用于10 MHz或更高频率下的旁路和滤波。更小的陶瓷芯片电容工作频率范围可达1 GHz。对于高频应用中的这些及其他电容，通过选择自谐振频率高于最高目标频率的电容，可确保有用值符合需要。

薄膜型电容一般使用绕线，增加了电感，因此不适合电源去耦应用。此类型更常用于音频应用，此时需要极低电容和电压系数。

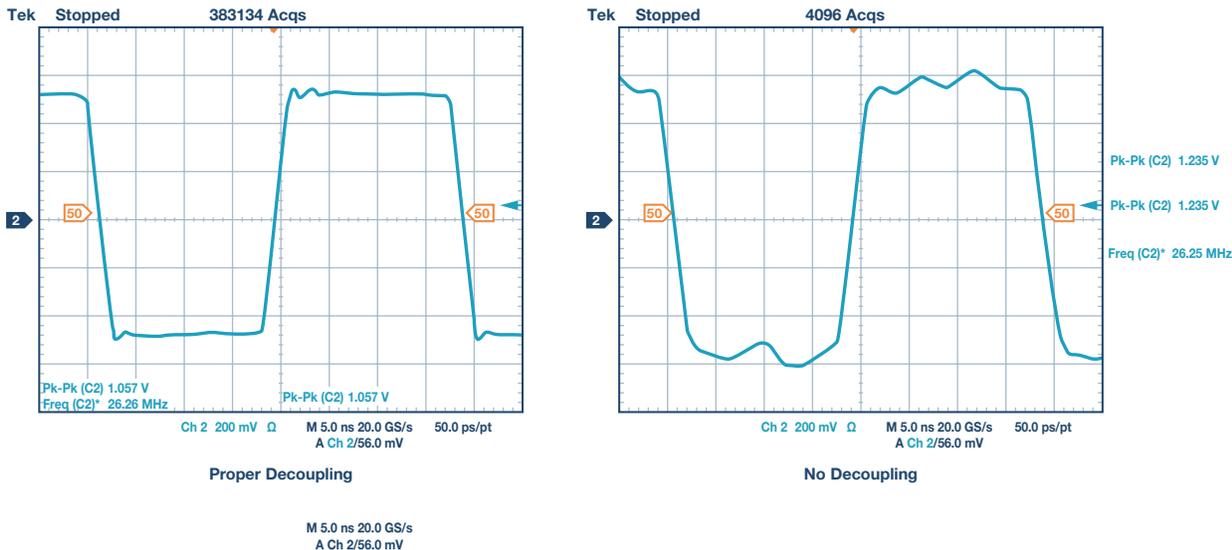


图3. 去耦对AD8000运算放大器性能的影响

最后，务必选择击穿电压至少为电源电压两倍的电容，否则当电路上电时，可能会发生意外。

不良去耦技术对性能的影响

图3显示1.5 GHz高速电流反馈运算放大器AD8000的脉冲响应。两幅示波器图均是利用评估板获得。左侧曲线显示正确去耦的响应，右侧曲线显示同一电路板上去除去耦电容后的响应。两种情况中，输出负载均为100 Ω 。

示波器图说明，没有去耦时，输出表现出不良响铃振荡，这主要是因为电源电压随负载电流变化而偏移。

现在考察正确及错误去耦对14位、105 MSPS/125 MSPS高性能数据转换器ADC AD9445的影响。虽然转换器通常无PSRR规格，但正确去耦仍非常重要。图4显示正确设计电路的FFT输出。这种情况下，我们使用AD9445的评估板——注意频谱很干净。

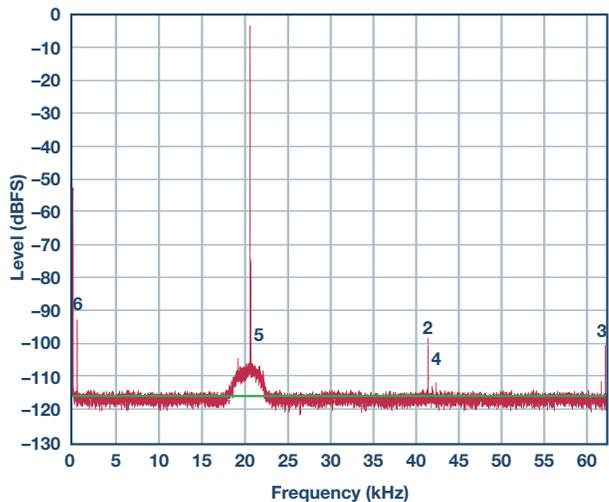


图4. 正确去耦时AD9445评估板的FFT图

图7显示从数字电源去除去耦电容的结果。注意杂散同样增加了。另外应注意杂散的频率分布。这些杂散不仅出现在高频下，而且跨越整个频谱。本实验使用转换器的LVDS版本进行。可以想象，CMOS版本会更糟糕，因为LVDS的噪声低于饱和CMOS逻辑。

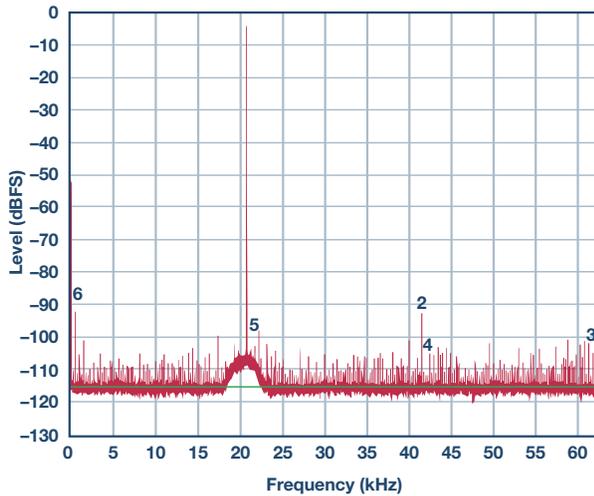


图7. 从数字电源去除去耦电容后AD9445评估板的SNR图

这些实验表明，除去大多数或所有去耦电容会导致性能降低，但要分析或预测除去一两个去耦电容的影响是很困难的。当拿不定主意时，最佳策略是放上电容。虽然成本略有增加，但消除了性能降低的风险，这样做通常是值得的。

去耦总结

关于去耦的内容还有很多，但我们希望大家对其在实现系统期望性能方面所起的作用有了一个大致了解。这些文章中的基本纲要说明了关键概念，欲了解详细信息，请参阅其他参考资料。另一个宝贵的指导资源是制造商的评估板，大部分IC产品都有相应的评估板。很多情况下，您只需下载原理图、布局和元件列表，然后了解关于去耦做了些什么，而不必实际购买评估板。您可以确信，这些评估板的设计非常用心，旨在实现待评估IC的最佳性能。

Walt Kester [walt.kester@analog.com]是ADI公司企业应用工程师。在多年任职期间，他设计、开发了高速ADC、DAC、SHA、运算放大器和模拟多路复用器并提供应用支持。他撰写了许多论文和技术文章，并为ADI公司全球技术研讨会系列编撰了11本重要应用书籍；涉及的主题包括运算放大器、数据转换、电源管理、传感器信号调理、混合信号电路以及实用模拟电路设计技巧。他的最新著作《数据转换手册》(Newnes)近1000页，是一本关于数据转换的综合指南。Walt拥有北卡罗来纳州立大学电气工程学士学位(BSEE)和杜克大学电气工程硕士学位(MSEE)。



Walt Kester

现在我们用图8所示的传统电路测验结束本文。

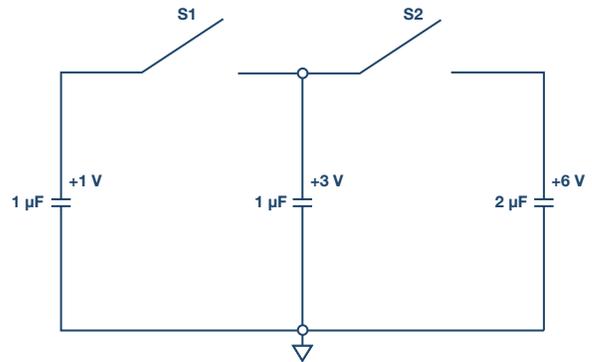


图8. 测验：三个理想电容充电到所示电压。先闭合S1，再闭合S2之后，该组电容的最终电压是多少？如果开关闭合的先后顺序相反，该组电容的最终电压是多少？

参考文献

- 应用笔记AN-1142。高速ADC PCB布局布线技巧。ADI公司，2012年1月。
- Ardizzone, John。“高速印刷电路板布局实用指南”。模拟对话，第39卷，2005年9月。
- 指南MT-031。“实现数据转换器的接地并解开AGND和DGND的迷团”。ADI公司，2009年。
- 指南MT-100。“试验板和原型制作技术”。ADI公司，2009年。
- 指南MT-101。“去耦技术”。ADI公司，2009年。
- Hank Zumbahlen。“良好接地指导原则”。模拟对话，第46卷，2012年6月。