

非常见问题解答

来自ADI公司电话记录的奇怪但真实的故事

小心多个时钟沿！

问题： 在使用多个时钟时，如何改善系统性能？

回答： 在使用同一时钟源产生多个时钟时，一个常见的问题是噪声，通常表现为存在于噪底之上的杂散，这是因为单一时钟源被倍频或分频为多个时钟。偏移各时钟的相邻沿可以降低噪

声杂散，或者完全消除杂散，这具体取决于系统的时序裕量。这一现象是一个时间变量系统，其中时钟信号的破坏与时域中的干扰位置相关。干扰位置是固定的，因此时钟的破坏程度与干扰的幅度成比例，就像在线性系统中一样。

让我们以时钟发生器AD9516的两路输出为例加以说明。一路100MHz输出连接到一个ADC，另一路25MHz输出($1/4 \times f_{\text{SAMPLE}}$)为一个FPGA提供时钟信号。两路输出时钟的上升沿和下降沿几乎是同时的，其结果是发生耦合效应，因为两个快速运动的高带宽时钟沿每隔10ns出现一次，而不是所需要的一个时钟沿。在此跃迁期间，内部或外部的噪声必须很低，因为抖动或噪声存在于时钟的跃迁区时会破坏ADC的时序。提高压摆率以加快时钟沿（阈值区相应变小）不可避免地会缩短噪声在阈值期间存在的时间，从而有效降低引入系统的均方根抖动量。在时钟的稳态期间（高电平和低电平），时钟噪声不起作用。因此，只需延迟25MHz或100MHz时钟便能展开二者的时



间，移动干扰的位置。换言之，应将一个时钟的跃迁沿安排在另一个时钟的稳态期间出现。

本质上，这里涉及到一条走线与另一条相邻走线由于串扰而引起的抖动（噪声）。如果一条走线携带一个信号，而相邻的并行走线携带一个变化电流，则信号走线中将产生一个电压；如果它是时钟信号，则时钟沿出现的时间将被调制。如果这些时钟沿出现在几乎同一时间，就会发生问题。

欲了解有关时钟分配的更多信息，请访问：

<http://dn.hotims.com/27753-101>



Rob Reeder是ADI公司（美国北卡罗来纳州格林斯博罗）工业与仪器仪表部门高级系统应用工程师，负责防务和航空航天应用，发表了大量有关各种应用的转换器接口、转换器测试和模拟信号链设计的论文。Rob曾在高速转换器产品线上担任应用工程师8年之久。在此之前，Rob还担任过ADI多芯片产品业务的测试开发和模拟设计工程师，拥有5年的太空、防务和高度可靠的应用模拟信号链模块设计经验。Rob于1996年和1998年分别获得北伊利诺斯州大学（迪卡尔布市）的电子工程学士(BSEE)学位和电子工程硕士(MSEE)学位。

有关模拟技术的棘手或罕见问题，请提交至：
raq@reedbusiness.com

欲获得ADI公司的技术支持，请拨打
4006-100-006

主办单位

