

非常见问题解答

来自ADI公司电话记录的奇怪但真实的故事

消除模数转换器的时钟抖动

问题：我该如何改进系统时钟或时钟电路以降低抖动？

回答：时钟信号抖动或噪声存在于ADC时钟输入阈值区间附近时才能破坏ADC的时序。提高时钟信号的压摆率可缩短其转换时间，从而缩短阈值期间存在噪声的时间。这样就能有效降低引入系统的均方根抖动。例如，针对70 MHz 模拟输入要求最小rms 抖动为100 fs的12位ADC的压摆率须为1 V/ns。

由此可见，降低抖动意味着提高时钟沿的压摆率。一种方法是改善时钟源本身。通常采用定制高性能时钟振荡器来表征ADI的ADC实现的基准性能。不是所有高速转换器用户都能承受高性能、恒温控制、低抖动振荡器的成本或空间要求，不过现有经济型振荡器可以实现合理的性能，甚至在高输入频率时。选择“成品”振荡器时务必谨慎，因为振荡器供应商并不总是以相同方式规定或测量抖动。针对特定应用，确定何种振荡器最合适的实用方法是收集多个振荡器，然后直接在系统中进行测试，可以通过将其选为唯一的变量来测性能（假设振荡器供应商保持合理的质量控制标准）。更好的途径是联系振荡器制造商，获得抖动或相位噪声数据以及关于如何实现最佳端接器件效果的建议。振荡器端接不当可能严重降低转换器的无杂散动态范围(SFDR)性能。



为使转换器实现最佳性能，了解整个时钟系统至关重要。降低系统时钟电路抖动的方法有很多，包括上面讨论的改善时钟源以及滤波、分频和选择适当的时钟电路等。务必注意时钟的压摆率，因为它将决定转换期间可能破坏转换器的噪声量。使转换时间最短可以改善转换器的性能。只使用必要的电路驱动和分配时钟，因为信号链中的每个元件都会增加整体抖动。最后，请勿使用“廉价”硬件产品，其性能可能会令人失望。不要指望70,000美元的汽车配备20美元的轮胎后还能提供顶级性能。



Rob Reeder是ADI公司（美国北卡罗来纳州格林斯博罗）工业与仪器仪表部门高级系统应用工程师，负责防务和航空航天应用，发表了大量有关各种应用的转换器接口、转换器测试和模拟信号链设计的论文。Rob曾在高速转换器产品线上担任应用工程师8年之久。在此之前，Rob还担任过ADI多芯片产品业务的测试开发和模拟设计工程师，拥有5年的太空、防务和高度可靠的应用模拟信号链模块设计经验。Rob于1996年和1998年分别获得北伊利诺斯州大学（迪卡尔布市）的电子工程学士(BSEE)学位和电子工程硕士(MSEE)学位。

有关模拟技术的棘手或罕见问题，请提交至：
raq@reedbusiness.com

欲获得ADI公司的技术支持，请拨打
4006-100-006

主办单位



欲了解有关无抖动时钟的
更多信息，请访问：

<http://designnews.hotims.com/27744-100>