ANALOG DEVICES 超越一切可能™ | ADI AnalogDialogue

非常见问题第207期：如何通过最小化热回路PCB ESR和ESL来优化开关电源布局

Jingjing Sun，产品应用高级工程师
Ling Jiang，产品应用经理
Henry Zhang，产品应用高级总监

问题：

能否优化开关电源的效率？

答案：

当然可以，最小化热回路PCB ESR和ESL是优化效率的重要方法。

简介

对于功率转换器，寄生参数最小的热回路PCB布局能够改善能效比，降低电压振铃，并减少电磁干扰(EMI)。本文讨论如何通过最小化PCB的等效串联电阻(ESR)和等效串联电感(ESL)来优化热回路布局设计。本文研究并比较了影响因素，包括解耦电容位置、功率FET尺寸和位置以及过孔布置。通过实验验证了分析结果，并总结了最小化PCB ESR和ESL的有效方法。

热回路和PCB布局寄生参数

开关模式功率转换器的热回路是指由高频(HF)电容和相邻功率FET形成的临界高频交流电流回路。它是功率级PCB布局的最关键部分，因为它包含高dv/dt和di/dt噪声成分。设计不佳的热回路布局会产生较大的PCB寄生参数，包括ESL、ESR和等效并联电容(EPC)，这些参数对功率转换器的效率、开关性能和EMI性能有重大影响。

图1显示了同步降压DC-DC转换器原理图。热回路由MOSFET M1和M2以及解耦电容C_{IN}形成。M1和M2的开关动作会产生高频di/dt和dv/dt噪声。C_{IN}提供了一个低阻抗路径来旁路高频噪声成分。然而，器件封装内和热回路PCB走线上存在寄生阻抗（ESR、ESL）。高di/dt噪声通过ESL会引起高频振铃，进而导致EMI。ESL中存储的能量在ESR上耗散，导致额外的功率损耗。因此，应尽量减小热回路PCB的ESR和ESL，以减少高频振铃并提高效率。

准确提取热回路的ESR和ESL，有助于预测开关性能并改进热回路设计。器件的封装和PCB走线均会影响回路的总寄生参数。本文主要关注PCB布局设计。有一些工具可帮助用户提取PCB寄生参数，例如Ansys Q3D、FastHenry/FastCap、StarRC等。Ansys Q3D之类的商用工具可提供准确的仿真，但通常价格昂贵。FastHenry/FastCap是一款基于部分元件等效电路(PEEC)数值建模的免费工具[1]，可以通过编程提供灵活的仿真来探索不同的版图设计，但需要额外的编程。FastHenry/FastCap寄生参数提取的有效性和准确性已经过验证，并与Ansys Q3D进行了比较，结果一致[2,3]。在本文中，FastHenry用作提取PCB ESR和ESL的经济高效的工具。

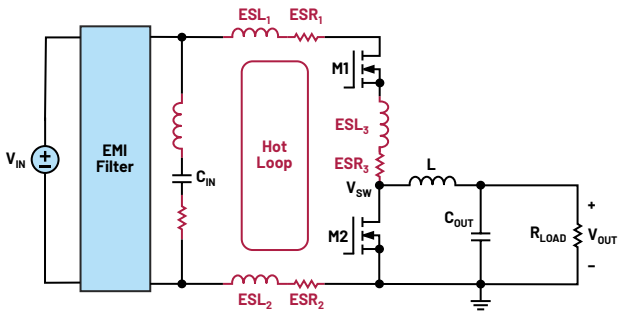

图1. 带热回路ESR和ESL的降压转换器

热回路PCB的ESR和ESL与解耦电容位置的关系

本部分基于ADI公司的LTM4638 μModule®稳压器演示板DC2665A-B来研究C_{IN}位置的影响。LTM4638是一款集成式20 V_{IN}、15 A降压型转换器模块，采用小型6.25 mm × 6.25 mm × 5.02 mm BGA封装。它具有高功率密度、快速瞬态响应和高效率特性。模块内部集成了一个小的高频陶瓷C_{IN}，不过受限于模块封装尺寸，这还不够。图2至图4展示了演示板上的三种不同热回路，这些热回路使用了额外的外部C_{IN}。第一种是垂直热回路1（图2），其中C_{IN1}放置在μModule稳压器下方的底层。μModule V_{IN}和GND BGA引脚通过过孔直接连接到C_{IN1}。这些连接提供了演示板上的最短热回路路径。第二种热回路是垂直热回路2（图3），其中C_{IN2}仍放置在底层，但移至μModule稳压器的侧面区域。其结果是，与垂直热回路1相比，该热回路添加了额外的PCB走线，预计ESL和ESR更大。第三种热回路选项是水平热回路（图4），其中C_{IN3}放置在靠近μModule稳压器的顶层。μModule V_{IN}和GND引脚通过顶层铜连接到C_{IN3}，而不经过过孔。然而，顶层的V_{IN}铜宽度受其他引脚排列的限制，导致回路阻抗高于垂直热回路1。表1比较了FastHenry提取的热回路 PCB ESR和ESL。正如预期的那样，垂直热回路1的PCB ESR和ESL最低。

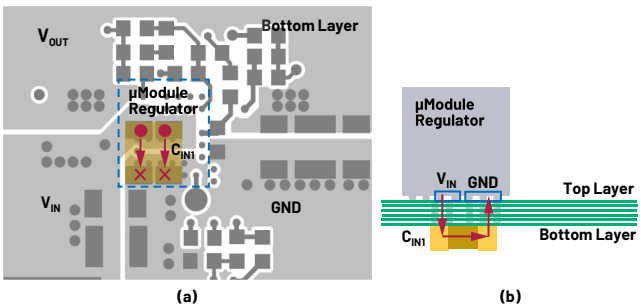

图2. 垂直热回路1：(a)俯视图和(b)侧视图

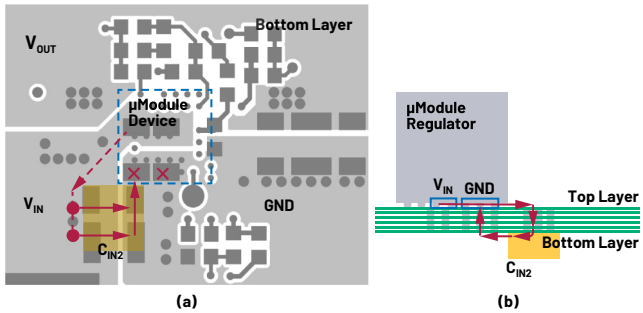

图3. 垂直热回路2：(a)俯视图和(b)侧视图

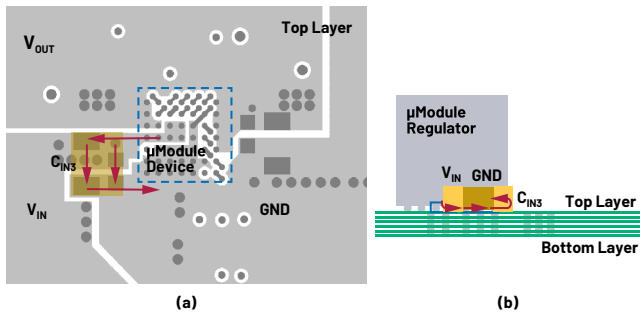

图4. 水平热回路：(a)俯视图和(b)侧视图

表1. 使用FastHenry提取的不同热回路的PCB ESR和ESL

热回路	ESR (ESR_1 + ESR_2)、600 kHz (mΩ)	ESL (ESL_1 + ESL_2)、200 MHz (nH)
垂直热回路1	0.7	0.54
垂直热回路2	2.5	1.17
水平热回路	3.3	0.84

为了通过实验验证不同热回路的ESR和ESL，我们测试了12 V转1 V CCM运行时演示板的效率和V_{IN}交流纹波。理论上，ESR越低，则效率越高，而ESL越小，则V_{SW}振铃频率越高，V_{IN}纹波幅度越低。图5a显示了实测效率。垂直热回路1的效率最高，因为其ESR最低。水平热回路和垂直热回路1之间的损耗差异也是基于提取的ESR计算的，这与图5b所示的测试结果一致。图5c中的V_{IN} HF纹波波形是在C_{IN}上测试的。水平热回路具有更高的V_{IN}纹波幅度和更低的振铃频率，因此验证了其回路ESL高于垂直热回路1。另外，由于回路ESR更高，因此水平热回路的V_{IN}纹波衰减速度快于垂直热回路1。此外，较低的V_{IN}纹波降低了EMI，因而可以使用较小的EMI滤波器。

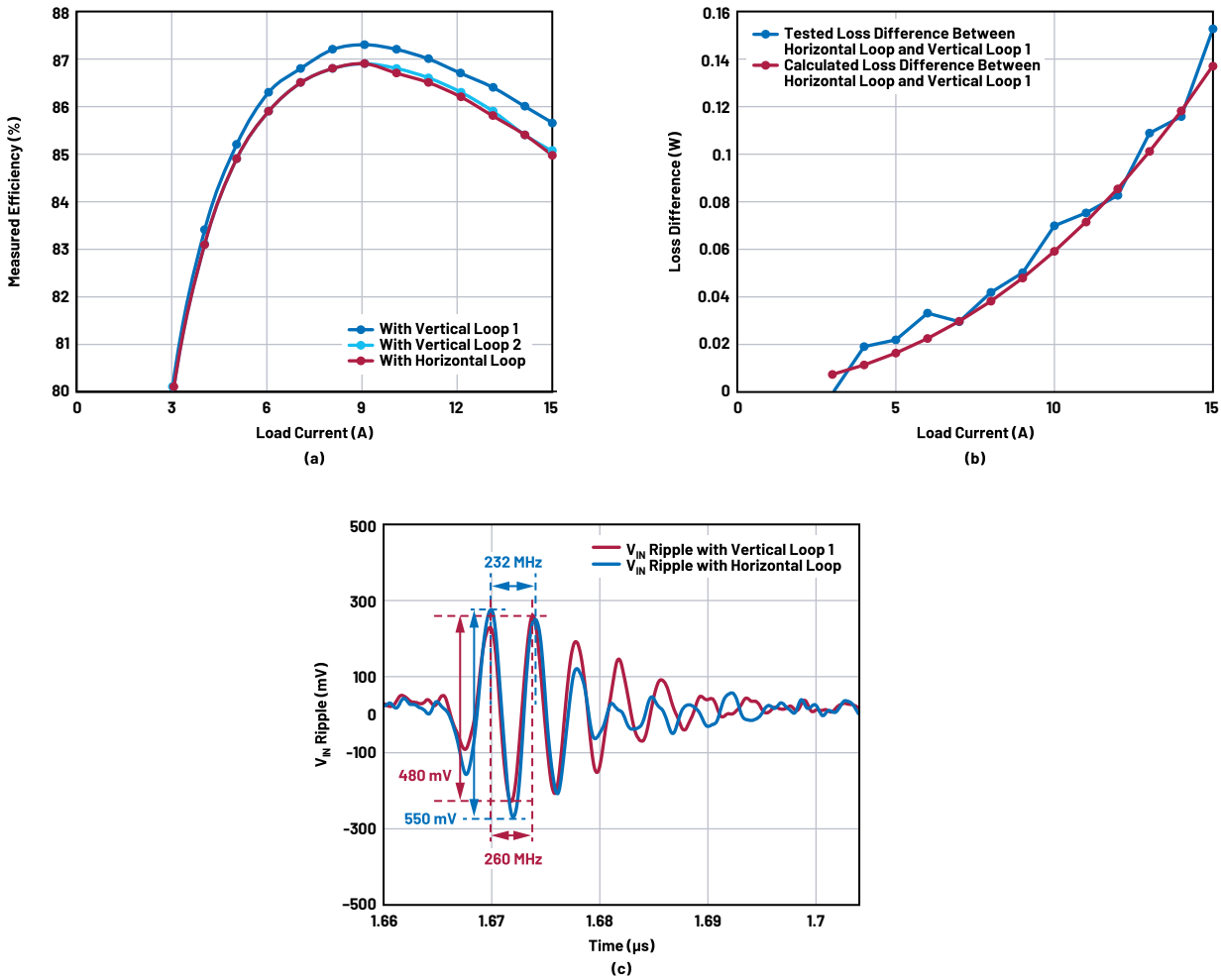

图5. 演示板测试结果：(a)效率，(b)水平回路与垂直回路1之间的损耗差异，(c) 15 A输出时M1导通期间的V_{IN}纹波

表2. 对于不同器件形状和位置，使用FastHenry提取的热回路PCB ESR和ESL

	ESR_1 (mΩ), 2 MHz	ESR_2 (mΩ), 2 MHz	ESR_3 (mΩ), 2 MHz	ESR_{TOTAL} (mΩ), 2 MHz	相对于(a)的ESR变化率	ESL_1 (nH), 200 MHz	ESL_2 (nH), 200 MHz	ESL_3 (nH), 200 MHz	ESL_{TOTAL} (nH), 200 MHz	相对于(a)的ESL变化率
(a)	0.59	2.65	0.45	3.69	N/A	0.42	2.80	0.23	3.45	N/A
(b)	0.59	0.3	0.38	1.27	-66%	0.42	0.09	0.17	0.67	-81%
(c)	0.24	0.27	0.83	1.35	-63%	0.07	0.07	0.52	0.66	-81%
(d)	0.44	0.3	0.28	1.01	-73%	0.25	0.09	0.08	0.42	-88%
(e)	0.44	0.27	0.26	0.97	-74%	0.21	0.08	0.07	0.36	-90%
(f)	0.31	0.27	0.13	0.7	-81%	0.12	0.07	0.02	0.21	-94%

热回路PCB ESR和ESL与MOSFET尺寸和位置的关系

对于分立式设计，功率FET的布置和封装尺寸对热回路ESR和ESL也有重大影响。本部分对使用功率FET M1和M2以及解耦电容C_{IN}的典型半桥热回路进行了建模和研究。图6比较了常见功率FET封装尺寸和放置位置。表2显示了每种情况下提取的ESR和ESL。

情况(a)至(c)展示了三种常见功率FET布置，其中采用5 mm × 6 mm MOSFET。热回路的物理长度决定了寄生阻抗。与情况(a)相比，情况(b)中的90°形状布置和情况(c)中的180°形状布置的回路路径更短，导致ESR降低60%，ESL降低80%。由于90°形状布置显示出了优势，我们基于情况(b)研究了更多情况，以进一步降低回路ESR和ESL。情况(d)将一个5 mm × 6 mm MOSFET替换为两个并联的3.3 mm × 3.3 mm MOSFET。由于MOSFET尺寸更小，回路长度进一步缩短，导致回路阻抗降低7%。情况(e)将一个接地层放置在热回路层下方，与情况(d)相比，热回路ESR和ESL进一步降低2%。原因是接地层上产生了涡流，其感应出相反的磁场，相当于降低了回路阻抗。情况(f)构建了另一个热回路层作为底层。如果将两个并联MOSFET对称布置在顶层和底层，并通过过孔连接，则由于并联阻抗，热回路PCB ESR和ESL的降低更加明显。因此，在顶层和底层上以对称90°形状或180°形状布置较小尺寸的器件，可以获得最低的PCB ESR和ESL。

为了通过实验验证MOSFET布置的影响，我们使用了ADI公司的高效率4开关同步降压-升压控制器演示板LT8390/DC2825A和LT8392/DC2626A[4]。如图7a和图7b所示，DC2825A采用直线MOSFET布置，DC2626A采用90°形状的MOSFET布置。为了进行公平比较，两个演示板配置了相同的MOSFET和解耦电容，并在36 V转12 V/10 A、300 kHz降压操作下进行了测试。图7c显示了M1导通时刻测得的V_{IN}交流纹波。采用90°形状的MOSFET布置时，V_{IN}纹波的幅度更低，谐振频率更高，这就验证了热回路路径较短导致PCB ESL更小。相反，直线MOSFET布置的热回路更长，ESL更高，导致V_{IN}纹波幅度要高得多，并且谐振频率更低。根据Cho和Szokusha研究的EMI测试结果，较高的输入电压纹波还会导致EMI辐射更严重[4]。

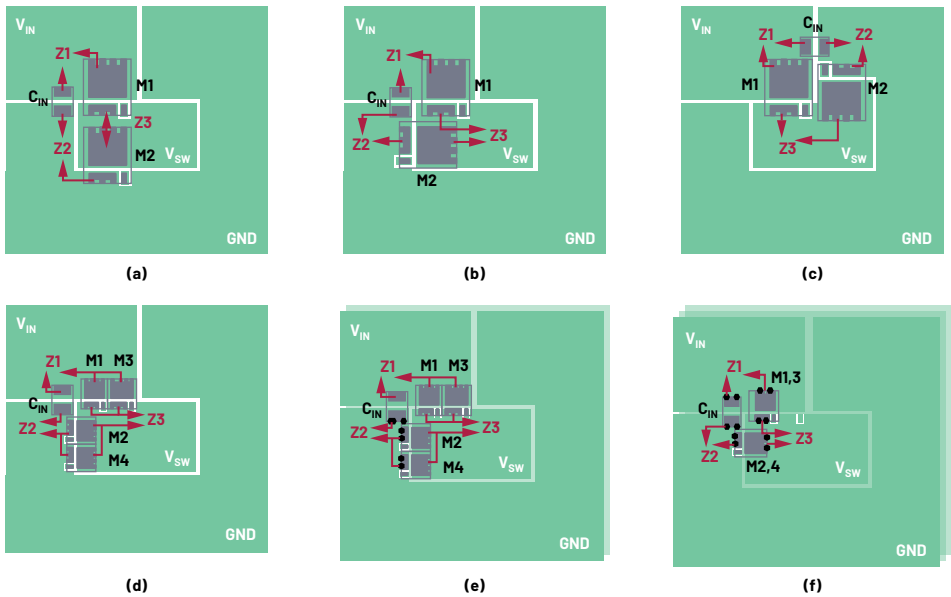

图6. 热回路PCB模型：(a) 5 mm × 6 mm MOSFET，直线布置；(b) 5 mm × 6 mm MOSFET，以90°形状布置；(c) 5 mm × 6 mm MOSFET，以180°形状布置；(d) 两个并联的3.3 mm × 3.3 mm MOSFET，以90°形状布置；(e) 两个并联的3.3 mm × 3.3 mm MOSFET，以90°形状布置，带有接地层；(f) 对称的3.3 mm × 3.3 mm MOSFET，位于顶层和底层，以90°形状布置

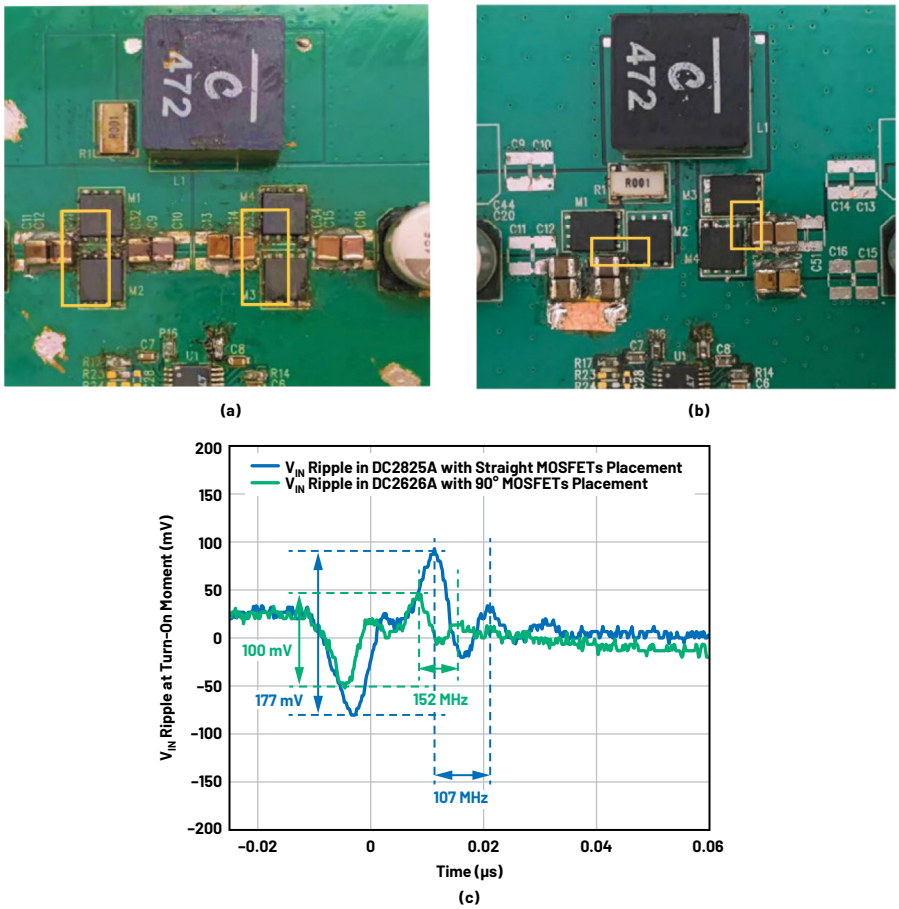

图7. (a) LT8390/DC2825A热回路，MOSFET以直线布置；(b) LT8392/DC2626A热回路，MOSFET以90°形状布置；(c) M1导通时的V_{IN}纹波波形

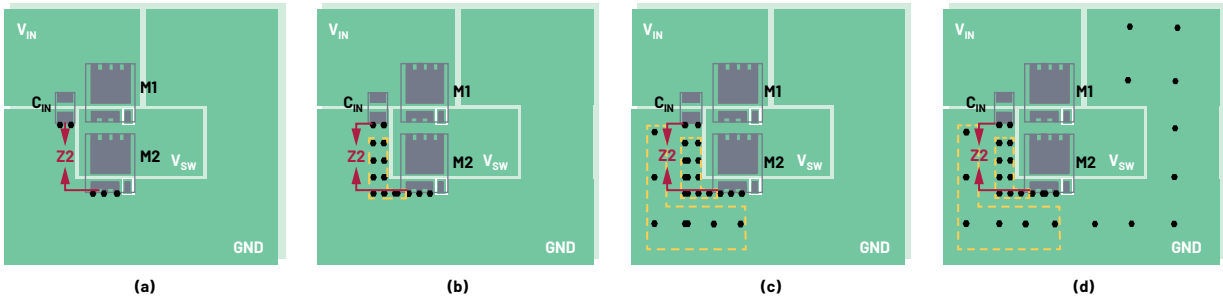

图8. 热回路PCB模型，(a) 5个GND过孔靠近C_{IN}和M2布置；(b) 14个GND过孔布置在C_{IN}和M2之间；(c) 基于(b)，GND上再布置6个过孔；(d) 基于(c)，GND区域上再布置9个过孔

热回路PCB的ESR和ESL与过孔布置的关系

热回路中的过孔布局对回路ESR和ESL也有重要影响。图8对使用两层PCB结构和直线布置功率FET的热回路进行了建模。FET放置在顶层，第二层是接地层。C_{IN} GND焊盘和M2源极焊盘之间的寄生阻抗Z2是热回路的一部分，作为示例进行研究。Z2是从FastHenry提取的。表3总结并比较了不同过孔布置的仿真ESR_2和ESL_2。

通常，添加更多过孔会降低PCB寄生阻抗。然而，ESR_2和ESL_2的降低程度与过孔数量并不是线性比例关系。靠近引脚焊盘的过孔，所导致的PCB ESR和ESL的降低最明显。因此，对于热回路布局设计，必须将几个关键过孔布置在靠近C_{IN}和MOSFET焊盘的位置，以使高频回路阻抗最小。

表3. 使用不同过孔布置时提取的热回路PCB ESR_2和ESL_2

情况	ESR_2 (mΩ), 2 MHz	相对于初始情况的ESR变化率	ESL_2 (nH), 200 MHz	相对于初始情况的ESL变化率
无过孔的初始情况	2.67	N/A	1.19	N/A
(a)	1.73	-35.2%	0.84	-29.8%
(b)	1.68	-37.1%	0.82	-30.8%
(c)	1.67	-37.5%	0.82	-31%
(d)	1.65	-38.2%	0.82	-31.4%

结论

减小热回路的寄生参数有助于提高电源效率，降低电压振铃，并减少EMI。为了尽量减小PCB寄生参数，我们研究并比较了使用不同解耦电容位置、MOSFET尺寸和位置以及过孔布置的热回路布局设计。更短的热回路路径、更小尺寸的MOSFET、对称的90°形状和180°形状MOSFET布置、靠近关键元器件的过孔，均有助于实现最低的热回路PCB ESR和ESL。

参考资料

[1]Mattan Kamon、Michael Tsuk和Jacob White。“FASTHENRY: A Multipole-Accelerated 3-D Inductance Extraction Program.” *IEEE Transactions on Microwave Theory and Techniques*，第42卷，1994年。

[2]Andreas Musing、Jonas Ekman和Johann W. Kolar。“Efficient Calculation of Non-Orthogonal Partial Elements for the PEEC Method.” *IEEE Transactions on Magnetics*，第45卷，2009年。

[3]Ren Ren、Zhou Dong和Fei Fred Wang。“Bridging Gaps in Paper Design Considering Impacts of Switching Speed and Power-Loop Layout.”IEEE，2020年。

[4]Yonghwan Cho和Keith Szolusha。“低辐射的4开关降压-升压型控制器布局——单热回路与双热回路”。*模拟对话*，第55卷，2021年7月。

[5]Henry J. Zhang。“非隔离开关电源的PCB布局考量”。ADI公司，2012年。

[6]Christian Kueck。“电源布局和EMI”。ADI公司，2012年。

作者简介

Jingjing Sun于2022年毕业于田纳西大学诺克斯维尔分校，获电气工程博士学位。毕业后，她加入了ADI公司电源产品部，工作地点位于美国加利福尼亚湾区。她目前是一名高级应用工程师，负责支持针对多市场应用的μModule®产品。

作者简介

Ling Jiang于2018年毕业于田纳西大学诺克斯维尔分校，获电气工程博士学位。毕业后，她加入了ADI公司电源产品部，工作地点位于美国加利福尼亚湾区。她目前是一名应用经理，负责支持针对多市场应用的μModule®产品。

作者简介

Dr. Henry Zhang（张劲东博士）是ADI的Power by Linear™应用总监。他于1994年获得中国浙江大学颁发的电子工程学士学位，分别于1998年和2001年获得弗吉尼亚理工学院暨州立大学（黑堡）颁发的电子工程硕士学位和博士学位。他于2001年加入凌力尔特（现在已成为ADI的一部分）。

ANALOG DEVICES 超越一切可能™

如需了解区域总部、销售和分销商，或联系客户服务和技术支持，请访问analog.com/cn/contact。

向我们的ADI技术专家提出棘手问题、浏览常见问题解答，或参与EngineerZone在线支持社区讨论。请访问ez.analog.com/cn。

©2022 Analog Devices, Inc. 保留所有权利。商标和注册商标属各自所有人所有。

“超越一切可能”是ADI公司的商标。

请访问analog.com/cn